

DOI: 10.3969/j.issn.1671-0673. 2025. 06. 005

# 基于 ATE 的多通道 56 Gbps PAM4 SerDes 接口 电气参数测试方法

张霞<sup>1</sup>, 曹睿<sup>1</sup>, 王永胜<sup>2</sup>, 李江涛<sup>2</sup>, 董春雷<sup>1</sup>

(1.信息工程大学,河南 郑州 450001; 2.天津市滨海新区信息技术创新中心,天津 300357)

**摘要:** 56 Gbps PAM4 SerDes 接口电气参数测试能够保证 56 Gbps PAM4 SerDes 接口符合相关行业标准,确保不同设备之间的无缝对接和协同工作。针对标准测试设备通道数量较少,在实验室中进行多通道 56 Gbps PAM4 SerDes 接口发送端电气参数与接收端误码率测试时效率很低的问题,提出一种基于 ATE 的多通道 56 Gbps PAM4 SerDes 接口电气参数测试方法。该方法利用 ATE 自动化测试机台中集成的多通道高速测试系统(HSIO),设计专用 ATE 测试载板,编写测试程序,快速实现了多通道 56 Gbps PAM4 SerDes 接口电气参数的并行测试,实验证明该方法极大地提升了测试效率,可用于 DUT 芯片的量产测试。

**关键词:** 多通道 56 Gbps PAM4 SerDes; 电气参数; 误码率; 测试载板

中图分类号: TN407

文献标识码: A

文章编号: 1671-0673(2025)06-0660-08

## Test Method for Electrical Parameters of Multi-Channel 56 Gbps PAM4 SerDes Interface Based on ATE

ZHANG Xia<sup>1</sup>, CAO Rui<sup>1</sup>, WANG Yongsheng<sup>2</sup>, LI Jiangtao<sup>2</sup>, DONG Chunlei<sup>1</sup>

(1.Information Engineering University, Zhengzhou 450001, China;

2.Information Technology Innovation Center of Tianjin Binhai New Area, Tianjin 300357, China)

**Abstract:** The electrical parameter test of 56 Gbps PAM4 SerDes interface can ensure that the 56 Gbps PAM4 SerDes interface complies with relevant industry standards, guaranteeing seamless connection and collaborative operation among different devices. In view of the problem that the number of channels of standard test equipment is small and the efficiency of multi-channel 56 Gbps PAM4 SerDes interface electrical parameter test at the transmitting end and bit error rate test at the receiving end in the laboratory is very low, a multi-channel 56 Gbps PAM4 SerDes interface electrical parameter test method based on ATE is proposed. Utilizing the multi-channel high-speed test system (HSIO) integrated in the ATE automatic test equipment, a dedicated ATE test Load board is designed, and test programs are written to rapidly achieve parallel testing of electrical parameters for multi-channel 56 Gbps PAM4 SerDes interfaces. Experiments demonstrate that the test efficiency is significantly improved, and the method can be applied to mass production testing of DUT chips.

**Key words:** multi-channel 56 Gbps PAM4 SerDes; electrical parameters; bit error rate; test load board

收稿日期: 2025-06-03; 修回日期: 2025-06-26

基金项目: 国家重点研发计划(2022YFB2901002)

作者简介: 张霞(1980—),女,副研究员,学士,主要研究方向为集成电路测试。E-mail: zhangxia\_2005@163.com

56 Gbps PAM4 SerDes<sup>[1]</sup>技术通过其高效带宽利用(通过PAM4编码每符号传输2 bit信息)和多通道聚合能力,并通过高阶均衡和时钟恢复算法克服信号衰减与噪声挑战,成为以太网、PCIe和光纤通道(Fiber Channel, FC)等高速协议的核心物理层解决方案。PAM4信号幅值减半和符号间隔缩短导致噪声容限降低、时序容差变小以及通道损耗和串扰加剧<sup>[2]</sup>,测试需验证差分电压幅值(Differential Peak-to-Peak Output Voltage, Diff Vpp)、眼图质量、线性度(Ratio Level Mismatch, RLM)、信噪失真比(Signal-to-Noise and Distortion Ratio, SNDR)和误码率(Bit Error Rate, BER)等电气参数指标<sup>[3]</sup>,以确保系统在复杂噪声环境下可靠运行,提前发现设计缺陷并优化传输链路,从而支撑高密度、低功耗的高性能、高可靠通信需求。

56 Gbps PAM4 SerDes电气参数测试通常包含实验室测试<sup>[4]</sup>、工艺特性评估及生产测试<sup>[5]</sup>。实验室测试使用示波器、误码仪等标准设备在实验室环境中进行,可以对56 Gbps PAM4 SerDes电气参数进行比较全面的测试验证。不足之处是设备花费昂贵、时间过长、效率低下等,特别是对于多通道56 Gbps PAM4 SerDes电气参数测试,受限于示波器带宽和通道数量,单次仅能捕获少量通道(通常 $\leq 4$ 通道),通常需要几个小时甚至几天才能完成一颗芯片所有通道SerDes电气参数的测试。工艺特性评估是通过系统性测试,掌握器件在不同工艺角、电压、温度(PVT)条件下的电气行为,验证工艺稳定性和器件电气性能,但是存在模型与实际芯片有偏差、测试周期长、难以覆盖高频电路性能等缺点,限制了评估的准确性和效率。生产测试则是在量产需求下确定每颗芯片合格或者不合格,ATE<sup>[6]</sup>(Automatic Test Equipment)因其高效率和灵活性广泛应用于生产测试中,通常可支持最高速率为9、16、32.8 Gbps多种传输速率的SerDes测试<sup>[7-8]</sup>,但是ATE测试载板的性能会直接影响高速信号测试的准确性,尤其是在多通道56 Gbps PAM4 SerDes高速接口测试中,信号完整性(Signal Integrity, SI)、电源完整性(Power Integrity, PI)的不合理设计,会严重降低SerDes ATE测试通路的信号质量,影响量产测试良率。

基于以上多通道56 Gbps PAM4 SerDes接口电气参数在实验室测试及生产测试中的约束因素,本文提出了一种基于ATE的多通道56 Gbps PAM4 SerDes接口电气参数测试方法,利用ATE自动化

测试机台中集成的多通道高速测试系统(High-Speed I/O, HSIO),设计专用的ATE测试载板对测试载板进行SI及PI仿真和优化,编写测试程序,可快速实现多通道56 Gbps PAM4 SerDes接口电气参数并行测试,极大地提高测试效率,可用于DUT芯片的量产测试。

## 1 设计与实现

### 1.1 测试参数

56 Gbps PAM4 SerDes接口信号采用PAM4编码方式,56 Gbps PAM4信号测试主要包括发送器的电气参数测试和接收器的误码率测试。发送器的电气参数测试主要包括差分电压幅值、眼图、线性度、信噪失真比测试等参数。差分电压幅值用于衡量信号的强度,56 Gbps PAM4 SerDes的差分电压幅值一般在几毫伏到几百毫伏之间,具体取决于器件的设计和应用场景。眼高(Eye Height)和眼宽(Eye Width)是两种眼图测试的重要参数,眼高和眼宽是沿着横轴和竖轴相对于BER测得的均衡后的眼图张开程度,由于PAM4信号会形成3层眼图,所以对每层眼图要分别测量。传统的NRZ信号对于发送器的线性度要求不高,因为即使是非线性的也可以保持2个不同的电平输出,而对于PAM4信号来说,在同样的发射机幅度下,为了保证4个电平都能够被很好的区分,最佳的选择就是4个电平等间隔分布。线性度对于PAM4信号非常重要,线性度好的信号可以充分利用发射机的动态范围,并降低接收端分辨信号的难度,在IEEE Std 802.3bs中通过对PRBS13Q信号的眼图中4个电平的统计来计算线性度,采用幅度不匹配度(Level Separation Mismatch Ratio)指标衡量线性度。信噪失真比SNDR是指信号功率与系统中所有噪声和失真功率之和的比值,通常用分贝(dB)作单位,它综合考虑了系统的噪声和失真对信号的影响,是衡量56 Gbps PAM4高速接口性能的重要指标,较高的SNDR值表示信号中的噪声和失真较少,信号质量更好,传输过程中误码率更低,系统性能更优。误码率BER是用来衡量接收器性能的重要指标,它被定义为在给定时间段内错误接收的比特数与传输的总比特数之比,误码率越低,接收端的性能越好。

本设计中被测DUT芯片支持48个高速56 Gbps PAM4 SerDes, SerDes接口支持200GAUI-4/400GAUI-8协议,参考IEEE Std 802.3bs<sup>TM</sup>-2017规

范对 200GAUI-4/400GAUI-8 协议接口电气参数要求,如表 1 所示,对被测 DUT 芯片的多通道 56 Gbps PAM4 SerDes 接口电气参数进行测试验证。

表 1 200GAUI-4/400GAUI-8 协议接口电气参数

| 参数             | 数值        | 单位 |
|----------------|-----------|----|
| Diff Vpp (max) | 1 200     | mV |
| EW (min)       | 0.265     | UI |
| EH (min)       | 70        | mV |
| RLM(min)       | 0.95      |    |
| SNDR(min)      | 31.5      | dB |
| BER            | $10^{-5}$ |    |

## 1.2 硬件平台

### 1.2.1 Advantest V93000 机台

Advantest 的 V93000<sup>[9]</sup> ATE 机台包含多种类型的板卡,包括电源板卡、数字板卡、模拟板卡等。电源板卡主要有 UHC4、DPS128 等,为芯片提供稳定的电源;数字板卡主要有 PS1600、PS9G、PSSL 板卡,完成数字板卡测试,PS1600 板卡的最大速率可以达到 1 600 Mbps,PS9G 板卡支持最高 9 Gbps 的传输速率,PSSL 板卡支持最高 16 Gbps 的传输速率;模拟板卡主要有 AVI64、WSMX、AV8+板卡,可完成模拟信号测试。V93000 机台的软件系统为 Smartest,涵盖了 EWC(Electronic Work Center)、testflow 建立、pin configuration 建立、level 建立、timing 建立、pattern 导入以及 testable(分 bin)建立等丰富内容,通过灵活的机台配置实现各种类型芯片的测试。

### 1.2.2 HSIO 高速测试系统

MultiLane 将其领先的 AT 系列设备高速误码仪 BERT 和数字采样示波器 DSO 直接集成到 Advantest V93000 测试机台的 Twinning Frame 扩展支架中,形成 HSIO 高速测试系统<sup>[10]</sup>,可实现对高速接口信号的全面测试和分析。BERT 可用于测量接收端误码率,DSO 可用于分析发送端信号电气参数,高度集成的 BERT 和 DSO 提供 32 个通道的测试能力,可同时对多通道高速接口电气参数进行测试。BERT 和 DSO 直接安装在 DUT 芯片的 ATE 载板下面,由于十分靠近载板,BERT、DSO 和被测 DUT 之间可以以非常短的距离进行信号传输,大幅缩短信号传输路径,减少信号衰减和干扰,确保了信号完整性和准确性,提升了测试的精度。同时可以在 V93000 的 Smartest 软件中通过测试程序控制 BERT 和 DSO,实现了多通道高速接口电气参数的自动化测试,大大提升了测试效率。

### 1.2.3 ATE 硬件平台

本文的 ATE 硬件平台选用 Advantest V93000 的 HSIO 高速测试系统,如图 1 所示,并设计专用的 DUT 芯片 ATE 测试载板,对测试载板板卡进行 SI 和 PI 仿真优化,并编写测试程序,完成 DUT 芯片的多通道 56 Gbps PAM4 SerDes 接口 Tx 和 Rx 端电气参数自动化测试。



图 1 Advantest V93000 的 HSIO 高速测试系统

### 1.3 Load Board 设计

DUT 芯片的 ATE 载板板卡设计,首先要考虑供电电路设计。因为被测 DUT 芯片的核电 VDD 电流需求比较大,使用 V93000 测试系统的 UHC4 电源板卡给核电 VDD 供电,每块 UHC4 电源板卡提供 4 路电源通道,每通道输出电流为 40 A,4 路通道一起输出电流最大可达 160 A,可满足核电 VDD 的供电需求。同时考虑到在离线模式下对载板板卡进行硬件调试,板上同时接入标准香蕉头接口,使用直流电源分析仪通过香蕉头接口给载板板卡供电,采用 UHC4 电源板卡+香蕉头的 MUX 设计,可实现在在线及离线模式下对 DUT 芯片供电方式进行切换。

其次要考虑时钟电路设计,一个是要考虑 DUT 芯片的参考时钟,数字板卡 PS1600 可提供被测 DUT 芯片所需差分时钟,同时在 Load Board 板卡上通过晶振提供稳定高精度参考时钟,两路时钟源经过继电器 Relay 进行切换,保证 DUT 芯片正常工作。另一个要考虑 HSIO 高速测试系统的数字采样示波器 DSO 的输入时钟,因为 DSO 内部没有时钟数据恢复模块 CDR,在利用 DSO 测试 DUT 芯片 Tx 端电气参数时,需要从外部给 DSO 提供时钟信号。根据 DUT 芯片 SerDes 电路设计,将同锁相环 PLL 的另一路发送端数据,内部配置为 0101 码型的分频时钟信号,送到 DSO 的时钟输入端,该时钟与 DUT 芯片被测通道数据同源,作为 DSO 的采样时钟,可以保证 DSO 对 DUT 芯片 Tx 端信号进行准确的采样和分析。

Load Board 板卡叠层设计时要综合考虑板卡的供电需求、信号最高传输速率以及 DUT 芯片的出线需求等,本设计的 Load Board 板卡承载的 DUT

芯片包含5个电源域,支持48个56 Gbps PAM4 SerDes,同时考虑到Tx、Rx信号分层走线以减少耦合和干扰,以及V93000自动化测试机台对Load Board板卡板厚的要求,Load Board板卡叠层设计如图2所示,PCB板层数36层,板厚5 mm,M6板材,4

层2 oz铜皮供给大电流核电VDD,3层Tx信号走线层,3层Rx信号走线层,各层之间均有完整GND层隔离,为高速信号提供最短、连续的返回路径,降低回路阻抗,减少信号噪声和干扰,同时快速传导电源平面热量,避免Load Board板卡局部过热。

| 层    | No. | M6 | 厚度/ $\mu\text{m}$ | 厚度/mil | 预浸材料                                        |
|------|-----|----|-------------------|--------|---------------------------------------------|
| COMP | 1   |    | 50                | 1.97   | Copper 0.5 oz                               |
|      |     |    | 125               | 4.92   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| GND  | 2   |    | 35                | 1.38   | Copper 1 oz                                 |
|      |     |    | 65                | 2.56   | Core 0.065T                                 |
| VDD  | 3   |    | 65                | 2.56   | Copper 2 oz                                 |
|      |     |    | 135               | 5.31   | #1078 x 2ea(RC 68%)(Adjust)                 |
| VDD  | 4   |    | 65                | 2.56   | Copper 2 oz                                 |
|      |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND  | 5   |    | 35                | 1.38   | Copper 1 oz                                 |
|      |     |    | 120               | 4.72   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| VDDH | 6   |    | 65                | 2.56   | Copper 2 oz                                 |
|      |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND  | 7   |    | 35                | 1.38   | Copper 1 oz                                 |
|      |     |    | 120               | 4.72   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| VDDA | 8   |    | 65                | 2.56   | Copper 2 oz                                 |
|      |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND  | 9   |    | 35                | 1.38   | Copper 1 oz                                 |
|      |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| sig1 | 10  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND  | 11  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| sig2 | 12  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND  | 13  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| sig3 | 14  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND  | 15  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| sig4 | 16  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND  | 17  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| sig5 | 18  |    | 18                | 0.71   | Copper 0.5 oz                               |
|      |     |    | 100               | 3.94   | Core 0.1T HVLP                              |

图2 叠层设计

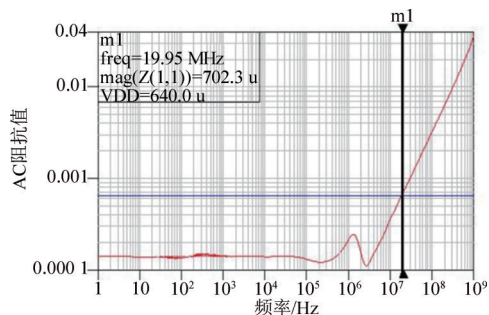
Load Board板卡设计最重要的环节是电源完整性和信号完整性的仿真和优化,保证Load Board板卡工作性能的可靠性。电源完整性仿真包含两部分,一部分是IR-Drop,需要考虑电流较大的供电电源及板上的DUT芯片电源域等。单板供电电源压降可适当放宽,但是DUT芯片电压要求从供电模块输出端到DUT芯片Ball球的压降小于1%。对于大电流的核电VDD采用开尔文电路设计,仿真时借助供电电源的Sense功能,仿真结果可满足IR-Drop小于1%的要求。电源完整性仿真另外一部分是电源纹波噪声仿真,没有DUT芯片CRM模型的情况下,可以从频域的角度采用目标阻抗分析法进行仿真,目标阻抗的计算方法如式(1)所示:

$$Z_{\text{target}} = V_{\text{tolerance}} / C_{\text{transient}} \quad (1)$$

式中: $V_{\text{tolerance}}$ 是电压噪声容限,一般为供电电压的5%; $C_{\text{transient}}$ 为DUT芯片正常工作时的瞬时电流,一般按照最大电流的一半估计,电源纹波噪声仿真

| 层       | No. | M6 | 厚度/ $\mu\text{m}$ | 厚度/mil | 预浸材料                                        |
|---------|-----|----|-------------------|--------|---------------------------------------------|
| GND     | 19  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| sig6    | 20  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND     | 21  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 127               | 5.00   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| Upsr    | 22  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND     | 23  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 134               | 5.28   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| utility | 24  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND     | 25  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 134               | 5.28   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| Sense   | 26  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 100               | 3.94   | Core 0.1T HVLP                              |
| GND     | 27  |    | 18                | 0.71   | Copper 0.5 oz                               |
|         |     |    | 130               | 5.12   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| OD18_1  | 28  |    | 35                | 1.38   | Copper 1 oz                                 |
|         |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND     | 29  |    | 35                | 1.38   | Copper 1 oz                                 |
|         |     |    | 130               | 5.12   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| OD18_V  | 30  |    | 35                | 1.38   | Copper 1 oz                                 |
|         |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND     | 31  |    | 35                | 1.38   | Copper 1 oz                                 |
|         |     |    | 130               | 5.12   | #1035x1(RC 70%) + #1078x1ea(RC 68%)(Adjust) |
| VDD     | 32  |    | 35                | 1.38   | Copper 1 oz                                 |
|         |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND     | 33  |    | 65                | 2.56   | Copper 2 oz                                 |
|         |     |    | 135               | 5.31   | #1078 x 2ea(RC 68%)(Adjust)                 |
| VDD     | 34  |    | 65                | 2.56   | Copper 2 oz                                 |
|         |     |    | 65                | 2.56   | Core 0.065T                                 |
| GND     | 35  |    | 35                | 1.38   | Copper 1 oz                                 |
|         |     |    | 125               | 4.92   | #1035x1(RC 70%) + #1078x1ea(RC 68%)         |
| SOLD    | 36  |    | 50                | 1.97   | Copper 0.5 oz                               |

的目标是在一定的频率范围内,使电源网络的交流阻抗(AC阻抗)不超过目标阻抗。如果在某些频点或者频段AC阻抗超标,可以添加相应的电容器进行去耦,由于链路寄生参数的影响,PCB板级的去耦频率上限一般为100 MHz。仿真和优化结果如图3,图中VDD为蓝线mag为红线在20 MHz以下,DUT芯片各主要电源域的AC阻抗基本都在目标阻抗之下,可以保证DUT芯片工作时电源网络的完整性和可靠性。



(a) VDD电源域优化后

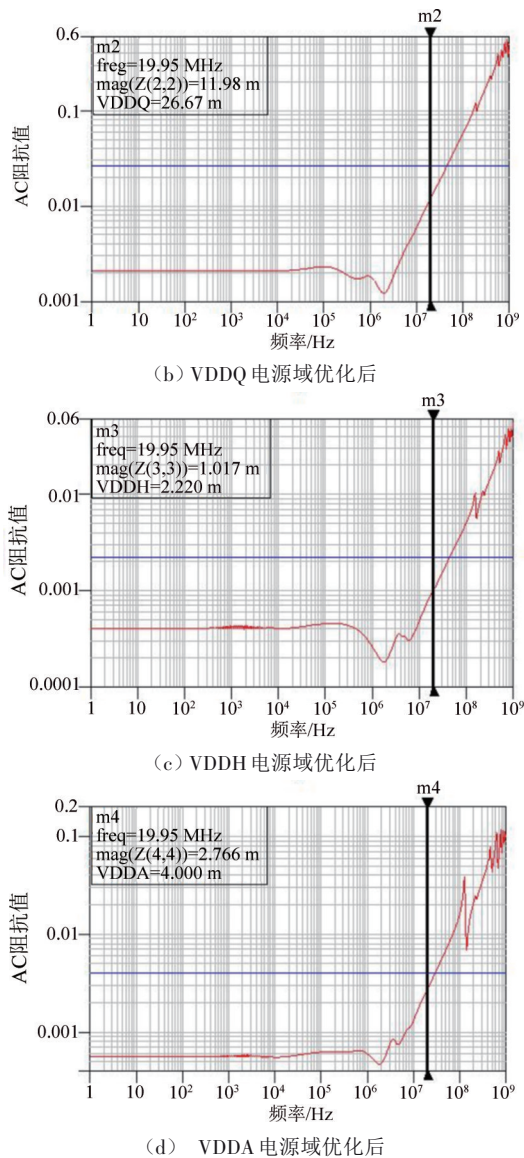


图3 各主要电源域优化后的AC阻抗仿真结果

信号完整性仿真和优化,要保证高速信号整个路径的阻抗一致性和损耗控制。本文中DUT芯片支持以太网协议,以太网协议中要求的信号特性阻抗为  $100\ \Omega$ ,同时考虑到支持PCIe等协议,PCIe协议中要求的信号特性阻抗为  $85\ \Omega$ ,为了能同时兼容两种协议,Load Board板卡的阻抗控制为  $92.5\ \Omega$ 。本设计中阻抗要求控制在 $\pm 5\%$ 以内,回损 $< -20\ \text{dB}@14\ \text{GHz}$ ,插损尽可能降低,并优先保证Tx端走线。阻抗一致性仿真和损耗仿真主要是提取高速互连通道的S参数,对过孔孔径、焊盘、反焊盘进行建模,如图4所示。



图4 高速互连通道模型

未挖空反焊盘时,焊盘与参考平面之间会形成较大电容,会使信号的阻抗降低;挖空反焊盘后,电容减小,阻抗提高。但是DUT芯片过孔间距过小导致挖空的反焊盘会和高速差分走线在垂直平面上有部分重合,这种情况会导致高速差分走线的阻抗降低。仿真优化时,需要在反焊盘位置补充一些参考平面,保证高速差分走线与参考地平面在垂直平面上无“漏洞”,使高速差分走线的阻抗更接近设计值  $92.5\ \Omega$ ,保证链路上的阻抗一致性,同时也优化了回损指标,如图5所示。

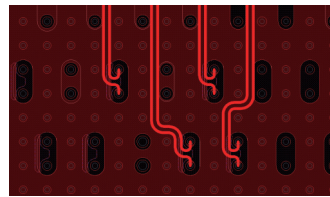


图5 高速信号反焊盘挖空及参考地补偿方法

仿真优化结果如图6、图7所示,阻抗控制在  $92.5\ \Omega \pm 5\%$  以内,  $14\ \text{GHz}$  以下频率范围内回波损耗值在  $-20\ \text{dB}$  以下,满足Load Board板卡设计要求。

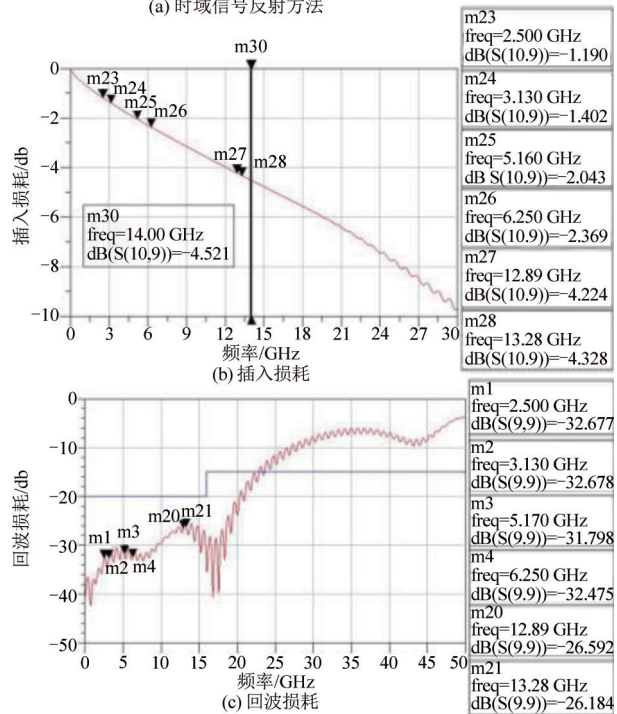
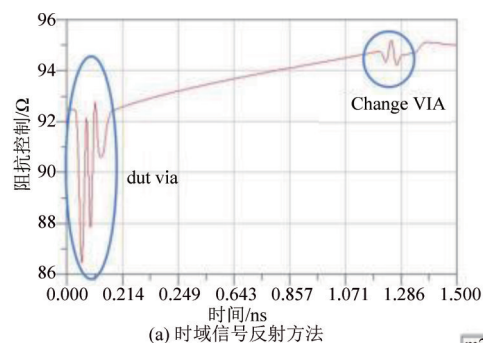


图6 Tx通道阻抗及损耗仿真优化结果

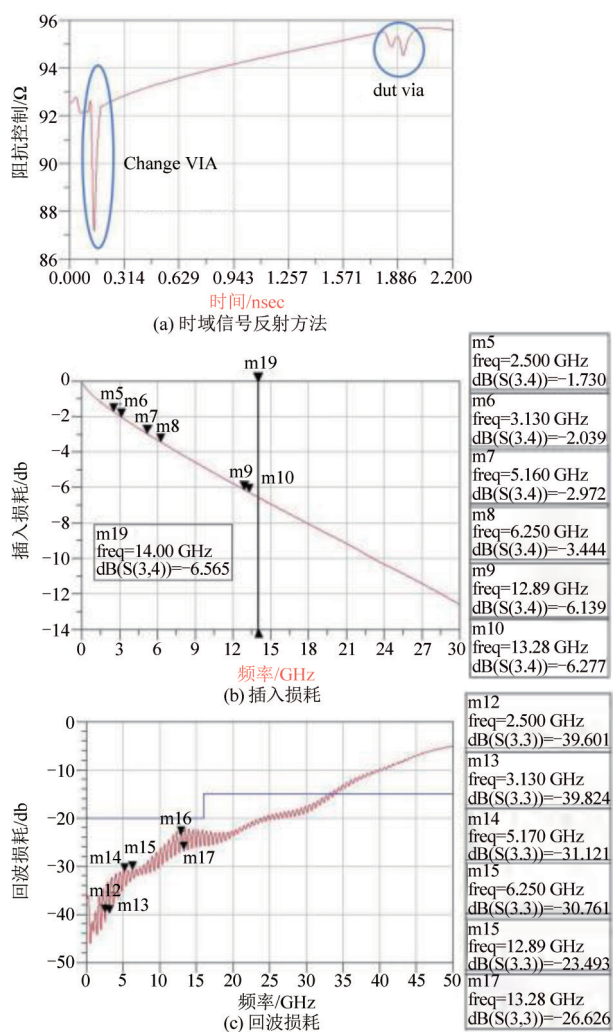


图7 Rx通道阻抗及损耗仿真优化结果

#### 1.4 测试方法

基于ATE自动化测试机台,在机台上安装DUT芯片的专用测试载板,DUT芯片多SerDes接口按照发送端、接收端及4x模式分组,4x一组分别连接至Load Board板卡上的Tx端连接器和Rx端连接器。

当测试DUT芯片多SerDes接口发送器电气参数时,DUT芯片发送器送出伪随机码PRBS13Q至Load Board板卡上的Tx端连接器,通过高速Cable线缆连接至ATE机台HSIO高速系统中集成的DSO接收端,DSO对信号进行电气参数测试分析;当测试DUT芯片多SerDes接口接收端误码率时,ATE机台HSIO高速系统中集成的BERT发送端通过高速Cable线缆送出伪随机码PRBS31Q至Load Board板卡上的Rx端连接器,经PCB走线送入DUT芯片接收器,配置DUT芯片为Rx2Tx环回模式,DUT芯片发送器经PCB走线送出环回数据至Load Board板卡上的Tx端连接器,通过高速Cable线缆

连接至BERT接收端,BERT对信号进行误码率分析。

ATE机台的HSIO高速系统包含4块DSO板卡及4块BERT板卡,每块DSO板卡可同时支持4个差分通道测试,每块BERT板卡可同时支持4个差分通道测试,Load Board板卡设计时将DUT芯片的所有56 Gbps PAM4 SerDes接口引出至高速连接器,如图8所示,本设计可同步进行16通道的Tx端电气参数测试验证,以及另外16通道的Rx端误码率测试。在ATE机台的SmartTest软件环境下编写DUT芯片测试程序,通过DSO进行Tx端电气参数测试,通过BERT进行Rx端误码率测试。

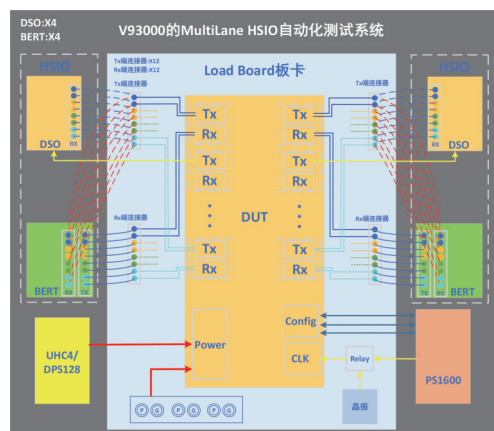


图8 硬件实现框图

## 2 测试过程和结果

### 2.1 Tx端电气参数测试

根据200GAUI-4/400GAUI-8协议规范要求,使用PRBS13Q码型进行Tx端电气参数测试。在ATE机台的SmartTest环境下编写测试程序,在测试程序中配置16个56 Gbps PAM4 SerDes均发送PRBS13Q码型,DSO测试项配置为Line Rate: 26.562 5 Gbaud/s; signal Mode: 0-PAM; Pattern Lenth: 8191; Clock Input: 3 320.312 5 MHz; RX Pins: RX1DSO ~ RX16DSO。配置完成后,执行testflow进行16个56 Gbps PAM4 SerDes接口Tx端电气参数测试,一个SerDes接口的电气参数测试结果如图9所示。

对被测DUT芯片也同时设计了实验室测试板卡,引出DUT芯片所有56 Gbps PAM4 SerDes接口到SMP连接器,在实验室对接示波器进行Tx端电气参数测试,两种测试环境下的测试结果与200GAUI-4/400GAUI-8协议规范要求的数值比较见表2,所测试参数均满足200GAUI-4/400GAUI-8协议规范要求。

Output for suite 'PAM\_26p5625\_PRBS13\_050', site: 1, pin: 'RX1DS0'

|                         |                                |      |             |
|-------------------------|--------------------------------|------|-------------|
| [site 1, pin: 'RX1DS0'] | Level2 (10)                    | [mv] | : 320.969   |
| [site 1, pin: 'RX1DS0'] | Level3 (11)                    | [mv] | : 109.154   |
| [site 1, pin: 'RX1DS0'] | Level1 (01)                    | [mv] | : -111.238  |
| [site 1, pin: 'RX1DS0'] | Level0 (00)                    | [mv] | : -320.025  |
| [site 1, pin: 'RX1DS0'] | Max                            | [mv] | : 391.025   |
| [site 1, pin: 'RX1DS0'] | Min                            | [mv] | : -383.256  |
| [site 1, pin: 'RX1DS0'] | Peak To Peak                   | [mv] | : 774.281   |
| [site 1, pin: 'RX1DS0'] | Lower Eye Amplitude (AVlow)    | [mv] | : 208.786   |
| [site 1, pin: 'RX1DS0'] | Middle Eye Amplitude (AVmid)   | [mv] | : 220.392   |
| [site 1, pin: 'RX1DS0'] | Upper Eye Amplitude (AVupp)    | [mv] | : 211.815   |
| [site 1, pin: 'RX1DS0'] | VEC                            | [mv] | : 6.48322   |
| [site 1, pin: 'RX1DS0'] | Lower Eye Height (Vlow)        | [mv] | : 103.345   |
| [site 1, pin: 'RX1DS0'] | Lower Eye Top (VlowTop)        | [mv] | : -164.703  |
| [site 1, pin: 'RX1DS0'] | Lower Eye Base (VlowBase)      | [mv] | : -268.048  |
| [site 1, pin: 'RX1DS0'] | Middle Eye Height (Vmid)       | [mv] | : 111.517   |
| [site 1, pin: 'RX1DS0'] | Middle Eye Top (VmidTop)       | [mv] | : 53.7436   |
| [site 1, pin: 'RX1DS0'] | Middle Eye Base (VmidBase)     | [mv] | : -57.7737  |
| [site 1, pin: 'RX1DS0'] | Upper Eye Height (Vupp)        | [mv] | : 100.414   |
| [site 1, pin: 'RX1DS0'] | Upper Eye Top (VuppTop)        | [mv] | : 264.978   |
| [site 1, pin: 'RX1DS0'] | Upper Eye Base (VuppBase)      | [mv] | : 164.564   |
| [site 1, pin: 'RX1DS0'] | Lower Eye Width (Hlow)         | [ps] | : 11.5209   |
| [site 1, pin: 'RX1DS0'] | Middle Eye Width (Hmid)        | [ps] | : 14.9111   |
| [site 1, pin: 'RX1DS0'] | Upper Eye Width (Hupp)         | [ps] | : 12.915    |
| [site 1, pin: 'RX1DS0'] | Lower Eye skew (LowEyeSkew)    | [ps] | : -0.139434 |
| [site 1, pin: 'RX1DS0'] | Middle Eye skew (MidEyeSkew)   | [ps] | : -0.139434 |
| [site 1, pin: 'RX1DS0'] | Upper Eye skew (UpperEyeSkew)  | [ps] | : 0.278867  |
| [site 1, pin: 'RX1DS0'] | Vrms                           | [mv] | : 206.126   |
| [site 1, pin: 'RX1DS0'] | RLM (IEEE 802.3 clause 94)     |      | : 0.977169  |
| [site 1, pin: 'RX1DS0'] | RLM (IEEE 802.3 Annex 120)     |      | : 0.954338  |
| [site 1, pin: 'RX1DS0'] | Lower Eye Height(Vlow by BER)  | [mv] | : 90.9731   |
| [site 1, pin: 'RX1DS0'] | Middle Eye Height(Vmid by BER) | [mv] | : 99.1454   |
| [site 1, pin: 'RX1DS0'] | Upper Eye Height(Vupp by BER)  | [mv] | : 88.0425   |
| [site 1, pin: 'RX1DS0'] | SNDR_1EEE                      | [dB] | : 35.4998   |

图9 Tx端电气参数测试结果

表2 Tx端电气参数测试结果与200GAUI-4/400GAUI-8协议规范要求对比表

| 类别                         | Diff Vpp (max)/mV | EW (min)/UI | EH (min)/mV | RLM(min) | SNDR(min)/dB |
|----------------------------|-------------------|-------------|-------------|----------|--------------|
| 200GAUI-4/400GAUI-8协议规范要求值 | 1 200             | 0.265       | 70          | 0.95     | 31.5         |
| ATE SmartTest 环境下测试数值      | 774.3             | 0.306(low)  | 103.3 (low) | 0.954    | 35.5         |
|                            |                   | 0.396(mid)  | 111.5(mid)  |          |              |
|                            |                   | 0.343(upp)  | 100.4(upp)  |          |              |
| 实验室环境下测试数值                 | 785.8             | 0.293(low)  | 98.6(low)   | 0.96     | 34.0         |
|                            |                   | 0.352(mid)  | 107.2(mid)  |          |              |
|                            |                   | 0.290 (upp) | 102.4(upp)  |          |              |

## 2.2 Rx端误码率测试

根据200GAUI-4/400GAUI-8协议规范要求,使用PRBS31Q码型进行Rx端误码率测试,在ATE的SmartTest环境下,编写测试程序。在测试程序中,配置16个56 Gbps PAM4 SerDes,其为Rx2Tx模式。BERT测试项配置如下:Line Rate[Gbaud/s]: 26.562 5; signal Mode: 0-PAM; Gray Coding: Yes; TX Pattern Lenth: 7-PRBS31; RX Pattern Lenth: 7-PRBS31; TX Pins: TX1BERT ~ TX16BERT; RX Pins: RX1BERT ~ RX16BERT,配置完成后,执行testflow进行16个56 Gbps PAM4 SerDes接口Rx端误码率测试,一个SerDes接口的误码率测试结果如图10所示,测试时长60 s,发送数据量约为 $3 \times 10^{12}$  bit,误码率为0,满足200GAUI-4/400GAUI-8协议规范要求。在实验室测试板上引出DUT芯片所有56 Gbps PAM4 SerDes接口到SMP连接器,通过外部Cable线缆将Tx端与Rx端环回连接,在Rx端查看误码率,测试时长60 s,发送数据量约为 $3 \times 10^{12}$  bit,误码率为0,满足200GAUI-4/400GAUI-8协议规范要求。

```

----- BER Results: [site 1, pin RX1BERT] -----
BitError      : 0
Spent Time    : 60005
BER           : 0.00000e+00

```

图10 Rx端误码率测试结果

## 3 测试方法分析

在实验室对接示波器进行Tx端电气参数测试,以16个56 Gbps PAM4 SerDes接口的测试为例,可以同时把16个56 Gbps PAM4 SerDes接口都配置完成,但是受限于示波器一次只能对一个56 Gbps PAM4 SerDes接口进行测试和测试数据保存,再加上Poweroff已完成测试的SerDes接口、更换线缆、Poweron待测试SerDes接口的操作时间,这种串行的测试方式,导致完成16个56 Gbps PAM4 SerDes接口的测试时长比较久。对于Rx端误码率测试,在实验室测试时,存在与Tx端电气参数测试时同样的串行测试现象,并且因为要计算误码率,对传输的数据量有要求,测试的时间也比较长。16个56 Gbps PAM4 SerDes接口进行Tx端电气参数和Rx端误码率测试,实验室测试时长与本设计测试时长的对比结果如表3所示,相比较实验室测试时长,本设计测试时长具有明显优势,Tx端电气参数测试效率提升约120倍,Rx误码率测试效率提升约24倍。对100只DUT芯片进行Tx端电气参数和Rx端误码率测试,实验室测试时长约为516 h,本设计测试时长约为10 h,本设计测试时长具有

强大优势,可用于 DUT 芯片的量产测试。

表 3 16 个 56 Gbps PAM4 SerDes 接口测试时长对比表 单位:s

| 测试参数       | 实验室测试时长 | 本设计测试时长 |
|------------|---------|---------|
| Tx 端电气参数测试 | 4 200   | 35      |
| Rx 端误码率测试  | 1 990   | 80      |

4 结束语

电气参数测试确保多通道 56 Gbps PAM4 SerDes 接口在高速互连应用中的传输性能和可靠性,本文设计实现了一种基于 ATE 的多通道 56 Gbps PAM4 SerDes 接口电气参数测试方法,利用 ATE 机台中集成的多通道高速测试系统 HSIO,设计专用的 DUT 芯片 ATE 测试载板 Load Board,对 Load Board 进行 SI 及 PI 仿真和优化,提供高可靠的测试链路性能,编写测试程序,可快速实现多通道 56 Gbps PAM4 SerDes 接口电气参数测试。同时把基于实验室设备的测试时长,与基于 ATE 的测试时长进行了对比,后者具有明显优势,可用于 DUT 芯片的量产测试。

参考文献:

[1] 逍遥科技.解析 PAM4 SerDes 技术:为人工智能和数据中心连接的未来提供动力[EB/OL].(2024-08-05)[2025-06-02]. <https://zhuanlan.zhihu.com/p/712823053>.

[2] BEN MILLER. PAM4: pulse amplitude modulation explained [EB/OL]. (2024-09-11) [2025-06-02]. <https://www.keysight.com/blogs/en/inds/ai/pam4-pulse-amplitude-modulation-explained>.

[3] IEEE. IEEE Std 802.3bs™-2017: IEEE standard for ethernet amendment 10: media access control parameters, physical layers, and management parameters for 200 Gb/s and 400 Gb/s operation [S]. New York, USA: IEEE, 2017.

[4] 郑懿. 基于 PAM4 信号的 400G 高速误码测试系统的研究与实现[D]. 武汉:武汉理工大学, 2023:1-84.

[5] 费晓华,邱贞华.V93000 自动化测试技术研究[J].电子质量,2022(12):28-34.

[6] 芯片测试:万字长文一起聊聊 IC 测试机-ATE[EB/OL]. (2023-10-31) [2025-06-02]. [https://blog.csdn.net/weixin\\_45264425/article/details/134087858](https://blog.csdn.net/weixin_45264425/article/details/134087858).

[7] 张凯虹,季伟伟,朱江.一种基于 ATE 的 SerDes 物理层测试方法[J].电子与封装,2020,20(11):30-33.

[8] 曹旭荣,方延奋,王业清.32 Gbps 高速 SerDes 量产测试方案[J].2017(6):39-42.

[9] V93000 单一可扩展测试平台[EB/OL]. (2024-10-08) [2025-06-02]. <https://www.advantest.com/cn/products/semi-conductortest-system/soc/v93000-exa-scale>.

[10] MULTILANE. V93000 HSIO high-speed solution[EB/OL]. (2024-06-21) [2025-06-02]. <https://www.multilaneinc.com/s-categories/Measurement%20Solutions/ATE/V93000-HSIO.pdf>.

(编辑:冯 春)