[文章编号] 1003－4684(2026)02-0123-04

一种应用于 DDR 供电延迟系统的 CMOS 二分频电路设计

许宏劲[1]，邓 罡[1]，赵显西[2]，勇志强[2]
(1 湖北工业大学理学院，湖北 武汉 430068;2 北京伽略电子股份有限公司，北京 100000)

[摘 要] 针对双倍速率同步动态随机储存器芯片延迟系统的需求，基于华虹 HHGrace BCD 0.35 μm 工艺，通过优化传统 D 触发器的内部结构，设计了一种 16 分频的 COMS 分频器，版图采用插指结构。单个模块大小为 40 μm×12 μm，节省版图面积在 30%左右，在 Cadence Spectre 软件环境下，进行了仿真。结果表明，在 33 kHz 下，电路实现了精确 16 分频。

[关键词] 分频器；时钟信号；版图设计；触发器
[中图分类号] TN432 [文献标识码] A

近年来，国内片上系统(SOC)设计与制造工艺获得了突破性进展，其对系统的集成度也提出了新的要求，如何精简片上元件并实现性能优化已成为当下的重点课题之一。

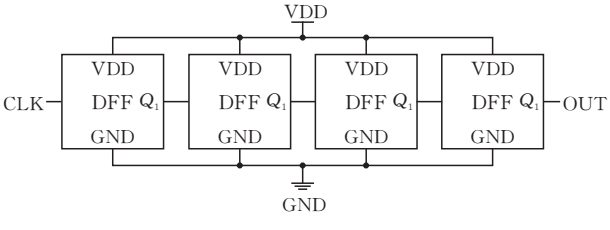
二分频器的功能是将时钟输入信号的频率减半且输出为占空比严格为 1∶2 的方波信号，在时钟同步等领域有重要应用[1]。其设计的基本思路是以高稳定度的晶体振荡器为主振源产生输入信号，通过 CMOS 数字电路的变换得到所需要的特定频率的输出信号[2]。因其低延迟，高稳定性和低功耗等特点在集成电路领域有着广泛的应用。在高频段领域，二分频器主要应用于锁相环、频谱分析和射频收发器等。近年来，为了进一步提高射频时钟信号输出的稳定性，几种基于传统结构的分频器的改进设计被提出[3-8]。但在低频段需求的器件上，往往还是采用传统的 D 触发器串联结构，而每个 D 触发器需要 28 个 MOS 管实现基本功能。

为了优化 D 触发器的基本结构，减小芯片面积，本文针对双倍速率同步动态随机储存器(double data rate，DDR)芯片延迟系统的需求，基于华虹 HHGrace 0.35 μmBCD 工艺，设计了一款二分频单元的多级串联 2^4 分频比的分频器电路。并针对 DDR 供电系统延迟的延时需求在微秒到毫秒量级，对该电路结构进行了仿真分析。

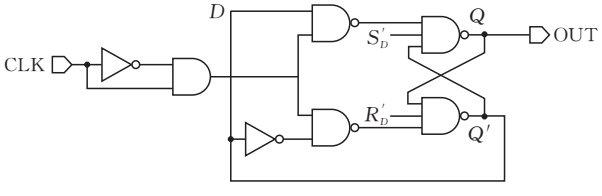
1 传统 CMOS 分频器的电路结构

CMOS 分频器模块是以 DFF 触发器电路为基础，4 个基本模块串联来实现 2^4 分频比。传统分频器的电路结构如图 1 所示[9]。其中，(a)为 2^4 分频器串联结构，(b)为 DFF 触发器内部电路结构。串联的基本模块个数为 n 时，最终的输出信号 OUT 与输入信号 CLK 满足式(1)[10]，f_{OUT} 代表 OUT 端输出波形的频率，f_{CLK} 代表 CLK 端输入波形频率，n 代表分频器个数：

$$f_{OUT} = f_{CLK} / 2^n \tag{1}$$



(a)分频电路结构



(b)传统 D 触发器内部结构

图 1 设计模块基本电路结构

[收稿日期] 2024－03－13
[第一作者] 许宏劲(1997－)，男，湖北十堰人，湖北工业大学硕士研究生，研究方向为电子科学与技术。
[通信作者] 邓 罡(1981－)，男，湖北武汉人，湖北工业大学副教授，研究方向为电子科学与技术 。

如图 1b 所示是传统 D 触发器架构的二分频电路的内部结构通过两个 3 输入的与非门锁存器结构来实现分频效果。S'_D 和 R'_D 是复位端，D 端是电平信号，控制整个触发器的上升沿跳变值，CLK 是时钟输入，复位端是强制置 0 接口，传统 D 触发器由两个 3 接口的与非门构成的锁存器来实现锁存效果[11]。因此，一个传统的 D 触发器结构需要 28 个 MOS 管。

2 D 触发器的优化设计

根据传统 DDR 芯片指标要求，电路内部生成的延迟需求一般在微秒量级，首先需设计出整体数字延迟系统，基本模块思路如图 2 所示。

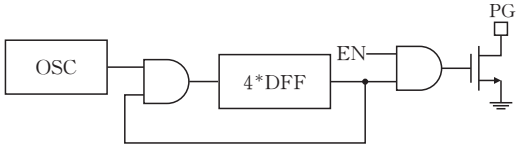
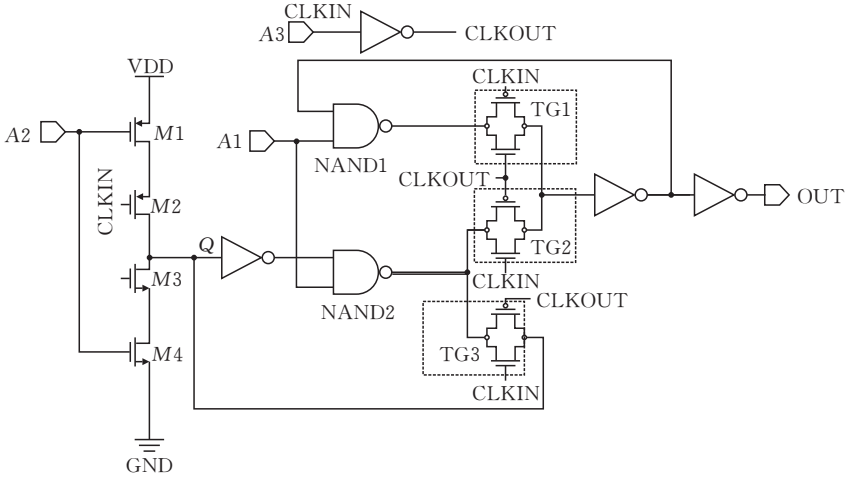


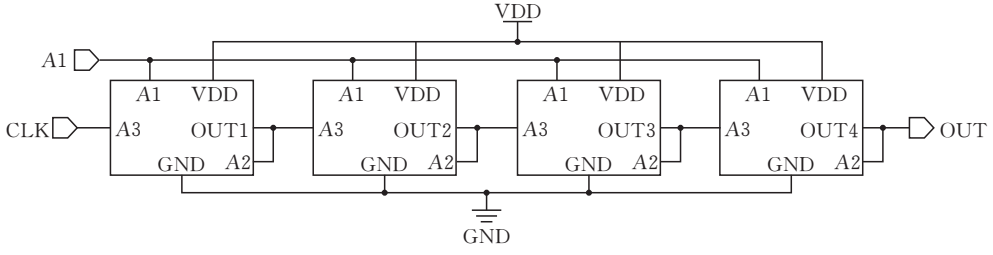
图 2 整体延迟电路模块

当电路启动时，使能信号 EN 置高用于控制电路整体开关，内部振荡器(OSC)输出一个低频段的时钟信号，经过 4 个分频器输出 16 分频的时钟信号，输出信号初始状态为高，致使最后的 NMOS 管导通，输出 Pin 角 PG 的电平被拉至 GND 端。当信号第一次跳变置低时，NMOS 截止，PG 端电压恢复正常，同时跳变信号又反馈回分频器前端，致使时钟信号关断，关闭该数字模块以维持电路稳定。相较于基本 D 触发器实现的二分频结构，本文优化了传统分频器的内部结构，用基本与非门和传输门结构[12]，仅需要 24 个 MOS 管器件组合达到二分频目的，以此减小版图面积，削弱了寄生参数。

图 3a 是优化后的分频器内部电路结构，电路中由 2 个与非门和 3 个传输门并联构成分频器的选择电路。与非门是传统 MOS 门电路，由 2 个 PMOS 并联加上 2 个 NMOS 串联组成。其中，$A1$ 是启动信号，当 $A1$ 置高时电路才能正常开启，后续信号传输才能进行；$A2$ 是内部反馈信号，在外围电路中和输出端 OUT 相连，如图 3b 所示，$A2$ 电平改变控制 $M1$ 和 $M4$ 的导通状态来决定图 3a 中 NAND2 其中一个输入端的电平状态[13]；$A3$ 是时钟周期的输入端，当 $A3$ 的输出信号发生跳变时会改变电路中 CLKIN 和 CLKOUT 的电平状态，进而控制传输门 TG1、TG2、TG3 的开关状态，图中 TG1 和 TG2、TG3 的开关状态相反，A3 的电平跳变之后，信号选择从 NAND1 直接输出或者从 NAND2 输出返回到 NAND2 的输出端，从而实现分频的原理；OUT 是信号的输出端，外围连接到下一级分频器电路。



(a)分频器内部电路结构



(b)分频器整体结构

图 3 优化后的模块电路

电路正常启动时，$A1$ 的信号置高，VDD 电源电压为 3.3 V，保证电路正常运转。此时 $A2$ 端置空，时钟信号从 $A3$ 端输入控制三个传输门的开启状态。$A3$ 初始状态为高时，TG2 导通，TG1、TG3

截止,信号从 NAND2 经过,通过 TG3 输出高电平信号反馈回节点 Q,另一端经过两级反相器生成输出信号 OUT,此时 OUT 为高电平,外围电路 OUT 端和 $A2$ 相连,使得 $M1$ 截止,$M4$ 导通,同时 $M2$ 栅极接到 $A3$ 电平信号 CLKIN,$M3$ 栅极接到 $A3$ 的反向电平 CLKOUT,致使 $M2$ 截止,$M3$ 导通;$A3$ 初始信号低时,TG1、TG3 导通,TG2 截止,信号从 NAND1 生成,经过一级反相器后再反馈回 NAND1,再经过一级反相器得到输出 OUT。当 $A3$ 信号由高置低时,节点 Q 的电位会随时钟信号变化被置低,当 $A3$ 信号由低置高时,$A2$ 信号未及时跳变,导致 Q 点电位会被钳制在当前状态,实现锁存器功能[14]。

综上所述,由于 Q 点电位被钳制,当且仅当 $A3$ 的时钟信号由低置高时,输出端 OUT 的信号才能发生跳变,实现二分频的功能。此处用四个 MOS 管串联的锁存器优化了传统 D 触发器的结构,仅用 24 个 MOS 管就实现了 D 触发器的功能。

图 3b 是分频器整体结构图,时钟信号 CLK 从第一个分频器的 A3 口输入,经过四级分频得到输出端 OUT 的 16 分频。假设电路输入的时钟信号是低频段 33 kHz,振荡周期是 30 μs,经过 16 分频,即可输出一个 480 μs 的时钟信号。经过分频器输出的信号需在波形第一次由高置低的电平处传输数字信号时就关断振荡器和分频器电路来达到输出延迟的目的[15],由此来确保电路的稳定性。

3　仿真结果

该分频器模块设计在 Cadence 软件中进行,基于华虹 HHGrace BCD 0.35 μm 工艺对电路进行如图 3b 的结构搭建,仿真环境在 Cadence Spectre 下进行。给 VDD 施加一个 3.3 V 的恒压源。$A1$ 信号也接 3.3 V 的恒压源保持电路开启。给输入端 CLK 一个时钟周期,观察 OUT 端的输出波形。初始仿真阶段将时钟周期的频率调至 33 kHz,占空比为 1∶2。

输入和输出波形如图 4 所示。应电路指标要求,仅需要 OUT 输出端有第一次由高置低的跳变信号即可,之后的波形全程置低即可关闭数字模块[12]。CLK 波形半周期为 15 μs,经过 16 分频之后 OUT 端输出波形应是 15 μs×16 为 240 μs,仿真结果与理论设计相符。

为探究该分频器所能适用的频率范围,将输入的时钟信号频率提高到 333 kHz,观察 OUT 端的信号输出,仿真结果如图 5a 所示,时钟信号的输出波形周期是 24 μs,且波形未出现明显失真,说明此

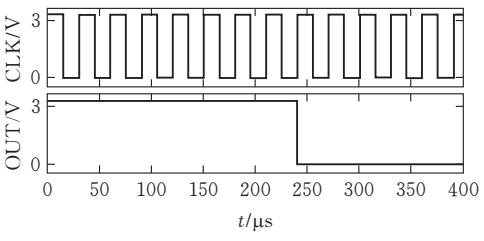
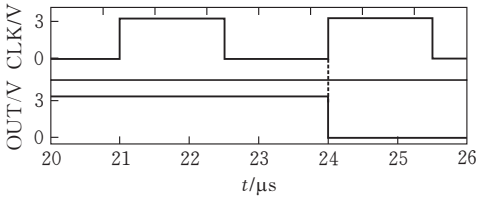


图 4　33 kHz 下输入与输出波形对比

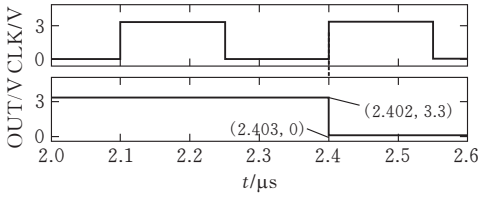
电路在低频段可以保证足够的精度和稳定性[16]。

进一步将输出时钟周期频率提高到 3 MHz,观察 OUT 端的信号输出。如图 5b 所示,结果显示输出波形下降沿用时 1 ns,在 2.402 μs 处跳变,与理论值 2.4 μs 相比,产生了 2 ns 的误差,但相较于输入周期的 300 ns,该误差处于合理范围值内。当时钟信号频率提高到 33 MHz,仿真结果如 5c 所示,可以看出输出波形有明显的毛刺产生[17],同样也产生了 2 ns 左右的迟滞跳变,而且下降沿用时 0.2 ns,相对于时钟周期的 30 ns 的误差较为明显。

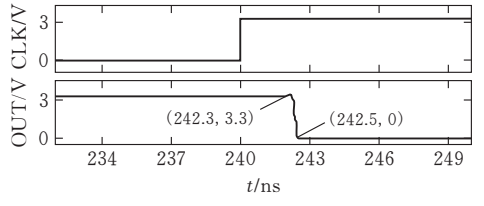
综上所述,该二分频电路可以实现中低频段的所有时钟周期的振荡器输入波形,固然到高频阶段会产生 2ns 左右的延迟跳变,但这种误差对于实际 DDR 供电需求的微秒级延迟需求可以忽略不计,且在中低频段的输出波形拥有很高的精度和稳定性。



(a) 333 kHz 下输入与输出波形对比



(b) 3 MHz 下输入与输出波形对比



(c) 33 MHz 下输入与输出波形对比

图 5　其他频段的波形对比

4　版图设计

整体版图如图 6 所示,在版图设计中,使两个相邻模块的 PMOS 管共用一根 VDD 主线,NMOS 管共用一根 GND 主线,以节省版图面积。且单个二

分频模块的版图尺寸是 40 μm×12 μm。由于减少了 MOS 管的布局,版图面积大幅减少,约为传统 D 触发器的 30%。

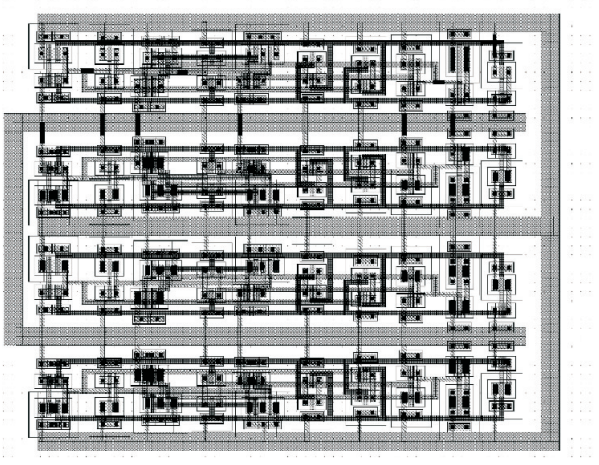


图 6 电路整体版

5 结束语

本文设计了一种适用于低频段的 CMOS 二分频电路。仿真结果表明:实现了在 33 kHz 的时钟周期下,对振荡波形进行了 16 分频。通过结合简易的 CMOS 锁存器电路,来实现优化传统分频器,提高了电路精度并降低功耗,减少版图面积,更符合当代高性能低功耗等电子设备的需求。

[参 考 文 献]

[1] BEHZADRAZAVI,拉扎维,王志华.模拟 CMOS 集成电路设计[M].北京:机械工业出版社,2013.152-170.

[2] 潘灏.低功耗射频 CMOS 双模前置分频器设计[D].合肥:安徽大学,2005.

[3] 吴南民,卢彦民.10 GHz 2 分频器芯片设计[J].信息化研究, 2014, 40(6):4.

[4] CHADHA R , BHASKER J .An asic low power primer: analysis, techniques and specification[M].Springer New York,2013.136-139.

[5] 殷树娟.一种高性能低功耗 CMOS 分频器电路设计[J].北京信息科技大学学报:自然科学版, 2015, 30(03):5.

[6] 张健.基于 40nm CMOS 工艺的 60 GHz 注入锁定分频器的研究与设计[D].济南:山东大学,2016.

[7] CHIEN J C, LU L H. Analysis and design of wideband injection-locked ring oscillators with multiple-input injection[J].IEEE Journal of Solid-State Circuits, 2007, 42(09):1906-1915.

[8] 苏燕,冯军,施欢东.0.8 V 低功耗高速 1∶2 分频器[J].东南大学学报:自然科学版, 2010, 40(06):5.

[9] CHENG K H, HUNG C L, SU C W. A Sub-1V Low-power high-speed static frequency divider[C]//IEEE International Symposi μmon Circuits & Systems. IEEE, 2007:3848-3851.

[10] 高鹏,桂小琰.带峰化电感的宽带可调 CML-DFF 分频器[J].微电子学, 2016(04):4.

[11] 金兴杰.低功耗无电容型低压差线性稳压器的研究与设计[D].成都:电子科技大学,2015.

[12] MAO,XURUI,毛旭瑞,et al.A 900 MHz fractional-N synthesizer for UHF transceiver in 0.18 μm CMOS technology[J].半导体学报(英文版), 2014(12):7.

[13] 韦雪明,王风美,谢镭僮,等.一种－62.3 dBc 参考杂散 6 GHz 低功耗锁相环[J].微电子学, 2023, 53(02):197-203.

[14] 安鹏,陈志铭,桂小琰.基于 90 nm CMOS 工艺的 37 GHz 分频器[J].微电子学, 2015(04):4.

[15] 蒋雪琴.基于 0.18 μm CMOS 工艺的 ZigBee 分频器设计[J].现代电子技术, 2015(23):71-75.

[16] 张涛,邹雪城,沈绪榜.锁相环频率合成器中分频器设计[J].计算机与数字工程, 2007, 35(12):4.

[17] 丁敬峰,王志功, 杨守军, 等. 27.5 GHz 0.2 μm PHEMT1∶4 静态分频器[J].半导体学报, 2005, 26(07):1418-1423.

CMOS Frequency Division Circuit Design for DDR Power Delay System

XU Hongjin[1],DENG Gang[1],ZHAO Xianxi[2],YONG Zhiqiang[2]

(1 *School of Science*, *Hubei Univ. of Tech.*,*Wuhan* 430068, *China*;

2 *Beijing Galleric Electronic Co.*, *Ltd* ,*Beijing* 100000, *China*)

Abstract: In response to the requirements of the delay system for Double Data Rate (DDR) Synchrono μs Dynamic Random-Access Memorychips, a 16-divider CMOS frequency divider was designed by optimizing the internal structure of traditional D flip-flops, based on the HHGrace BCD 0.35 μmprocess. The layout adopts an interpolation structure, with each individual module size being approximately 40 μm×12 μm, saving about 30% of the layout area. Simulations were performed μsing the Cadence Spectre software environment. The results indicate that the circuit achieves precise 16-division at 33 kHz.

Keywords: frequency divider; clock signal; layout design; trigger

[责任编校:闫 品]