文章编号:1674-2974(2024)06-0168-10 DOI:10.16339/j.cnki.hdxbzkb.2024236

一个 2.4 GHz 集成的 SP3T 射频开关和低噪声放大器

马凯学†,王德建,傅海鹏,王科平
(天津大学 微电子学院,天津 300072)

摘 要:基于 90 nm SOI CMOS 工艺实现的应用于无线局域网的 2.4 GHz 集成的单刀三掷(SP3T)射频开关和低噪声放大器.射频开关采用了一种低功耗的等效负压偏置方法,该方法能够在不使用负电压的前提下使关断状态晶体管获得等效的负压偏置,从而提高射频开关的线性度.低噪声放大器采用了负反馈技术和导数叠加技术提高线性度,利用导数叠加技术减小低噪声放大器的三阶非线性,进一步提高了负反馈低噪声放大器的线性度.低噪声放大器与射频开关集成,并带有 Bypass 衰减通路.测试结果表明,射频开关的发射支路实现了 0.95 dB 的插入损耗和 34 dBm 的输入 1 dB 压缩点,蓝牙支路具有 1.68 dB 的插入损耗和 30 dBm 的输入 1 dB 压缩点.在 2 V 供电下,接收支路在高增益模式下具有 15.8 dB 的增益,1.7 dB 的噪声系数和 7.6 dBm 的输入三阶交调点,功耗 28.6 mW,在 Bypass 模式下具有 7.2 dB 的插入损耗和 22 dBm 的输入三阶交调点.

关键词:无线局域网;低噪声放大器;射频开关;线性度
中图分类号:TN722.3 **文献标志码**:A

A 2.4 GHz Integrated SP3T RF Switch and Low Noise Amplifier

MA Kaixue†,WANG Dejian,FU Haipeng,WANG Keping
(School of Microelectronics, Tianjin University, Tianjin 300072,China)

Abstract: A 2.4 GHz integrated single pole three throw (SP3T) radio frequency (RF) switch and low noise amplifier based on a 90 nm SOI CMOS process is designed for wireless local area network (WLAN) applications. The RF switch adopts a low-power equivalent negative voltage biasing method, which can make the off-state transistors obtain an equivalent negative voltage bias state without using negative voltage, thereby improving the linearity of the RF switch. The low noise amplifier uses the negative feedback technique and derivative superposition technique to improve its linearity, and the derivative superposition technique is used to reduce the third-order nonlinearity of the low noise amplifier, which further improves the linearity of the negative feedback low noise amplifier. The low noise amplifier is integrated with the RF switch and has a Bypass attenuation path. The measurement results show that the transmitting branch of the RF switch has an insertion loss of 0.95 dB and an input 1 dB compression point of 34 dBm, and the Bluetooth branch of the RF switch has an insertion loss of 1.68 dB and an input 1 dB

* **收稿日期**:2023-04-22
基金项目:国家重点研发计划基金资助项目(2018YFB2202500),National Key Research and Development Program of China(2018YFB2202500)
作者简介:马凯学(1973—),男,甘肃靖远人,天津大学教授
† 通信联系人,E-mail: makaixue@tju.edu.cn

compression point of 30 dBm. Under 2 V power supply, in the high gain mode, the receiving branch has a gain of 15.8 dB, a noise figure of 1.7 dB and an input third-order intercept point of 7.6 dBm, and a power consumption of 28.6 mW, while in the bypass mode, it has 7.2 dB insertion loss and an input third-order intercept point of 22 dBm.

Key words: wireless local eare network (WLAN); low noise amplifier; radio frequency(RF) switch; linearity

射频开关(Radio Frequency Switch, RF Switch)是无线通信系统中的重要控制模块,控制着射频通路间的切换,为了保证无线通信质量,它需要具备低的插入损耗以及高的线性度和隔离度.互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺的发展推动着射频前端模块集成度的提高,射频开关的设计也逐渐由传统的GaAs pHEMT工艺转向具有更低成本、更高集成度的CMOS工艺[1].由于晶体管的击穿电压较低,CMOS射频开关通常采用堆叠晶体管结构.晶体管的偏置对射频开关的线性度有着重要影响,大功率射频开关通常采用负压偏置[2-3],但集成的负压产生电路增加了电路的功耗和面积,并且负压产生电路工作状态的建立也会影响射频开关模式切换的时间.针对传统的负压偏置,文献[4]提出一种低功耗的等效负压偏置方法,通过将关断状态晶体管的栅极偏置在低电平而将源漏偏置在高电平使关断状态晶体管获得等效的负压偏置,在避免使用负电压的前提下使射频开关获得了与采用负压偏置时相同的线性度.

低噪声放大器(Low Noise Amplifier, LNA)是接收系统中的第一级放大模块,它的增益、噪声和线性度等性能对接收系统有着重要影响.CMOS工艺尺寸的缩减提高了LNA的增益和噪声性能,但恶化了LNA的线性度[5].随着无线通信技术的发展,有限的频谱资源受到高密度的开发利用,这对通信系统的线性度提出了更高的要求,LNA需要具有足够的线性度来抑制干扰[6].负反馈[7-8]、最佳偏置[9]、导数叠加[10-12]和后失真[13]等技术在提高LNA线性度方面取得了显著的效果.负反馈技术将输出信号反馈至输入端,能够抑制非线性信号的产生,并且有利于改善带宽,提高电路的稳定性,是LNA设计中常用的技术.但负反馈技术对线性度的提升会受到LNA固有的三阶非线性以及二阶交调的影响.晶体管是LNA的核心器件,LNA的非线性主要来源于输入晶体管跨导的非线性.导数叠加技术是LNA设计中非常有效的跨导线性化技术,它通过引入辅助晶体管与主晶体管并联,利用辅助晶体管跨导的三阶非线性抵消主晶体管跨导的三阶非线性,从而线性化输入晶体管的跨导,实现LNA线性度的提高[11].

本文基于90 nm SOI CMOS工艺设计了一个应用于无线局域网(Wireless Local Area Networks, WLAN)的2.4 GHz集成的单刀三掷(Single Pole Three Throw, SP3T)射频开关和低噪声放大器.SP3T射频开关采用了低功耗的等效负压偏置方法,在避免使用负电压下使射频开关具备良好的线性度.LNA利用负反馈技术结合导数叠加技术实现了线性度的提高,导数叠加技术通过线性化输入晶体管的跨导能够减小LNA的三阶非线性,实现负反馈LNA线性度的进一步提高.

1　电路设计

1.1　电路整体结构

图1显示了电路的整体结构.ANT为天线(Antenna, ANT)端口,ANT-TX为射频开关的发射(Transmit, TX)支路,用于射频发射,ANT-RX_{in}为射频开关的接收(Receive, RX)支路,用于射频接收并与LNA级联,ANT-BT为射频开关蓝牙(Bluetooth, BT)支路,用于蓝牙应用,使蓝牙功能与WLAN收发通路共用天线端口[14].LNA带有Bypass通路,Bypass通路可使接收支路(ANT-RX_{out})在输入射频信号功率较高时切换至高线性度的衰减模式,通过工作模式的切换扩展接收支路的输入信号动态范围[15].

1.2　SP3T射频开关

图2显示了SP3T射频开关的原理,射频开关采用串并联堆叠结构,串联支路为端口间提供低损耗

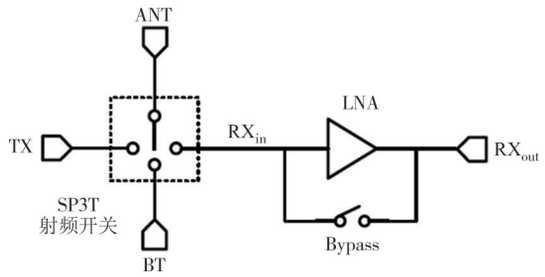


图1 电路整体结构

Fig.1 Block diagram of the circuit

的通路,对地的并联支路能够提高关断状态下端口间的隔离度,堆叠晶体管技术通过对射频信号进行分压避免晶体管发生击穿,从而提高关断支路的击穿电压.晶体管的偏置对射频开关的线性度有着重要影响.大功率的射频开关常采用负压偏置方法,利用负压偏置关断状态晶体管的栅极和体端,避免大功率射频信号通过时晶体管发生导通而造成射频信号泄漏,然而集成的负压产生电路会直接增大电路的功耗和面积[2-3].在本设计中,射频开关采用了一种低功耗的等效负压偏置方法.图3显示了等效负压偏置方法的晶体管偏置方式.大阻值电阻连接至晶体管的栅极、漏极、源极和体端实现节点的交流浮空,避免射频信号泄露.当晶体管处于导通状态时,晶体管的栅极被偏置在高电平而源漏被偏置在低电平.当晶体管处于关断状态时,晶体管的栅极被偏置在低电平而源漏被偏置在高电平,此时晶体管的栅极和体端与源漏之间能够获得等效的负压偏置,使关断状态晶体管获得增强的关断状态,从而提高射频开关的线性度[4,16].为了避免源漏节点的直流泄露,堆叠晶体管两端需各添加1个隔直电容(C_{BLK}),控制电压(V_{G12}, V_{G13}, V_{G14})控制着射频开关3条通路的导通和关断.

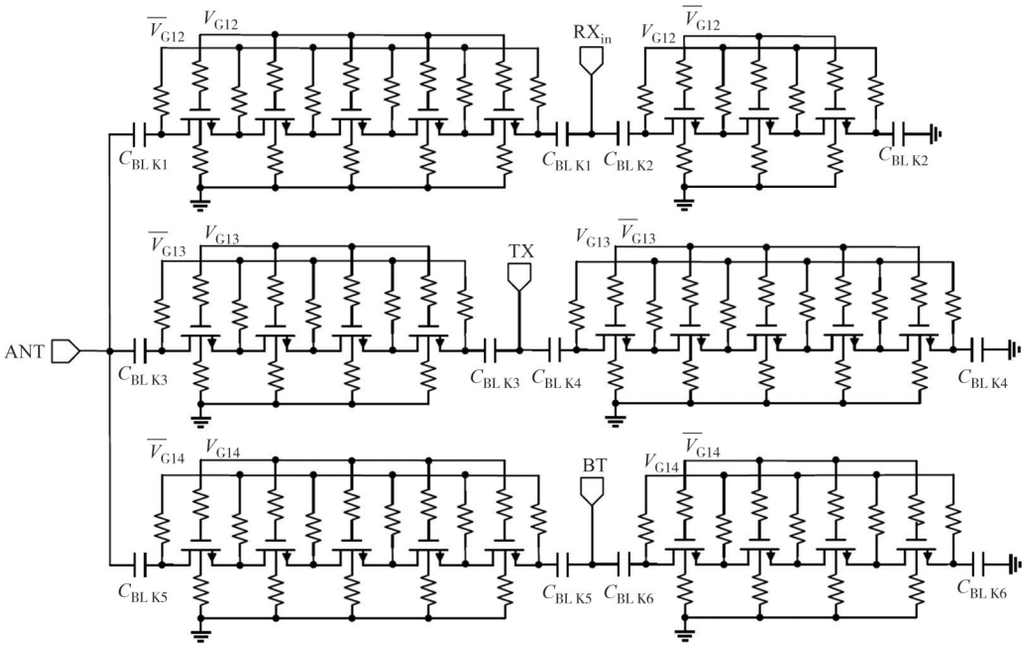


图2 SP3T射频开关原理图

Fig.2 The schematic of the SP3T RF switch

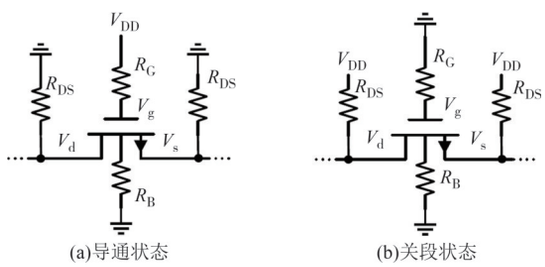


图3 等效负压偏置方法的晶体管偏置方式

Fig.3 Transistor biasing method of the equivalent negative voltage biasing method

图4显示了采用不同偏置方式时射频开关发射支路输入1 dB压缩点(Input 1 dB Compression Ppoint, IP1 dB)的仿真结果.等效负压偏置方法能够使关断状态晶体管获得等效的负压偏置,采用等效负压偏置时射频开关能够获得与采用负压偏置时几乎相同的线性度.并且由于没有使用负压,等效负压偏置方法具有低的功耗.

1.3 低噪声放大器

图5显示了LNA的原理.LNA带有Bypass通路,

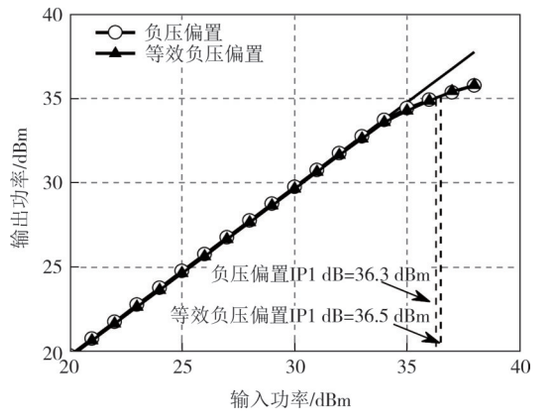


图4　仿真的不同偏置方式下射频开关发射支路的IP1 dB

Fig.4　Simulated IP1 dB of the transmitting branch of the RF switch under different biasing methods

具有高增益和Bypass衰减两种工作模式.LNA主体采用源极退化电感共源共栅结构,该结构具有高增益、输入匹配易实现等优点.本设计采用了负反馈和导数叠加技术以提高LNA的线性度.反馈电容C_{FB}和源极退化电感L_s为LNA提供了反馈通路,在牺牲一定增益下能够有效提高LNA的线性度.LNA的非线性主要来源于输入晶体管跨导的三阶非线性,导数叠加技术能够减小输入晶体管跨导的三阶非线性,实现负反馈LNA线性度的进一步提高.

1.3.1　负反馈

图6显示了源极退化电感LNA的结构及其小信号非线性等效电路.源极退化电感能够为LNA提供一条反馈通路,当漏电流I_d经过源极退化电感时会产生反馈电压V_s.输出电流可表示为:

$$I_d = g_1(V_g - V_s) + g_2(V_g - V_s)^2 + g_3(V_g - V_s)^3 \quad (1)$$

$$g_1 = \frac{\partial I_d}{\partial V_{gs}} = g_m \quad (2a)$$

$$g_2 = \frac{1}{2!}\frac{\partial^2 I_d}{\partial V_{gs}^2} = \frac{1}{2!}g_m' \quad (2b)$$

$$g_3 = \frac{1}{3!}\frac{\partial^3 I_d}{\partial V_{gs}^3} = \frac{1}{3!}g_m'' \quad (2c)$$

式中:g_1为晶体管的跨导,g_2和g_3分别为跨导的二阶和三阶非线性系数.当忽略二阶交调时,源极退化电感L_s能够使LNA的输入三阶交调点(Input Third Order Intercept Point, IIP3)幅值提高$(1 + g_1\omega L_s)^{3/2}$倍[6].然而源极退化电感的设计通常首先考虑LNA的输入匹配,因此它对LNA线性度的改善作用有限.

反馈电容C_{FB}提供了另一条反馈通路,能够进一步提高LNA的线性度.当放大器中存在两条反馈通路时,IIP3幅值可表示为[8]:

$$A_{IIP3,dual} = \sqrt{\frac{4}{3}\left|\frac{b_{1,dual}}{b_{3,dual}}\right|} = \sqrt{\frac{4}{3}\left|\frac{a_1(1 + T_1 + T_2)^3}{a_3 - 2a_2^2(1 + T_1 + T_2)^{-1}}\right|} \quad (3)$$

式中:a_1、a_2和a_3分别为放大器的线性增益,二阶和三阶非线性系数,$b_{1,dual}$和$b_{3,dual}$分别为反馈系统的线性增益和三阶非线性系数,T_x=a_1f_x(x=1,2)为反馈环路x的反馈环路增益,其中f_x为反馈环路的反馈系统.由式(3)可知,反馈电容C_{FB}通过提高系统的反馈环路增益,能够进一步提高放大器的线性度,并且增加了设计的自由度,使得反馈环路增益的调节更为灵活.

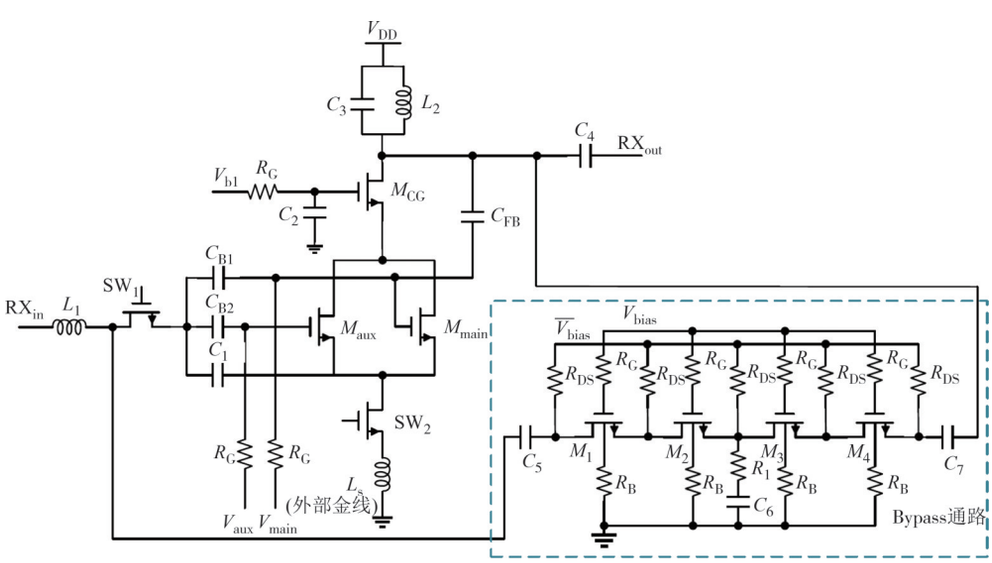


图5　低噪声放大器原理图

Fig.5　The schematic of the LNA

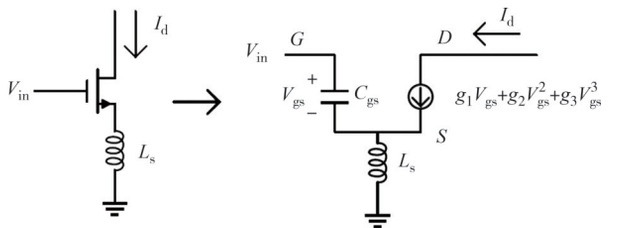


图6 源极退化电感LNA及其小信号非线性等效电路

Fig.6 Inductively source degenerated LNA and its small signal nonlinear equivalent circuit

为简化分析,利用图7中简化的带反馈电容的源极退化电感共源级LNA对本设计的LNA非线性特性进行分析.文献[17]分析了共源级LNA的非线性特性.基于文献[17],根据放大器工作特性假设 $\omega_1 \approx \omega_2 \approx \omega$, $\omega L_s \ll R_L$, $\omega L_s \ll (\omega C_{gs})^{-1}$, $\omega C_{gs} \ll g_1$, LNA的IIP3幅值可表示为[10,17]:

$$A_{IIP3} = \sqrt{\frac{4}{3}\left|\frac{(g_1 - j\omega C_{FB})H(j\omega)^3}{A(j\omega)\left[g_3 - \frac{2}{3}g_2^2\frac{1}{B(j2\omega)}\right]}\right|} \tag{4}$$

$$H(j\omega) = 1 + g_1 j\omega L_s + \frac{Z_1(j\omega)[j\omega C_{gs} + (1 + g_1 R_L)j\omega C_{FB}]}{j\omega C_{FB}R_L + 1} \tag{5}$$

$$A(j\omega) = 1 + (j\omega C_{gs} + j\omega C_{FB})Z_1(j\omega) \tag{6}$$

$$B(j2\omega) = g_1 + \frac{j2\omega C_{FB}Z_1(j2\omega) + (1 + j2\omega C_{FB}R_L)[1 + j2\omega C_{gs}Z_1(j2\omega)]}{j2\omega C_{FB}R_L Z_1(j2\omega) + (1 + j2\omega C_{FB}R_L)j2\omega L_s} \tag{7}$$

反馈电容 C_{FB} 为LNA的输出端和输入端提供了一条反馈通路,会直接影响LNA的传输特性,LNA的IIP3会受到源极退化电感 L_s 和反馈电容 C_{FB} 等多种因素的影响.在设计过程中,晶体管的栅源电容 C_{gs} 和反馈电容 C_{FB} 通常为fF级,因此 $A(j\omega) \approx 1$,假设 $\omega C_{FB} \ll g_1$,忽略二阶交调的影响,源极退化电感 L_s 和反馈电容 C_{FB} 能够使LNA的IIP3获得 $|H(j\omega)|^{3/2}$ 倍的提升.与单独使用源极退化电感 L_s 相比,反馈电容 C_{FB} 能够使LNA的IIP3获得进一步的提升.

负反馈在提高放大器线性度的同时会降低放大器的增益.利用图7所示的小信号电路,忽略晶体管的高阶非线性,计算晶体管栅极到输出端的小信号增益.为了简化分析,假设 $\omega^2 L_s C_{gs} \ll 1$, $\omega^2 L_s C_{FB} \ll 1$, 放大器的增益可表示为:

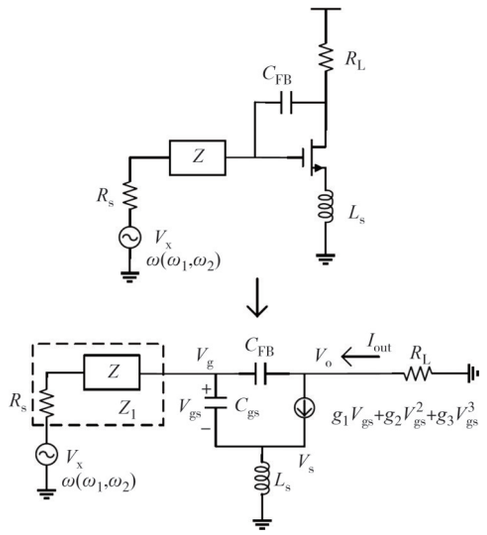


图7 简化的带反馈电容的源极退化电感共源级LNA及其小信号非线性等效电路

Fig.7 Simplified inductively source degenerated common source LNA with feedback capacitor and its small signal nonlinear equivalent circuit

$$A_v = \frac{V_o}{V_g} = -\frac{R_L(g_1 - j\omega C_{FB})}{(1 + j\omega C_{FB}R_L)(1 + g_1 j\omega L_s)} \tag{8}$$

射频开关具有较低的插入损耗和高的线性度,因此接收支路(ANT-RX_{out})的性能由LNA决定,在此展示接收支路的整体特性.图8和图9分别显示了仿真的接收支路IIP3和增益随 L_s 和 C_{FB} 的变化,通过调整 L_s 和 C_{FB} 可以有效提高接收支路的IIP3,但同时也会伴随着增益的降低.利用负反馈提高线性度时,需要对增益和线性度进行一定的取舍.根据式(4)可知,当 L_s 与 C_{FB} 等参数确定时,提高IIP3的幅值需要尽可能地减小LNA的三阶非线性 g_3 和二阶非线性 g_2 引起的二阶交调.

1.3.2 导数叠加

导数叠加技术的基本原理是利用辅助晶体管补

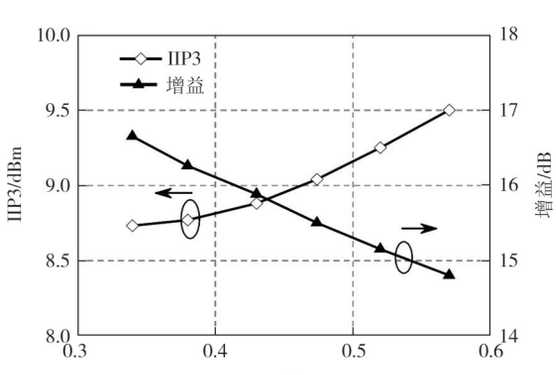


图8 接收支路IIP3和增益随 L_s 的变化

Fig.8 The IIP3 and gain of the receiving branch versus L_s

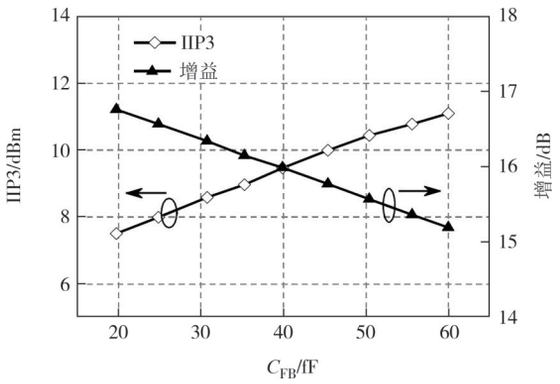


图 9　接收支路IIP3和增益随C_{FB}的变化

Fig.9　The IIP3 and gain of the receiving branch versus C_{FB}

偿主晶体管跨导的非线性.导数叠加技术通常将主晶体管与辅助晶体管并联,其中主晶体管偏置在饱和区而辅助晶体管偏置在弱反型区.由于主晶体管和辅助晶体管跨导的三阶非线性g_3极性相反,当二者的g_3幅值相近时,在一定偏置电压范围内便可使输入晶体管总的$g_{3,t}$为零[11],即:

$$g_{3,t} = g_{3,main} + g_{3,aux} = 0 \tag{9}$$

导数叠加技术的优势在于能够直接减小晶体管的g_3,并且由于辅助晶体管工作在弱反型区,它在提高LNA线性度的同时对LNA的增益、噪声等性能影响较小.

图5中晶体管M_{main}为LNA的主晶体管工作在饱和区,g_3值为负;晶体管M_{aux}为辅助晶体管工作在弱反型区,g_3值为正;C_{B1}和C_{B2}为主辅晶体管的隔直电容.通过调整辅助晶体管的尺寸和偏置,使其抵消主晶体管跨导的三阶非线性,从而提高LNA的线性度.

图10显示了仿真的接收支路IIP3随着辅助晶体管偏置电压V_{aux}的变化.随着V_{aux}的逐渐增加,辅助晶体管对主晶体管的非线性补偿逐渐增强,接收支路的IIP3逐渐升高.V_{aux}在0.25 V~0.3 V之间时,辅助晶体管能够实现接收支路IIP3的显著提升.在本设计中,辅助晶体管偏置电压为0.26 V,仿真的接收支路IIP3为8.6 dBm,相比于辅助晶体管关断状态,IIP3实现了4.4 dBm的提升.然而,由于主晶体管和辅助晶体管跨导的二阶非线性g_2恒为正,辅助晶体管会增大输入晶体管总的二阶非线性,增强反馈引起的二阶交调.降低反馈通路阻抗能够提高反馈环路增益,有利于抑制二阶交调作用,同时也有利于提高导数叠加技术对IIP3的提升作用[10].在本设计中,电容C_1既参与LNA的输入匹配,同时也能够减小输入晶体管栅源之间的阻抗,减小源极退化电感L_s引起的二阶交调.适当地增大反馈电容C_{FB}也有利于抑制反馈电容引起的二阶交调,提高导数叠加技术对IIP3的提升作用.图11显示了导数叠加技术对接收支路IIP3的提升作用(ΔIIP3)随C_{FB}的变化,当C_{FB}增加时导数叠加技术对IIP3的提升作用显著增强.

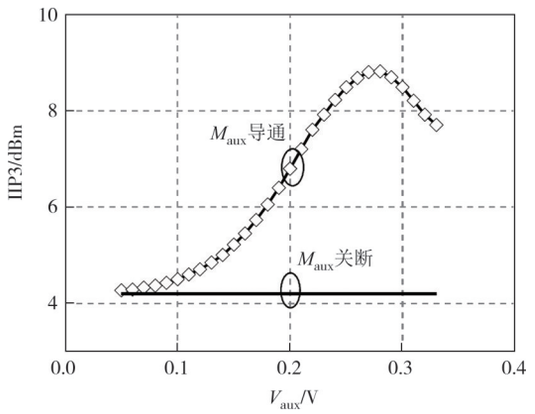


图 10　仿真的接收支路IIP3随V_{aux}的变化

Fig.10　Simulated IIP3 of the receiving branch versus V_{aux}

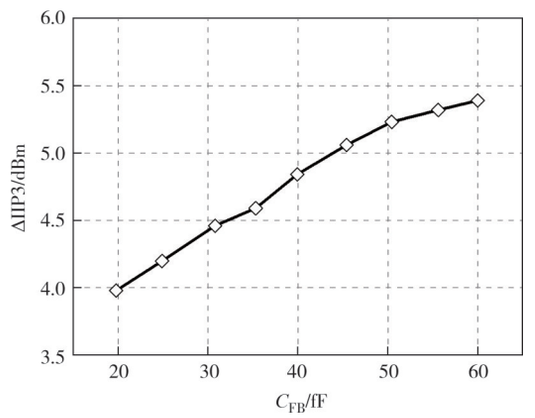


图 11　仿真的ΔIIP3随C_{FB}的变化

Fig.11　Simulated ΔIIP3 of the receiving branch versus C_{FB}

1.3.3　输入匹配

源极退化电感是LNA设计中常用的输入匹配结构[18-19].反馈电容存在一定的密勒效应,对LNA的输入阻抗影响较大.导数叠加技术中辅助晶体管会增加输入晶体管的寄生参数,同样影响着LNA的输入匹配.为了简化分析,利用图12所示的简化的小信号等效电路对LNA的输入匹配特性进行分析.辅助晶体管与主晶体管并联,因此输入晶体管的跨导$g_{1,t}$和寄生栅源电容$C_{gs,t}$为二者之和.假设$\omega^2 L_s(C_{gs,t} + C_1) \ll 1$,$\omega L_s \ll R_L$,忽略隔直电容的影响,根据小信

号等效电路可以得到LNA的输入阻抗为:

$$Z_{in} = j\omega L_1 + \frac{1}{j\omega C_{gs,t} + j\omega C_1 + j\omega\alpha C_{FB}} + \frac{g_{1,t}L_s}{C_{gs,t} + C_1 + \alpha C_{FB}} \tag{10}$$

$$\alpha = \frac{1 + g_{1,t}R_L}{1 + j\omega C_{FB}R_L} \tag{11}$$

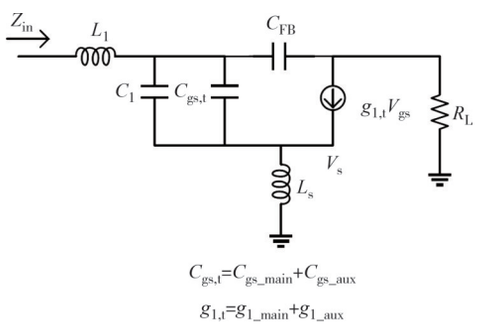


图 12 LNA简化的小信号等效电路

Fig.12 Simplified small signal equivalent circuit of the LNA

1.3.4 Bypass通路

Bypass通路为接收支路提供一条具有更高线性度的衰减通路,使接收支路能够通过工作模式的切换扩展输入信号的动态范围.在本设计中,Bypass通路主要由串联堆叠晶体管M_1~M_4以及R_1、C_6构成的对地RC串联网络构成.当晶体管导通时,晶体管可等效为一个小的导通电阻R_{on},图13显示了Bypass通路的等效电路.P_1至P_2的插入损耗可表示为:

$$IL = 20\log\left[1 + \frac{2R_{on}}{Z_0} + \frac{j\omega C_6(4R_{on}^2 + 4R_{on}Z_0 + Z_0^2)}{2Z_0(1 + j\omega C_6R_1)}\right] \tag{12}$$

式中:Z_0代表50 Ω阻抗.通过调整晶体管的尺寸以及R_1、C_6的值调整Bypass通路的插入损耗.

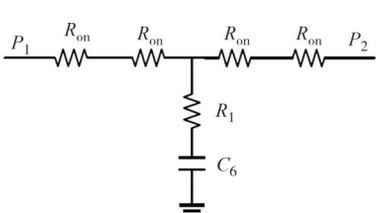


图 13 Bypass通路简化电路

Fig.13 Simplified circuit of the Bypass path

晶体管M_1~M_4同样采用了等效负压偏置方法,以使其在关断状态时保持良好的关断状态.当接收支路工作在Bypass模式时,接收支路的输入功率通常较大,为避免输入信号泄露至放大通路,在放大通路中添加了开关晶体管SW_1和SW_2以增强放大通路的关断状态,这也有利于提高Bypass通路的线性度.图14显示了晶体管SW_1和SW_2对Bypass通路IIP3的影响,可以看到在添加晶体管SW_1和SW_2后,Bypass通路的IIP3获得了显著的提高.

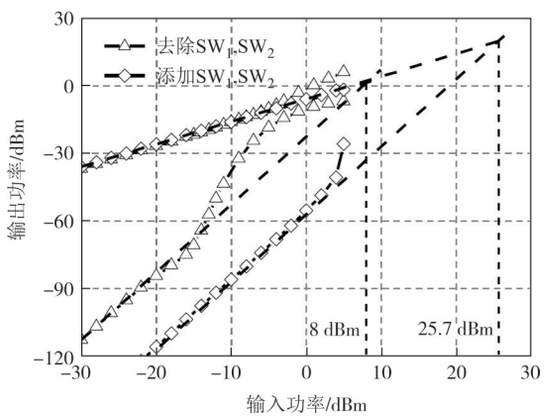
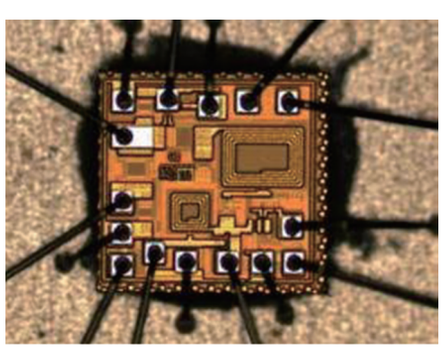


图 14 SW_1和SW_2对Bypass通路IIP3的影响

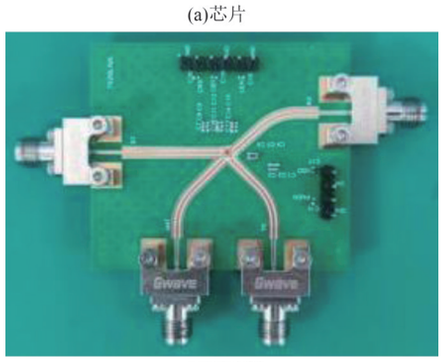
Fig.14 The effect of SW_1 and SW_2 on the IIP3 of the Bypass path

2 结果与分析

设计采用90 nm SOI CMOS工艺实现,并将芯片焊接至印制电路板上进行测试.图15显示了芯片和测试板的照片,芯片面积735×695 μm².



(a)芯片



(b)测试版

图 15 芯片和测试板照片

Fig.15 Photographs of the chip and the measurement board

芯片采用2 V供电电压.图16显示了射频开关发射支路和蓝牙支路的插入损耗的测试结果.在2.4~2.5 GHz频段内,射频开关发射支路和蓝牙支路的插入损耗分别为0.95 dB和1.68 dB,与仿真结果相比,分别增大了0.56 dB和0.6 dB,该部分差异主要来源于测试板上输入输出射频传输线的损耗.图17显示了射频开关发射支路和蓝牙支路IP1 dB的测试结果,发射支路和蓝牙支路在2.45 GHz频率处的IP1 dB分别为34 dBm和30 dBm.

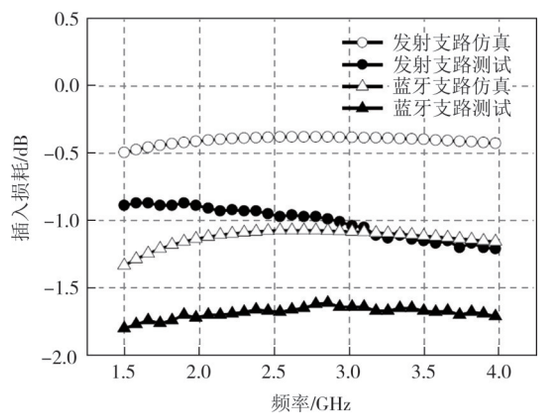


图16　射频开关发射支路和蓝牙支路插入损耗测试结果

Fig.16　Measured insertion loss of the transmitting branch and the Bluetooth branch of the RF switch

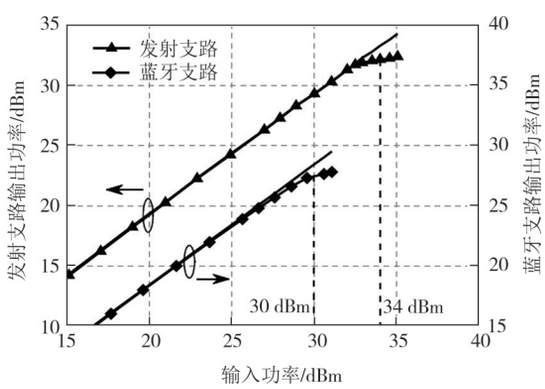


图17　射频开关发射支路和蓝牙支路IP1 dB测试结果

Fig.17　Measured IP1 dB of the transmitting branch and the Bluetooth branch of the RF switch

图18和图19分别显示了接收支路在高增益模式和Bypass模式下的S参数测试结果.在2.4~2.5 GHz频段内,接收支路在高增益模式下具有15.8 dB的增益,输入输出回波损耗小于−14 dB;在Bypass模式下具有7.2 dB的插入损耗,输入输出回波损耗小于−18 dB.图20显示了接收支路在高增益模式下噪声系数的测试结果,在2.4~2.5 GHz频段内接收支路噪声系数小于1.7 dB,与仿真结果相比增大了0.3 dB,这主要是受到测试板上输入射频传输线损耗的影响.

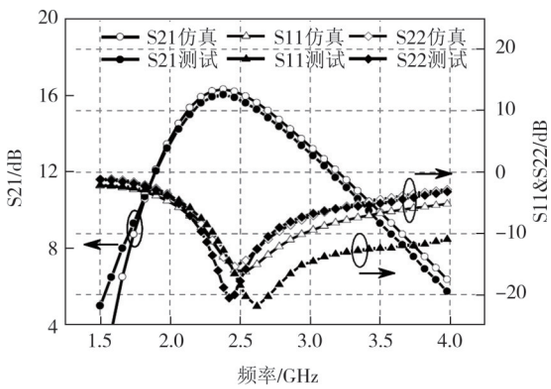


图18　接收支路高增益模式S参数测试结果

Fig.18　Measured S parameters of the receiving branch in high gain mode

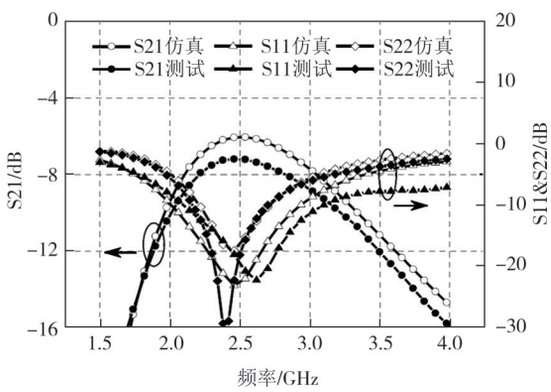


图19　接收支路Bypass模式S参数测试结果

Fig.19　Measured S parameters of the receiving branch in Bypass mode

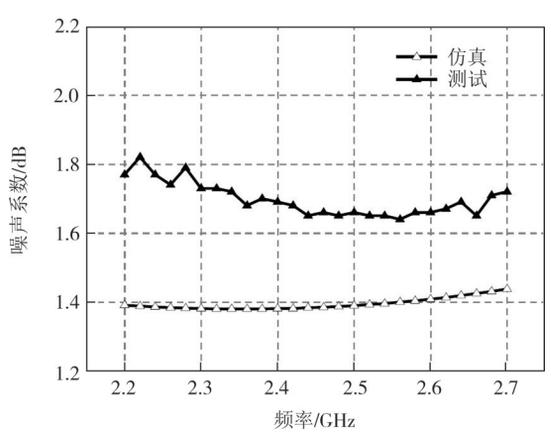


图20　接收支路高增益模式噪声系数测试结果

Fig.20　Measured noise figure of the receiving branch in high gain mode

图21和图22分别显示了接收支路在高增益模式和Bypass模式下的IIP3测试结果,双音信号频率为2.45 GHz和2.455 GHz.在高增益模式下接收支路

具有 7.6 dBm 的 IIP3,相比于仿真结果约降低了 1 dBm,但仍高于辅助晶体管关断状态下的仿真结果,这也验证了导数叠加技术对LNA线性度的提升作用.在Bypass模式下接收支路具有 22 dBm 的IIP3.

设计的接收支路性能与其他相近设计的性能对比如表1所示.在本设计中LNA采用了负反馈技术进行线性度和增益的折中,并结合导数叠加技术实现了线性度的进一步提高.通过对比可以看到,本设计的接收支路性能在增益、线性度和噪声系数方面都具有一定优势,具备良好的综合性能.

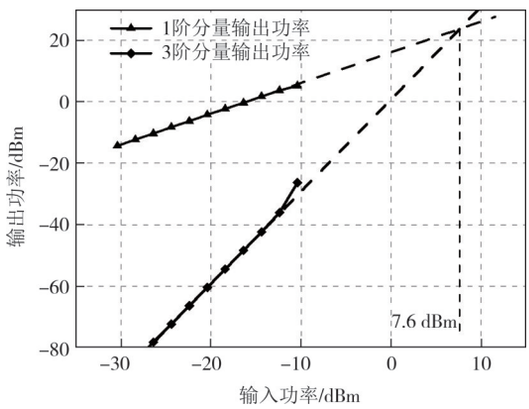


图21 接收支路高增益模式IIP3测试结果

Fig.21 Measured IIP3 of the receiving branch in high gain mode

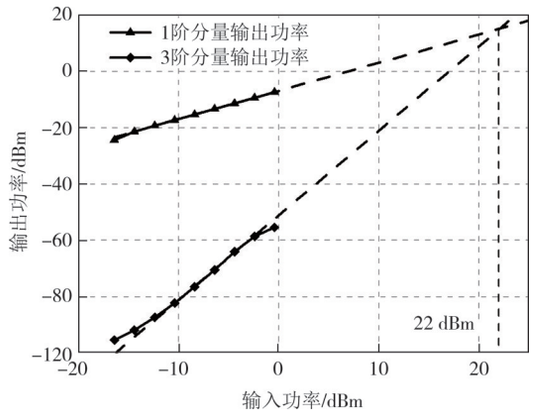


图22 接收支路Bypass模式IIP3测试结果

Fig.22 Measured IIP3 of the receiving branch in Bypass mode

表1 设计性能对比

Tab.1 Performance comparison of designs

文献	集成开关	频率/GHz	增益/dB	噪声系数/dB	IIP3/dBm	工作电压/V	功耗/mW	面积/mm^2	工艺
文献[14]	是	2.4	12.0	1.9	10	3.3	26.4	—	500 nm GaAs PHEMT
文献[20]	是	2.4	11.7	3.4	2.1	3.3	35.3	1.81	180 nm CMOS
文献[21]	是	2.4	13.5	2.8	−1.5	3.3	16.8	1.54	180 nm SiGe BiCMOS
本设计	是	2.4	15.8	1.7	7.6	2	28.6	0.51	90 nm SOI CMOS

3 结 论

本文基于 90 nm SOI CMOS 工艺设计了一个 2.4 GHz集成的LNA和SP3T射频开关.射频开关采用了等效负压偏置技术以获得良好的线性度.LNA采用了负反馈和导数叠加技术,利用导数叠加技术实现了负反馈LNA线性度的进一步提高.经测试,射频开关发射支路和蓝牙支路分别具有 34 dBm 和 30 dBm的IP1 dB,实现了良好的线性度.接收支路在高增益模式下实现了 15.8 dB的增益.1.7 dB的噪声系数和7.6 dBm的IIP3,验证了导数叠加技术对LNA线性度的提升作用.在Bypass模式下,接收支路实现了7.2 dB的插入损耗和22 dBm的IIP3.总体上,本设计的射频开关和LNA实现了较为优良的射频性能,能够应用于WLAN等无线通信系统,具有一定的研究和应用价值.

参考文献

[1] GIANESELLO F, MONROY A, VIALLA V, et al. Highly linear and sub 120 fs Ron × Coff 130 nm RF SOI technology targeting 5G carrier aggregation RF switches and FEM SOC[C]//2016 IEEE 16th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF). Austin, TX, USA: IEEE, 2016: 9-12.

[2] MALLADI V N K, MILLER M. A 48 dBm peak power RF switch in SOI process for 5G mMIMO applications[C]//2019 IEEE 19th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems (SiRF). Orlando, FL, USA: IEEE, 2019: 1-3.

[3] KIM D, LEE K Y. A design of high power sp7t and sp8t RF switches using SOI CMOS technology[C]//2021 18th International SoC Design Conference (ISOCC). Jeju Island, Republic of Korea: IEEE, 2021: 35-36.

[4] IM D, KIM B K, IM D K, et al. A stacked-FET linear SOI CMOS cellular antenna switch with an extremely low-power biasing strategy [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(6): 1964-1977.

[5] LEE K, NAM I, KWON I, et al. The impact of semiconductor technology scaling on CMOS RF and digital circuits for wireless

application[J]. IEEE Transactions on Electron Devices, 2005, 52(7):1415-1422.

[6] 赵巾翔,汪峰,于汉超,等. 射频低噪声放大器提高三阶交截点方法探讨[J]. 电子与信息学报,2023,45(1):134-149.
ZHAO J X, WANG F, YU H C, et al. Discussion on improving the third order intersection point of radio frequency low noise amplifier[J]. Journal of Electronics & Information Technology, 2023,45(1):134-149.(in Chinese)

[7] KANG B, YU J, SHIN H, et al. Design and analysis of a cascode bipolar low-noise amplifier with capacitive shunt feedback under power-constraint[J]. IEEE Transactions on Microwave Theory and Techniques, 2011, 59(6):1539-1551.

[8] HAN H G, JUNG D H, KIM T W. A 2.88 mW + 9.06 dBm IIP3 common-gate LNA with dual cross-coupled capacitive feedback [J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(3):1019-1025.

[9] APARIN V, BROWN G, LARSON L E. Linearization of CMOS LNA's via optimum gate biasing[C]//2004 IEEE International Symposium on Circuits and Systems: Vancouver, BC, Canada. IEEE, 2004:IV-748.

[10] JIN T H, KIM T W. A 5.5-mW+9.4-dBm IIP3 1.8-dB nF CMOS LNA employing multiple gated transistors with capacitance desensitization[J]. IEEE Transactions on Microwave Theory and Techniques, 2010, 58(10):2529-2537.

[11] JIN T H, KIM T W. A 6.75 mW+12.45 dBm IIP3 1.76 dB nF 0.9 GHz CMOS LNA employing multiple gated transistors with bulk-bias control[J]. IEEE Microwave and Wireless Components Letters, 2011, 21(11):616-618.

[12] KIM Y M, HAN H, KIM T W. A 0.6-V+ 4 dBm IIP3 LC folded cascode CMOS LNA with g_m linearization[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2013, 60 (3): 122-126.

[13] LIU J Y, LIU S B, ZHOU R, et al. A 26 - 31 GHz linearized wideband CMOS LNA using post-distortion technique[J]. IEEE Microwave and Wireless Components Letters, 2022, 32 (9): 1087-1090.

[14] FOX T, GIACCHINO R. A flip-chip single-pole three-throw switch with integrated bypass LNA for WLAN applications[C]// 2009 European Wireless Technology Conference. Rome, Italy. IEEE, 2009:250-253.

[15] SCHRÖGENDORFER D, LEITNER T. Analysis and design of a broadband output stage with current-reuse and a low insertion-loss Bypass mode for CMOS RF front-end LNAs[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(5):1800-1813.

[16] SHI S L, MENG F Y, HU J Q, et al. A 10-watts 0.5-6 GHz SPDT switch in 0.13-μm CMOS SOI for 5G-compatible IoT applications [C]//2020 Cross Strait Radio Science & Wireless Technology Conference (CSRSWTC). Fuzhou, China. IEEE, 2020:1-3.

[17] KIM N, APARIN V, LARSON L E. Analysis of IM asymmetry in MOSFET small-signal amplifiers[J]. IEEE Transactions on Circuits and Systems I:Regular Papers, 2011, 58(4):668-676.

[18] HU R. Wide-band matched LNA design using transistor's intrinsic gate-drain capacitor [J]. IEEE Transactions on Microwave Theory and Techniques, 2006, 54(3):1277-1286.

[19] LU L H, HSIEH H H, WANG Y S. A compact 2.4/5.2-GHz CMOS dual-band low-noise amplifier[J]. IEEE Microwave and Wireless Components Letters, 2005, 15(10):685-687.

[20] 陈浪,乐建连,甘业兵,等. 一种2.4 GHz CMOS射频前端电路[J]. 微电子学,2017,47(5):609-613.
CHEN L, LE J L, GAN Y B, et al. A 2.4 GHz CMOS RF front-end circuit[J]. Microelectronics, 2017, 47(5): 609-613.(in Chinese)

[21] 刘启, 甘业兵, 黄武康. 一种2.4 GHz SiGe全集成射频前端电路[J]. 微电子学与计算机,2020, 37(10):7-12.
LIU Q, GAN Y B, HUANG W K. A 2.4 GHz SiGe full integrated RF front-end[J]. Microelectronics & Computer, 2020, 37(10): 7-12.(in Chinese)