 DOI: https://doi.org/10.12349/iser.v6i7.6721

Development of a Train TSN Network Card Based on FPGA

Tao Huang[1] Hao Hai[2,3] Hongqiang Lv[1] Zhigang Wang[3] Xin Tian[4*]

1. CRRC Nanjing Puzhen Co., Ltd., Najing, Jiangsu, 210031, China
2. Nanjing Quanxin Cable Technology Co., Ltd. Shanghai Branch, Shanghai, 201103, China
3. School of Electronic Information and Electrical Engineering, Shanghai Jiao Tong University, Shanghai, 200030, China
4 China Electronics Standardization Institute, Beijing, 100007, China

Abstract

To meet the urgent demands of train communication systems for high real-time performance, high reliability, and low latency, this paper proposes an FPGA-based onboard TSN terminal network card design. The system architecture consists of hardware, logic, and software components, and adopts key TSN protocols such as IEEE 802.1AS-2020, IEEE 802.1Qbv, and IEEE 802.1CB to support time synchronization, scheduling control, and redundancy mechanisms. A system-level testing scheme tailored for rail transit scenarios was developed, and performance evaluation was conducted using a TSN testing platform. The verification results show that the proposed TSN network card meets system application requirements in terms of time synchronization accuracy, traffic scheduling efficiency, and fault-tolerant switching. Future work will focus on the standardization of communication interfaces to promote product engineering and practical deployment.

Keywords

train communication network; deterministic communication; time sensitive networking; terminal network interface card; field-programmable gate array

一种基于 FPGA 的列车 TSN 网卡研制

黄涛[1] 海浩[2,3] 吕红强[1] 王志刚[2] 田欣[4*]

1. 中车南京浦镇车辆有限公司，中国 · 江苏 南京 210031
2. 南京全信传输科技股份有限公司上海分公司，中国 · 上海 201103
3. 上海交通大学电子信息与电气工程学院，中国 · 上海 200030
4. 中国电子技术标准化研究院，中国 · 北京 100176

摘　要

为满足列车通信系统对高实时性、高可靠性和低延迟的迫切需求，文章提出一种以FPGA为核心的车载TSN终端网卡研制方案。该方案系统架构设计分为硬件、逻辑和软件共三部分，采用IEEE 802.1AS-2020、IEEE 802.1Qbv、IEEE 802.1CB等TSN关键协议，支持时间同步、调度控制与冗余容错机制。针对轨交场景设计了系统测试方案，并通过TSN测试平台进行性能评估。验证结果表明，该TSN网卡在时间同步精度、流量调度效率及容错切换性能方面均达到系统应用要求。未来将重点开展通信接口标准化研究，推动产品工程化应用。

关键词

列车通信网络；确定性通信；时间敏感网络；终端网卡；现场可编程逻辑门阵列

1 引言

列车通信系统需同时支持列控、乘客信息、视频监控、状态诊断等业务传输，对数据传输的实时性、可靠性和带宽利用率等要求不断提升。传统解决方案基于多张物理网络 [1] 或通过 VLAN 划分逻辑子网实现不同业务隔离 [2]，但仍存在拥塞、丢包、抖动等影响确定性传输的瓶颈。时间敏感网络（Time-Sensitive Networking, TSN）作为 IEEE 802.1 工作组提出的协议标准，旨在基于以太网实现端到端的确定性传输，包括精准时间同步、低时延调度、资源隔离以及容错传输等能力，已成为未来列车通信网络发展的关键技术方向，然而适配列车场景的 TSN 终端网卡目前仍相对缺乏。

针对上述问题，文章基于 FPGA 平台实现了一款车载 TSN 终端网卡，研究的主要贡献包括：参考 OSI 模型进行系统需求分析和架构设计，实现了硬件、逻辑和软件协同架构，构建了支持百兆网口的 TSN 网卡，提供包含确定性通信的差异化传输服务，并完成基础通信功能测试和 TSN 关

【作者简介】黄涛（1981–），男，中国江苏滨海人，本科，正高级工程师，从事列车网络技术研究。

【通讯作者】田欣（1982–），男，中国北京人，本科，高级工程师，从事电子元器件标准化研究。

键协议测试。

2 系统需求分析

基于 TSN 的列车通信网络的核心目标之一就是降低网络架构的复杂性，把原有独立组网的各个子系统融合为一个综合承载网络 [1]，设计不同的数据传输机制提供差异化传输服务。因此在设计 TSN 网卡时需充分考虑以下需求：

（1）时间同步精度：支持 IEEE 802.1AS-2020 generalized Precision Time Protocol[3]（gPTP），保证主从时钟的时间偏移小于 100ns，支撑准确调度能力。

（2）时间敏感调度：实现 IEEE 802.1Q 的 Enhancements for scheduled traffic[4]（时间感知调度），确保关键数据流在指定时间窗口传输，满足实时性和确定性要求。

（3）信用整形与带宽控制：支持 IEEE 802.1Q Credit-Based Shaper[4]（即信用整形），在端口速率为 100Mbps 条件下，实际有效带宽不低于线速率的 90%，高效利用网络资源。

（4）冗余容错机制：实现 IEEE 802.1CB 帧复制与消除机制 [5]，支持冗余链路的零延时切换，确保通信不中断，提高系统可靠性。

（5）通信接口兼容性：支持 IEEE 802.1Q VLAN，应用可通过 SOCKET 接口及 TCP/IP 协议栈进行通信，并且能够与 TRDP 协议进行集成 [6]。

参考 OSI 模型对 TSN 网卡的能力需求进行层次化分析，各层次功能需求分配如下：

（1）物理层：实体承载提供主机接口（PCI）、100M TSN 网络接口（M12-D）、供电和调试接口等，能够集成于 3U CPCI 标准主机环境中。

（2）链路层：TSN 协议承载，实现 MAC 层，支持帧封装、解封装、帧校验、重传和多队列 DMA 调度。

（3）网络层：报文转发和路由，支持 ARP、ICMP 和 IPv4。

（4）传输层：提供端到端的传输通道，支持 UDP，区分不同报文传输策略，处理 PTP 报文等。

（5）应用层：提供数据收发接口（Socket 和 TRDP）、网卡管理和 gPTP 时间同步功能。

3 系统架构设计

根据网络系统需求分析，将相关功能需求按照技术特点映射到系统架构的组成部分，分为硬件、逻辑和软件，各部分主要设计说明如下：

（1）硬件：实现物理层对应的需求，基于 FPGA 设计硬件电路，提供 PCIe 接口、2 路 TSN 网口，实现板载调试口、电源和时钟电路，采用 3U CPCI 标准结构形式集成于主机安装环境；

（2）逻辑：运行在 FPGA 芯片上，实现链路层和网络层对应的需求，负责处理与数据路径相关、速率要求较高的任务，包括 MAC、TSN 核心协议、PCIe 硬核、多队列 DMA，支持时间戳功能；

（3）软件：驱动底层硬件，服务应用程序，提供通信接口，处理管理类、策略类、状态统计类任务，包括设备管理、配置管理、通信管理和接口管理等，实现 gPTP、TRDP 模块。

4 硬件设计

硬件设计为核心子卡和载板两部分，其中小型化子卡实现核心功能电路，3U CPCI 载板实现外部接口电路，可通过更换载板快速完成不同类型主机适配。

子卡电路基于 Xilinx XC7K325T 芯片设计，外围电路包括电源、复位、时钟、flash 和 JTAG 接口等，通过板间连接器与载板互连。载板电路框图如下图 1 所示，由背板 CPCI 连接器引入 5V 供电，电源模块产生工作电压。基于 PCIe-PCI 桥芯片将 PCIe 转换为 PCI 32bit 总线与宿主机通信，时钟 buffer 输出 2 路同源 100MHz 时钟信号分别提供给子卡和桥接芯片。设计 2 路 100Base-T 网口，连接器采用 M12-D，提供 LED 用于指示工作状态。

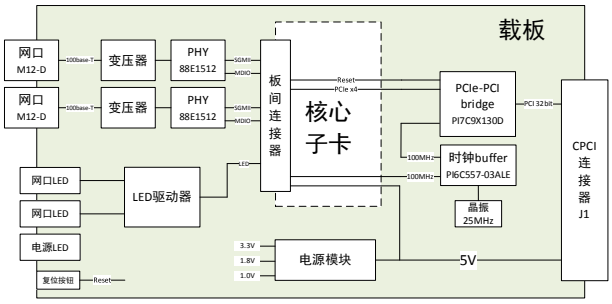


图 1 载板电路框图

5 逻辑设计

FPGA 逻辑设计架构如图 2 所示，包括 Time Sensitive End（时间敏感网络终端）和 DMA（直接内存访问）等核心模块，axi_adapter 和 ptp_ts_port 等桥接模块，以及 SGMII 硬核与 PCIE 硬核等接口 IP。

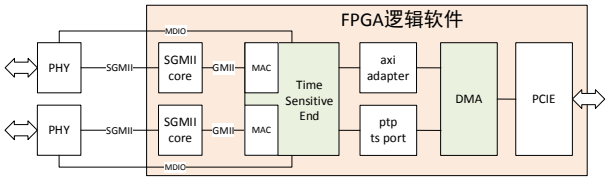


图 2 逻辑设计框图

时间敏感网络终端由多个模块组成，网络 / 主机输入模块将描述符写入集中查表模块、数据写入集中缓存模块；网络输入 / 主机输出模块针对上行方向，前者负责时钟域转换、位宽转换、帧解析、提取描述符，后者进行端口轮询、存储转发、帧消除；主机输入 / 网络输出模块针对下行方向，

前者识别报文类型、提取描述符，后者对描述符进行 Qbv、Qav 和严格优先级调度，帧复制处理后输出；寄存器配置模块实现 TSN 参数配置，时间槽模块根据配置产生时间槽信息。

DMA 模块配合 PCIe 接口实现主机内存与 FPGA 之间的数据高速搬运，axi_adapter 桥接模块实现 DMA 数据接口与 TSN 数据接口之间格式转换，ptp_ts_port 桥接模块实现 PTP 同步的全局时间切换到 TSN 内部时钟域、百兆以太网口的收发时钟域。

6 软件设计

软件根据在操作系统的部署位置分为用户态和内核态，用户态主要提供应用层通信接口和配置管理功能，内核态则提供网卡基础通信功能。按照各模块处理的数据特征分为数据面和控制面，数据面是报文收发的主要路径，对带宽、实时性和延迟要求较高，控制面负责配置、管理和状态维护。软件的整体设计架构如图 3 所示。

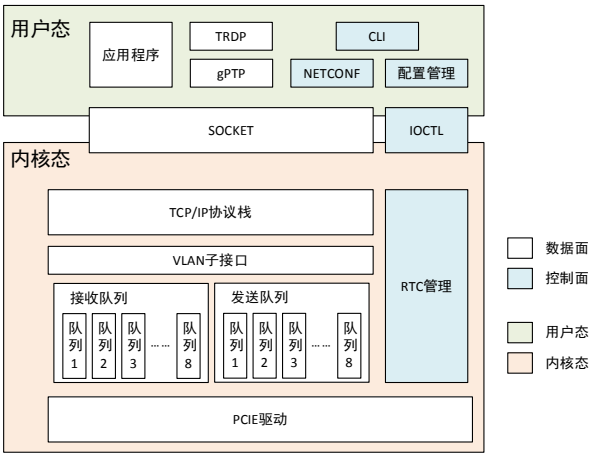


图 3 软件设计框图

应用程序调用 SOCKET 接口，进行 TCP/UDP 报文收发。在发送方向上，TCP/UDP 报文通过 TCP/IP 协议栈，在 VLAN 子接口添加 VLAN 标签，根据优先级字段或五元组映射表选择对应的队列进入 FPGA 处理。在接收方向上，报文从 FPGA 进入软件接收队列，根据优先级标识去除 VLAN 标签后送入 TCP/IP 协议栈，再通过 SOCKET 接口到达应用程序。

TRDP（即 Train Real Time Protocol）模块实现列车过程数据和消息数据的发送。gPTP 模块实现 IEEE 802.1AS 协议，包括报文创建与收发处理、BMCA 选举确定主从时钟角色。PCIE 驱动负责硬件初始化、DMA 通道建立和资源管理等。发送 / 接收队列管理 DMA 多队列、描述符和缓冲区等。

CLI（即 Command-Line Interface）模块实现配置管理信息输入，配置管理模块根据传递的参数，通过 PCIE 接口对 FPGA 寄存器进行操作。RTC 管理模块对 RTC 时钟进行查询、设置、时钟调整、周期调整等。

7 测试与验证

7.1 基本通信功能测试

将网卡装配于 3U CPCI 机箱中，通过网线将 2 个 M12-D 网口与 TSN 网络测试仪的 2 个 TSN 网口相连。针对 TCP、UDP、TRDP 等基本通信功能测试结果见表 1。在 SOCKET 接口上构建 TCP 和 UDP 应用，可稳定建立连接和收发数据。通过测试仪发送长度为 1500 字节的 UDP 报文，经网卡软件接收后转发回测试仪，验证最大有效带宽可达 99.93Mbps，大于 100M 网口线速率的 99%。基于 TRDP 协议栈部署 TRDP Publisher 与 Subscriber 模块，通过 Process Data 与 Message Data 通道模拟状态数据与控制指令，均可稳定工作。

表 1 基本通信功能测试结果

测试用例	测试要求	测试结果	测试通过
TCP 通信测试	连接建立、数据收发稳定无异常	稳定无异常	是
UDP 通信测试	数据收发正常	正常	是
UDP 有效带宽	MTU=1500 字节时不小于线速的 90%，即 90Mbps	99.93Mbps，大于 99%	是
TRDP PD 测试	支持周期数据发布功能，周期范围 2ms ~ 100ms 均可稳定工作	工作稳定	是
TRDP MD 测试	支持事件驱动通信，能够正确识别并响应 MD 请求	工作正常	是

7.2 TSN 关键协议测试

基于 IEEE 802.1AS-2020 的时间同步是实现 TSN 网络确定性的关键，设置测试仪为主模式、TSN 网卡为从模式，通过 ptp4l 软件对时钟偏差的 RMS（即 Root Mean Square，均方根）统计值进行分析。结果显示，时间同步偏差初始值较大，开始同步后逐渐收敛，经过大约 7 条统计值（累计时间约 7 秒）后收敛到 ±100ns 以内（如图 4 左），之后稳定在 ±70ns 以内（如图 4 右），满足应用需求。

验证 IEEE 802.1Qbv 时间敏感调度需要确认关键流是否按照门控列表的排程发送。配置调度周期为 5ms，设置某高优先级数据流在每个周期的 512us 窗口内发送。结果表明，该数据流在每个 5ms 周期内按时发送，发送窗口精准控制在配置时间段内。

针对 IEEE 802.1Qav 定义的信用整形机制，关键是确认低优先级数据在不影响高优先级调度下能平稳发送。通过测试仪发送 90Mbps 带宽数据，TSN 网卡指定队列带宽设为 30Mbps 和 80Mbps，测试仪收到的数据带宽分别为 30Mbps ± 1Mbps、80Mbps ± 1Mbps，说明低优先级流量预留带宽有效。

确认 IEEE 802.1CB 定义的可靠性机制，关键是要验证链路故障下数据是否不丢包。启用 CB 机制后断开主链路，

在接收端抓包观察未出现任何丢包，验证了 CB 的冗余容错能力。

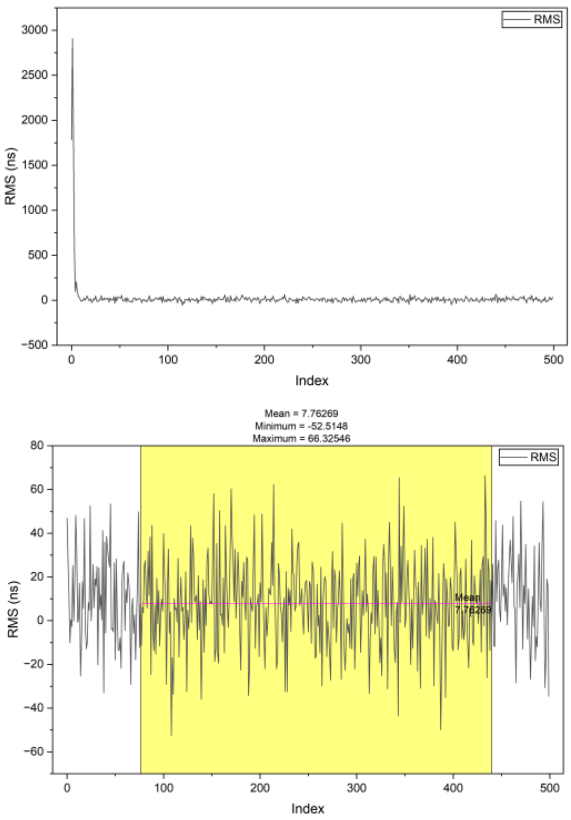


图 4 时间同步精度测试统计

8 结论

本文围绕列车 TSN 网卡展开研究，通过层次化的系统需求分析，设计了合理的系统架构，完成硬件、逻辑和软件开发，研制一款高性能车载 TSN 网卡。实验表明，TSN 网卡在时间同步、流量调度、容错性和有效传输带宽等方面表现出色，满足轨交数据传输的高可靠性和确定性需求。随着列车通信系统的不断发展，仍有许多值得探讨的研究方向，例如增加支持 IEEE 802.1 Qbu 帧抢占功能以进一步提高关键数据的确定性，以及完善 TSN 应用层通信接口的标准化从而提升设备的互操作性。

参考文献

[1] 宋有为,余浩旸,张春雨.智能中枢平台综合承载网络方案研究[J].铁道通信信号, 2021,57(8):37-41，45.

[2] 董衡,王婵.时间敏感网络及其在轨道交通领域的应用探讨[J].控制与信息技术,2021(1):95-98，105.

[3] IEEE.IEEE Standard for Local and Metropolitan Area Networks-Timing and Synchronization for Time-Sensitive Applications: IEEE Std 802.1AS-2020[S].2020.

[4] IEEE.IEEE Standard for Local and Metropolitan Area Networks-Bridges and Bridged Networks: IEEE Std 802.1Q-2018[S].2018.

[5] IEEE.IEEE Standard for Local and Metropolitan Area Networks-Virtual Bridged Local Area Networks-Frame Replication and Elimination for Reliability: IEEE Std 802.1CB-2017[S].2017.

[6] 齐玉玲,黄涛,张军贤,等. 基于时间敏感网络的列车通信网络研究及应用[J].城市轨道交通研究，2024,27(5):184-189.