引用格式：郭仲杰, 王亚朋, 任瑗, 等. DC-DC 转换器的 SET 分析及自动保持加固方法研究 [J]. 电子科技大学学报, 2026, 55(2): 161-169.
GUO Z J, WANG Y P, REN Y, et al. Research on SET analysis and automatic hold hardening method of DC-DC converters[J]. Journal of University of Electronic Science and Technology of China, 2026, 55(2): 161-169.

DC-DC 转换器的 SET 分析及自动保持加固方法研究

郭仲杰*，王亚朋，任　瑗，王昊亮，杨宇智

（西安理工大学自动化与信息工程学院，西安 710048）

摘要：通过高能粒子入射的电路级模拟，研究了 Boost 型 DC-DC 转换器敏感元件 PWM 控制器中误差放大器（EA）的单粒子瞬态效应（SET），对 SET 在环路中的传递进行了分析和仿真验证，得出了 SET 对 DC-DC 输出电压的影响与负载大小的关系。针对 DC-DC 转换器 PWM 控制单元中的误差放大器输出端所发生的 SET，提出了一种电压自动保持的辐射加固方法。通过对 EA 输出电压的采样和比较，实现了对 SET 的检测，以及通过自动保持电路对 EA 输出电压进行保持，隔绝了 SET 在环路中的传递，确保了 DC-DC 输出电压的稳定。基于 180 nm 商用 BCD 工艺对该方法进行验证，结果表明，在高能粒子的线性能量传递值 LET=100 MeV·cm^2/mg 的条件下，EA 输出端产生的负 SET 和正 SET 所造成的 DC-DC 输出电压跃变现象均得到了有效缓解，缓解能力分别达到 96.1% 和 87.1%。此外，针对加固后的 EA，其输出节点发生的 SET 有 95.5% 的概率对 DC-DC 转换器的输出电压不造成影响。

关键词：DC-DC 转换器；单粒子瞬态效应；辐射加固设计；自动保持
中图分类号：TN492　　**文献标志码：**A　　DOI: 10.12178/1001-0548.2024332

Research on SET analysis and automatic hold hardening method of DC-DC converters

GUO Zhongjie*, WANG Yapeng, REN Yuan, WANG Haoliang, and YANG Yuzhi

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an 710048, China)

Abstract: The single event transient (SET) effects of the error amplifier (EA) in the pulse-width modulation (PWM) controller of a Boost DC-DC converter sensitive component was investigated through circuit-level simulations with high-energy particle incidence. The transmission of SET in the loop was analyzed and verified through simulation, and the relationship between the impact of SET on the DC-DC output voltage and the load size was obtained. A radiation hardening method based on automatic voltage hold was proposed to address the occurrence of SET at the output terminal of the EA in the PWM control unit of the DC-DC converter. Detection of SET was achieved through sampling and comparing the EA output voltage, followed by maintaining the EA output voltage using the automatic hold circuit to isolate the propagation of SET in the loop, ensuring the stability of the DC-DC output voltage. The proposed method was validated based on a 180nm commercial BCD process. Experimental results show that under the condition of linear energy transfer (LET) value of 100 MeV·cm²/mg for high-energy particles, the DC-DC output voltage jump phenomena caused by negative SET and positive SET generated at the EA output have been effectively mitigated, achieving mitigation capabilities of 96.1% and 87.1%, respectively. In addition, for the hardened EA, there is a 95.5% probability that SET occurring at the output node will not affect the output voltage of the DC-DC converter.

Key words: DC-DC converter; single event transient effect; radiation hardened by design; automatic hold

DC-DC 转换器作为电源管理芯片中重要的组成部分，应用于各种行业领域[1]。但在空间领域中，由于使用环境恶劣，DC-DC 转换器的稳定性并没有得到保障，这将会限制 DC-DC 转换器的使

收稿日期：2024−12−06
基金项目：国家自然科学基金面上项目（62171367）；陕西省重点研发计划（2021GY-060）；陕西省创新能力支撑计划（2022TD-39）；西安理工大学校企协同基金（252062213）
作者简介：郭仲杰，博士，教授，主要从事高可靠电源管理类集成电路设计方面的研究。
*通信作者 E-mail: zjguo@xaut.edu.cn

用[2]。在空间环境中，高能粒子撞击集成电路中的反偏 PN 结，将电离出大量的带电离子，随后立即被敏感节点收集，引起节点瞬态电流和电压的变化，这被称为单粒子瞬态效应（single event transient, SET）[3]。高能粒子入射 DC-DC 产生的 SET 将对系统的稳定性造成威胁。

基于 DC-DC 转换器在电子设备领域的重要性，已经有了一些关于 DC-DC 转换器的 SET 现象研究和辐射加固技术。文献 [4] 通过粒子轰击实验确定了带隙基准电路对 SET 较为敏感，有可能导致 DC-DC 系统复位。文献 [5] 通过高能粒子入射实验发现了 SET 会对 DC-DC 转换器的输出电压 V_{OUT} 造成影响。文献 [6] 进行了 PWM（pulse-width modulation）控制器中的压控振荡器和比较器的高能粒子入射实验，发现了环路占空比变化现象，最终导致 V_{OUT} 发生跃变，指出了 PWM 控制器是 DC-DC 转换器的 SET 敏感元件之一。文献 [7] 通过在 DC-DC 前端串联电阻的方式使 CMOS 器件更容易退出单粒子闩锁，但也仅是针对其中的数字电路部分。文献 [8] 利用具有抗辐射性能的工艺对一款基于开关电容的 DC-DC 变换器进行了加固，并对电流基准源电路进行了冗余加固设计，但这种工艺较为昂贵，也不具备普适性，所以通过电路级的加固设计目前具有极大的吸引力。

冗余加固方法是加固设计中常用的方法，但主要适用于数字电路[9]。误差放大器（error amplifier, EA）作为 PWM 控制器中的核心模拟电路，容易受到 SET 的影响[10]。对于模拟集成电路的加固，文献 [11] 针对带隙基准电路提出了一种 RC 滤波的加固方式，在基准的输出端挂接大阻值的电阻和电容，滤除基准输出端的电压纹波。这种方法虽然能够减小基准跃变电压的幅度，但是却延长了基准电压的恢复时间，且芯片的面积严重增大。文献 [12] 对 PLL 中的电荷泵 CP 进行了 SET 分析，通过在 CP 和低通滤波器（low pass filter, LPF）直接增加数字控制电路来切断 SET 电流的传输，并通过电荷释放电路来释放 SET 效应产生的电荷。虽然该数字电路类似一个锁存单元，有很强的抗 SET 特性，但是仍然存在误触发和端口开关发生 SET 的现象。文献 [13] 提出了一种多路径分离的方式，使 LDO（low-dropout regulator）中的 SET 敏感结点分裂并在相邻两个结点之间加入电阻来实现隔离，这种方法大大降低了 SET 的影响，但电路结构需要被重复多次才能较好地缓解 SET，同时也增大了电路布局的难度。文献 [14] 在压控振荡器（VCO）中加入了两个 NMOS，巧妙地与原有的两个 PMOS 交叉连接以形成正反馈，加速了电路的 SET 恢复过程，但加固方法的普适性较差。

综上，本文基于一款商用 180 nm BCD 工艺单片集成的 Boost 型转换器，研究了 PWM 控制单元中 EA 的 SET，并提出了一种电压自动保持的 SET 缓解方法，通过实验结果证明了该方法的有效性。

1 SET 对 DC-DC 环路的影响

1.1 SET 模拟

高能粒子轰击敏感节点后，漏极的电荷收集量 Q 与粒子的线性能量传递值 LET（linear energy transfer, LET）之间的关系可以表示为：

$$Q = e\rho d\mathrm{LET}/E_{\mathrm{eh}} \tag{1}$$

式中，e 为电子电荷；ρ 为硅的体密度；d 为高能粒子撞击深度；E_{eh} 为在目标材料中电离一对电子–空穴对所需要的最小能量。为了模拟粒子轰击所引起的瞬态电流 I_{SET}，利用双指数瞬时脉冲模型对 I_{SET} 进行建模[15]，其表达式为：

$$I_{\mathrm{SET}}(t) = \frac{Q}{\tau_f - \tau_r}\left(\mathrm{e}^{-t/\tau_f} - \mathrm{e}^{-t/\tau_r}\right) \tag{2}$$

式中，τ_r 是电流脉冲上升时间常数；τ_f 是电流脉冲下降时间常数，这里 τ_r 取 50 ps，τ_f 取 450 ps。后续 DC-DC 的 SET 影响分析和加固效果测试中均采用该电流源。NMOS 从漏极抽取 I_{SET}，漏极寄生电容放电，产生 SET 负脉冲，PMOS 从漏极注入 I_{SET}，漏极寄生电容充电，产生 SET 正脉冲。

1.2 DC-DC 转换器的 SET 敏感节点分析

DC-DC 转换器需要与控制器结合，形成负反馈环路，以提供可控和稳定的 V_{OUT}。图 1 展示了峰值电流模式控制的 DC-DC Boost 转换器整体架构。DAC 输出的基准电压 V_{CT} 和反馈电压 V_{FB} 共同作用于误差放大器 EA，调节环路使 V_{OUT} 稳定。

稳态下，Boost 转换器的输入电压 V_{IN} 和 V_{OUT} 的关系可以表示为：

$$V_{\mathrm{OUT}} = \frac{1}{1-D}V_{\mathrm{IN}} \tag{3}$$

式中，占空比 D 为 M_1 管控制信号 V_{NG} 为高电平的时间与时钟周期 T 之比。高能粒子撞击 DC-DC 环路，可能会对环路占空比 D 产生影响，引起电感电流 I_{L} 的变化，当这种影响时间较长，影响多个环路的控制周期时，将会对输出电压 V_{OUT} 造成影响。

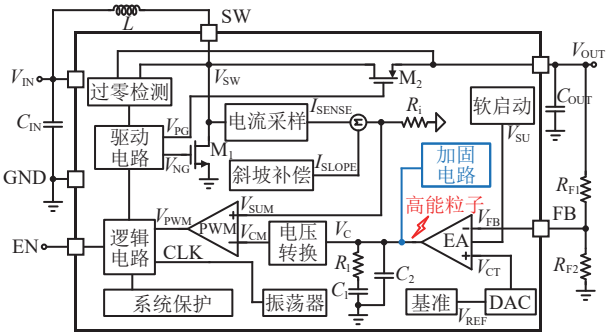


图 1　Boost 型转换器整体环路架构图

为了提高环路的低频增益和抑制高频噪声，需要对环路使用 PI 补偿，在 EA 输出端挂载补偿电阻 R_1 和补偿电容 C_1 和 C_2。补偿电容和电阻的取值需要结合环路参数确定，在本次应用中 R_1 取值为 2.3 MΩ，C_1 为 10 pF，C_2 为 200 fF。

由于 DC-DC 转换器是基于开关周期控制，而环路中大多数节点发生的 SET 持续时间较短，一般为几十纳秒，而常见非隔离式芯片级 DC-DC 转换器的开关频率一般在几千赫兹至几兆赫兹之间，以本文的 1.5 MHz 开关频率为例，一个周期约为 667 ns，所以大多数节点发生的由 SET 造成的不稳定时间只占整个开关周期较小的部分。且由于转换器输出端输出电容的存在，通常只影响一个开关周期，并不会对转换器的输出电压造成明显影响。误差放大器输出端发生的 SET 由于补偿网络的存在，会较长时间影响占空比和电感电流，所以本文着重研究了误差放大器输出节点的 SET，并提出关于该节点的加固电路设计。

由于 PI 补偿网络的影响，若 EA 输出端发生 SET，V_C 将长时间偏离正常值。EA 的电路结构如图 2 所示。

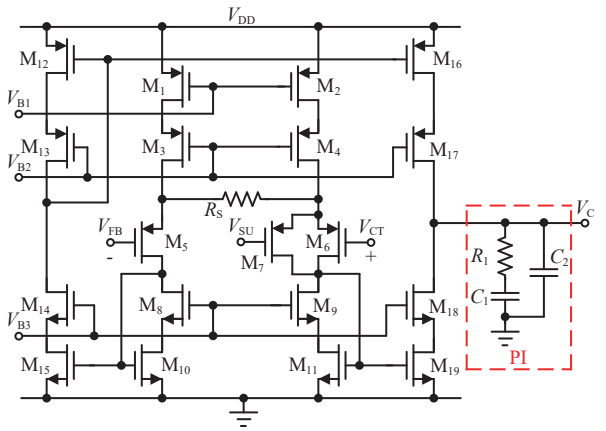


图 2　EA 电路结构

V_{B1}～V_{B3} 为偏置电压。高能粒子撞击 M_{18} 漏极将引发 SET 负脉冲，即 V_C 下降，撞击 M_{17} 漏极将引发 SET 正脉冲，即 V_C 上升。

V_C 经过电平转换电路传递至 V_{CM}，电平转换电路如图 3 所示。M_1 和 M_2 构成电流镜，使 M_2 所在支路的电流固定，所以 M_3 的栅极和源极之间的电压 V_{GS} 为定值。V_{CM} 与 V_C 的关系为：

$$V_{CM} = V_C - V_{GS} \tag{4}$$

V_{CM} 将随 V_C 变化，通过 PWM 比较器对含有错误信息的 V_{CM} 和 V_{SUM} 进行比较，使得 D 和 I_L 改变，从而使 V_{OUT} 发生偏移。图 4 为 SET 在环路中的传递示意图。

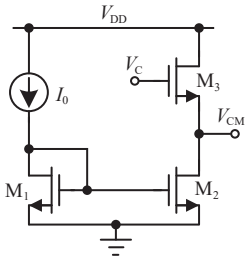


图 3　电压转换电路

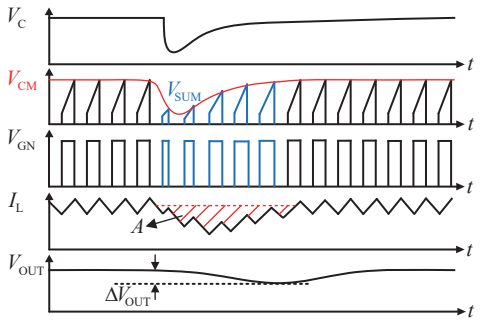


图 4　SET 在环路中的传递

V_C 与 V_{CM} 的跃变波形略有不同，在信号的传播过程中，受环路带宽的限制，电平转换电路会对 V_{CM} 的跃变速度和幅度有一定的缓解。阴影部分的面积 A 代表负载电容所吸收的电荷量，这将造成输出电压 V_{OUT} 的下降：

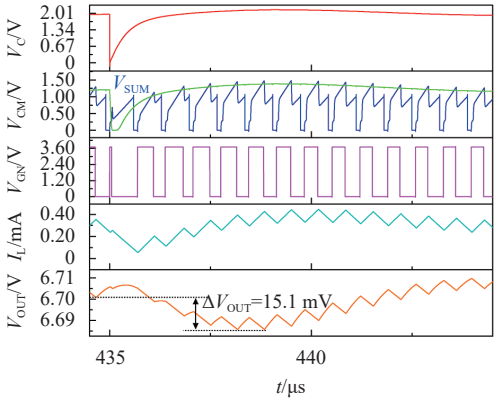
$$\Delta V_{OUT} = \frac{A}{C_{OUT}} \tag{5}$$

减小阴影部分的面积 A 有助于缓解 SET 带来的影响。图 4 给出的是 SET 负脉冲的影响，SET 正脉冲的影响机理与之一致，不同的是会引起 V_{OUT} 的上升。

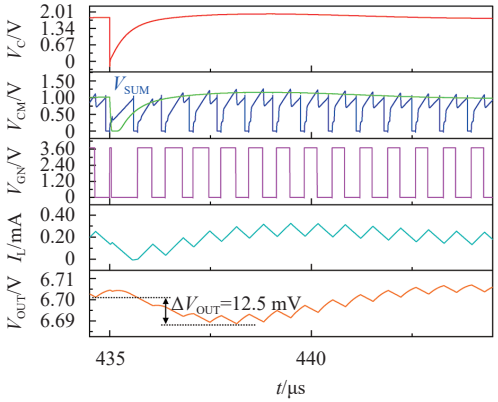
1.3　不同负载下 SET 对 V_{OUT} 的影响

从前面的分析可以得知，EA 输出端发生的 SET 将会改变环路的 V_{CM}，使得占空比 D 和 I_L 发生改变，系统输出端损失或吸收电荷量 A，导致 V_{OUT} 下降。

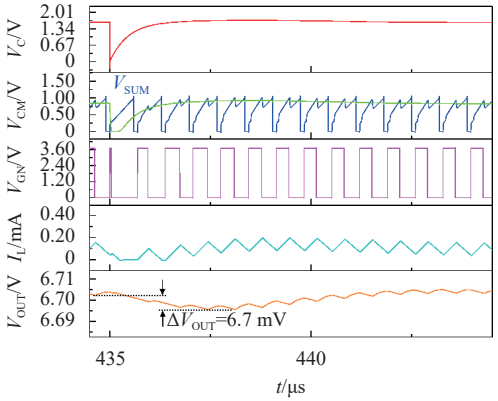
A 值的大小实际上与负载电流 I_{OUT} 相关，图 5 给出了不同 I_{OUT} 下，EA 输出端发生负 SET 所对应的环路关键节点波形，仿真条件设置为 V_{IN}=3.7 V，V_{OUT}=6.7 V，粒子 LET 值设置为 100 M eV·cm^2/mg。I_{OUT} 越小，对 V_{OUT} 的影响越小。粒子入射虽然引起 V_C 有较大的跃变，但是 V_{CM} 具有下限电压，阻止了 V_{CM} 的进一步下降。随着 I_{OUT} 的减小，V_{CM} 降低，I_L 的直流值对应降低，且 SET 造成的 I_L 下降将会触发过零检测，使得 I_L 最小为 0，负 SET 引起的 I_L 变化便限制在一个较小的变化区间。因此随着 I_{OUT} 的减小，A 值越小，对 V_{OUT} 的影响越小。



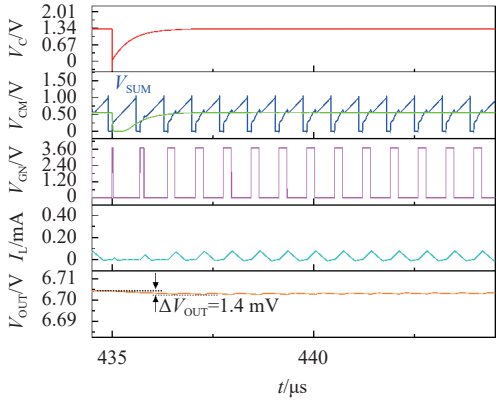
a. I_{OUT}=150 mA发生的负SET



b. I_{OUT}=100 mA发生的负SET



c. I_{OUT}=50 mA发生的负SET



d. I_{OUT}=10 mA发生的负SET

图 5 不同负载条件下负 SET 对关键结点的影响

与负 SET 不同，正 SET 会使 V_{CM} 向上跃变，且没有上限电压的限制，所以正 SET 造成 V_{OUT} 的跃变大小与负载并无直接的相关性。正 SET 对环路关键节点的影响如图 6 所示。

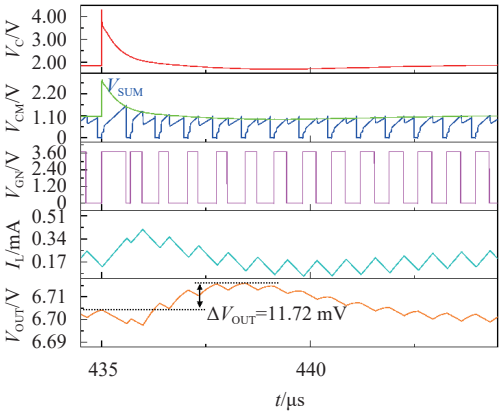


图 6 正 SET 对关键结点的影响

在重负载下，由于系统中最小关断时间的设置，使得正 SET 对环路的影响小于负 SET 对环路最恶劣情况下的影响。

2 基于自动保持的 DC-DC 加固设计

2.1 加固电路设计

入射至 EA 输出端引发的 SET 对 V_C 的改变，经过环路的传递引起 V_{OUT} 发生偏移，如果能够检测到 EA 发生的 SET 并将 V_C 钳位至正确值，那么就可以避免 SET 对 DC-DC 转换器的影响，基于该思想，本文提出了一种电压自动保持的 SET 缓解方法，如图 7 所示。总体结构由采样保持电路、SET 检测电路、脉冲展宽电路和电压自动保持电路组成。

采样电路由单位增益负反馈结构的运放 OP1、开关 S_1 和电容 C_3 构成，采样电路的作用是采样

EA 的输出电压 V_C，采样开关 S_1 闭合时将 V_C 电压值储存在 C_3 上。为了应对 C_3 发生电荷泄露导致电压下降，每经过 200 个 DC-DC 时钟周期，使 CLK1 为低，S_1 闭合一次，刷新 C_3 值，确保 $V_{samp}=V_C$。

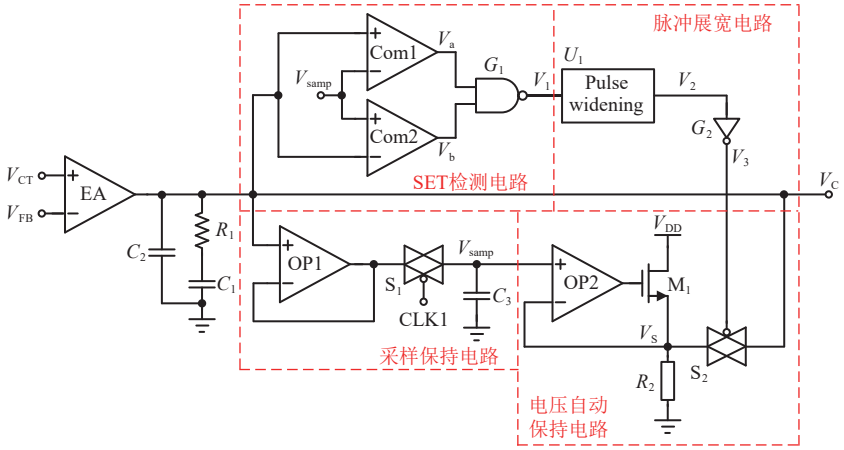


图 7　基于电压自动保持技术的 SET 缓解电路

SET 检测电路由正向阈值比较器 Com1、Com2 和与非门 G_1 构成。当 $V_{samp}=V_C$ 时，即两个正向阈值比较器的同相端电压和反相端电压均相等时，由于两个比较器本身正向阈值的存在，使得比较器 Com1 和 Com2 的输出 V_a 和 V_b 均为高电平，经过与非门 G_1 后，V_1 为低电平。当粒子入射引起 V_C 发生正 SET 时，V_C 电压向上跃变，大于 Com2 的正向阈值使得 V_b 翻转为低电平。当粒子入射引起 V_C 发生负 SET 时，V_C 电压向下跃变，低于 Com1 的正向阈值使得 V_a 翻转为低电平。V_a 和 V_b 任意一个翻转为低电平均可以使 V_1 为高电平，从而 SET 检测电路可以将粒子入射 EA 引发的正负 SET 均转化为一个高电平脉冲。

V_1 为高电平的时间是 V_C 大于（或者小于）所设置阈值的时间，时间较短，如果直接作为电压自动保持电路的开关 S_2 的控制信号，不能够使 V_C 充分恢复，这里提出了一种脉冲展宽电路，如图 8 所示，用于将 V_1 的有效电平信号展宽得到 V_2。

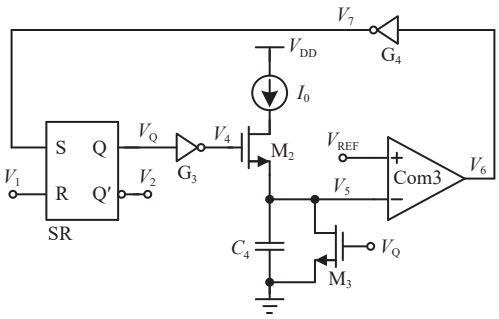


图 8　脉冲展宽电路

脉冲展宽电路由 SR 锁存器、反相器 G_3 和 G_4、NMOS 管 M_2 和 M_3、电容 C_4 和比较器 Com3 构成。V_1 为 SET 检测电路的输出信号，V_2 为脉冲展宽电路的输出信号。当 V_1 为高电平时，RS 锁存器复位，V_2 为高电平，V_Q 为低电平，经过反相器 G_3 后，使得 V_4 为高电平，M_2 管打开，M_3 管关闭，电流 I_0 向电容 C_4 充电。直至电容两端电压 V_5 大于 V_{REF}，比较器 Com3 输出 V_6 为低电平，经过反相器 G_4 后输出 V_7 为高电平，即 RS 锁存器的 S 端为高，RS 锁存器置位，V_2 为低电平，V_Q 为高电平。所以 V_2 维持高电平的时间 t_w 就是 I_0 给电容 C_4 充电使其两端电压 V_5 达到 V_{REF} 的时间，t_w 可以表示为：

$$t_w = \frac{V_{REF}C_4}{I_0} \tag{6}$$

可以调节 I_0、C_4、V_{REF} 的大小来控制需要的脉冲高电平时间。总结来说，脉冲展宽电路将 SET 检测电路输出的窄脉冲信号 V_1 展宽为 V_2。V_2 经过反相器 G_2 得到 S_2 的控制信号 V_3。

电压自动保持电路由 OP2、M_1、R_2 和 S_2 构成。由于电压自动保持电路本身的负反馈特性，使得 $V_S=V_{samp}$，且该电路结构能够提供大的驱动电流。粒子入射至 EA 输出端时，引起 V_C 发生跃变，检测电路检测到后，使得 V_3 由高电平变为低电平，S_2 打开，将发生跃变的 V_C 电压钳位到 V_{samp}，即 $V_C=V_{samp}$，避免了错误信号向后级传递，从而对 DC-DC 转化器实现了加固设计。

2.2　与负载瞬态的区分

如果 DC-DC 转换器的输出负载在较短的时间内发生较大变化，也就是发生负载瞬态，也会使 V_C 产生跃变以调节 D 和 I_L，使输出电压稳定。如

果不能将 SET 和负载瞬态进行区分，那么本文提出的 SET 缓解电路将会存在误触发现象，无法使环路进行自身的正常调节。

如果能够确定 V_C 自身的变化范围，且该范围明显小于 SET 引起 V_C 跃变的范围，便可以将两者区分开来。V_C 的范围 V_{C_Range} 实际上由电感电流最大值 I_{L_max} 和电流检测的跨阻增益 R_i 决定：

$$R_i = \frac{V_{C_Range}}{I_{L_max}} \tag{7}$$

减小 R_i 会提高 V_{C_Range}，但会降低电感电流的采样精度，同时削弱电流环路作用，类似一个电压模式。所以在 V_{C_Range} 允许的条件下，R_i 越大越好。一般在负载范围较小时，V_{C_Range} 可以设置在 1.5 V 左右，但为了应对不同工艺下 R_i 取值的波动，一般将负载变化引起的 V_C 变化量设置为 V_{C_Range} 的 k 倍，k 一般取 0.5～0.7。

本文中 DC-DC 转换器最大 I_{OUT}=150 mA，使 I_{OUT} 在 5 μs 内从 150 mA 跳变至 10 mA，对 V_{C_Range} 进行仿真，结果如图 9 所示。

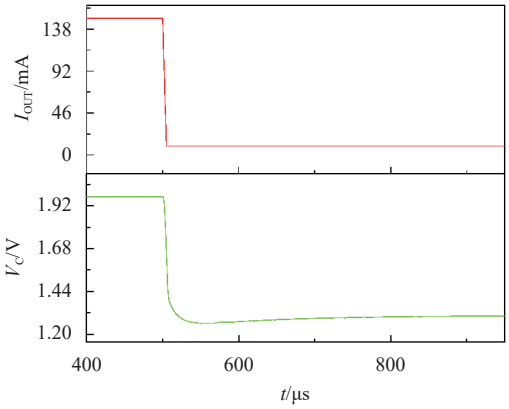
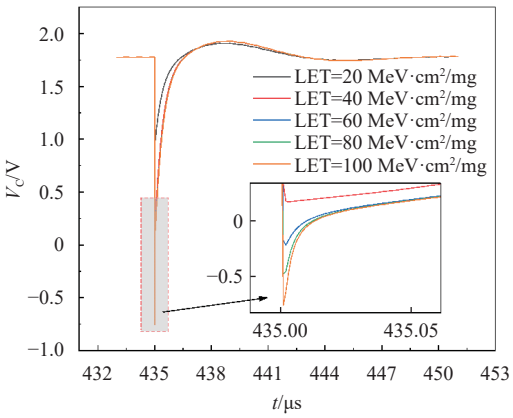


图 9 V_{C_Range} 仿真

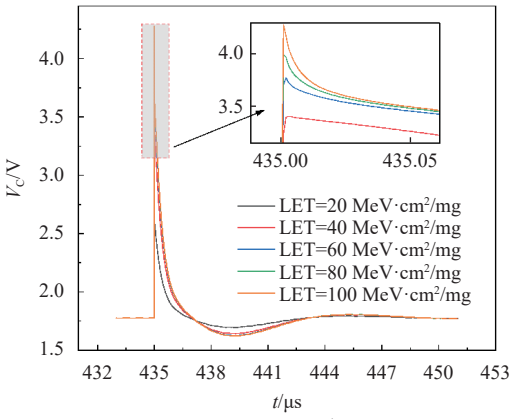
仿真结果表明，发生负载瞬态时，V_C 的最大变化为 0.7 V。设置不同的粒子 LET 值，分别对 V_C 发生的负 SET 和正 SET 进行仿真分析，结果如图 10 所示。

随着粒子能量的增大，引起的 V_C 跃变量随之增大。当 LET=20 MeV·cm²/mg 时，正负 SET 造成的 V_C 跃变量均大于 0.8 V，设置图 8 中的 Com1 和 Com2 的比较器正向阈值为 0.75 V，对应粒子的 LET=15 Me V·cm²/mg，其造成的 V_{OUT} 跃变量如图 11 所示。

V_{OUT} 跃变量在 2.1 mV 以内，设置比较器阈值为 0.75 V，便可以将 SET 和负载瞬态区分开来。



a. 负SET现象



b. 正SET现象

图 10 SET 对 V_C 的影响

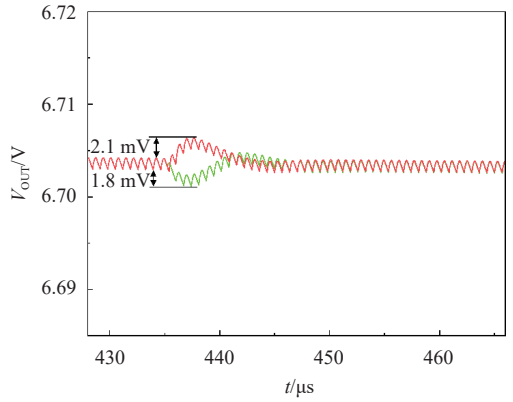


图 11 LET=15 MeV·cm²/mg 时，SET 对 V_{OUT} 的影响

3 实验结果与讨论

本文基于商用 180 nm BCD 工艺，对使用电压自动保持加固技术的 DC-DC 转换器进行了版图设计与后仿真验证，图 12 为 DC-DC 转换器的整体版图，面积为 1 882 μm×1 375 μm，加固电路为黑色方框部分，面积为 160 μm×97 μm。

在 V_{IN}=3.7 V、V_{OUT}=6.7 V、I_{OUT}=100 mA 的条件下，设置粒子的能量 LET=100 MeV·cm²/mg，对

SET 的缓解结果进行验证，环路关键节点波形如图 13 所示。

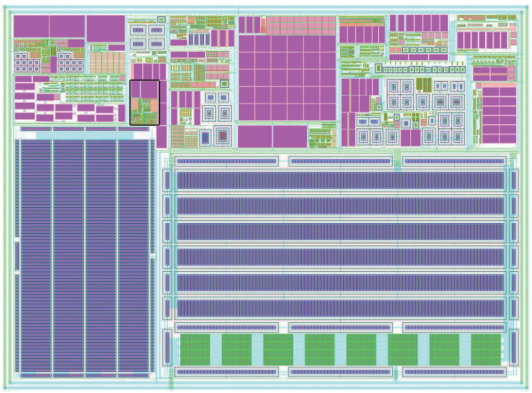
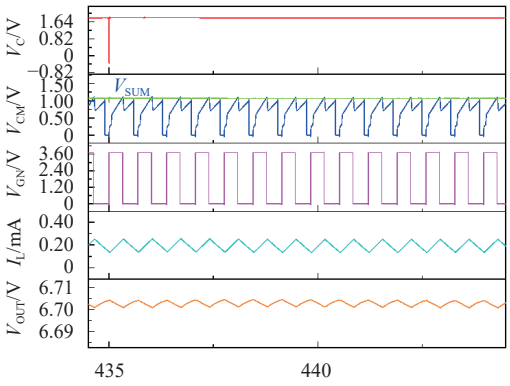
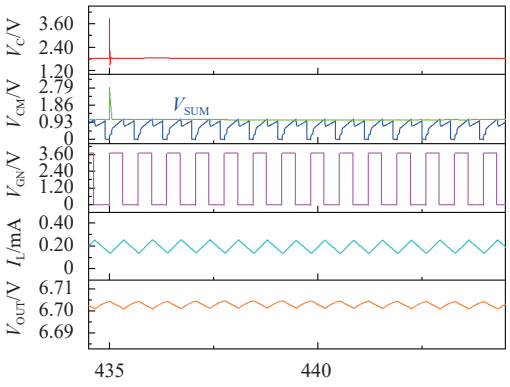


图 12　芯片整体版图



a. 负SET缓解

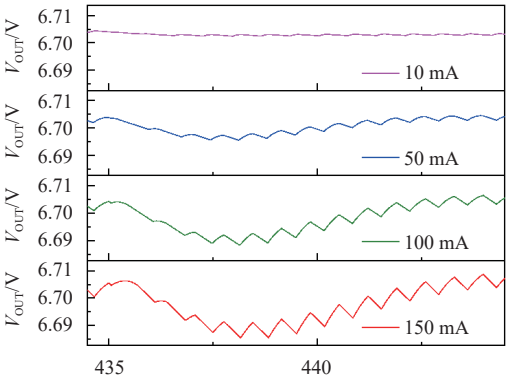


b. 正SET缓解

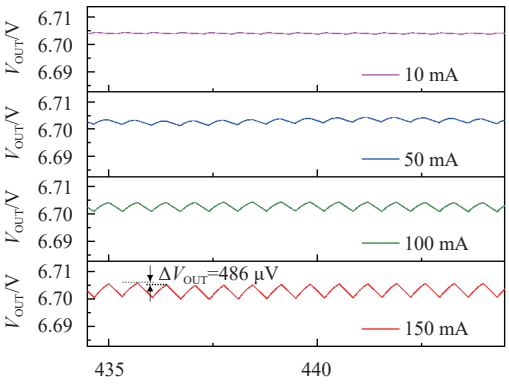
图 13　I_{OUT}=100 mA 时，SET 缓解

DC-DC 经过加固后，不管是负 SET 还是正 SET 均不对输出电压造成影响，且不改变环路的占空比 D 和电感电流。但需要注意的是，这也和粒子入射的时间相关，如果粒子正好在 V_{SUM} 和 V_{CM} 接触时入射电路，则加固后还是会对环路造成轻微的影响，只影响环路的一个周期。从图 13 可以看出，加固电路几乎可以完全消除负 SET 对 V_{CM} 的影响，但是正 SET 还是造成了 V_{CM} 的跃变，脉冲宽度约 30 ns，占整个时钟周期的 4.5%，即加固之后 DC-DC 有 95.5% 的概率不受 SET 的影响，即使受到影响也很小。

针对不同的负载条件，设置粒子在 V_{SUM} 等于 V_{CM} 时入射 DC-DC，对 DC-DC 加固前后的 V_{OUT} 进行比较，负 SET 的缓解结果如图 14 所示。



a. 加固前

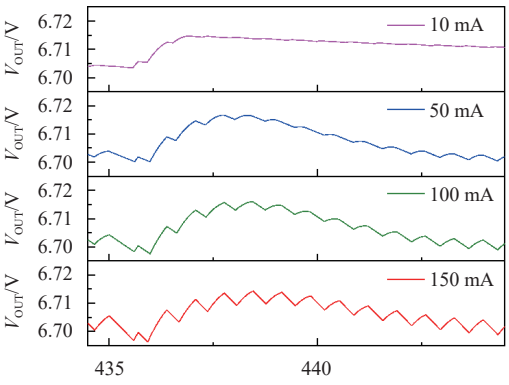


b. 加固后

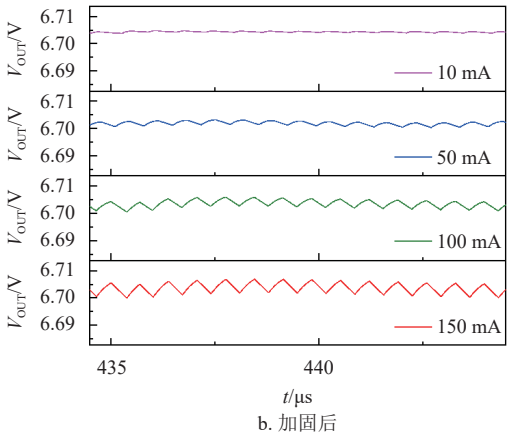
图 14　加固前后负 SET 的影响对比

加固前，在 I_{OUT}=150 mA 时，负 SET 对 V_{OUT} 影响最大，V_{OUT} 的跃变为 15.1 mV，加固后为 486 μV，负 SET 几乎不对 DC-DC 的 V_{OUT} 造成影响。

正 SET 的缓解结果如图 15 所示。



a. 加固前

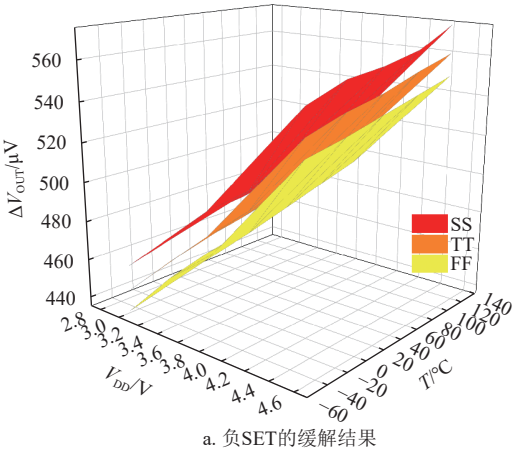


b. 加固后

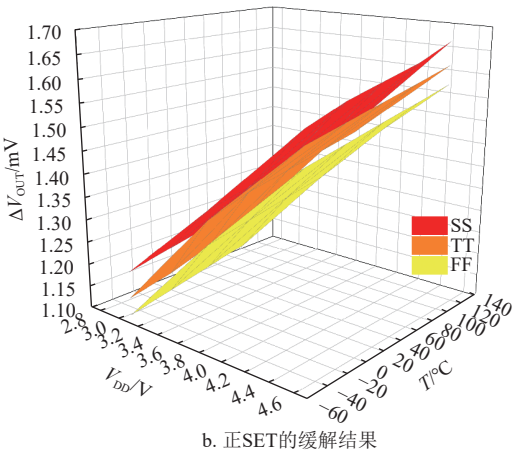
图 15 加固前后正 SET 的影响对比

正 SET 对 V_{OUT} 的影响并无直接的相关性，V_{OUT} 的最大跃变为 12.8 mV，加固之后为 1.4 mV。

对加固电路的 SET 缓解效果进行全方面仿真验证。设置粒子的 LET=100 MeV·cm²/mg，对 SET 的缓解效果进行全方位的 PVT 仿真验证，验证结果如图 16 所示。



a. 负SET的缓解结果



b. 正SET的缓解结果

图 16 SET 缓解效果 PVT 验证

在不同 PVT 条件下，加固电路均能起到良好的加固效果，负 SET 造成 V_{OUT} 的最大跃变为 15.4 mV，加固后不超过 0.6 mV，对负 SET 的缓解能力达到了 96.1%。正 SET 造成 V_{OUT} 的最大跃变为 13.2 mV，加固后不超过 1.7 mV，对负 SET 的缓解能力达到了 87.1%。

在系统发生负载瞬态，即 I_{OUT} 从 150 mA 降至 10 mA 时，对图 7 中的控制信号 V_3 进行仿真，仿真结果如图 17 所示。

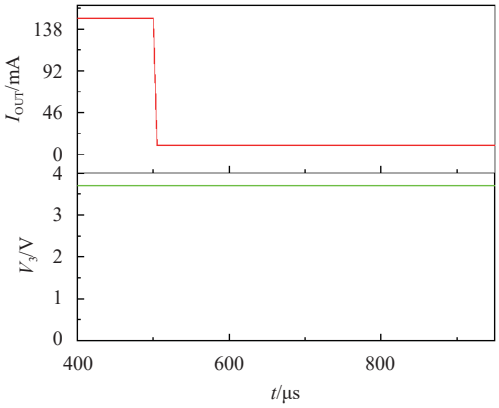


图 17 SET 与负载瞬态的区分

发生负载瞬态时，V_C 的跃变值并没有触发阈值比较器翻转，V_3 持续为高电平，S_2 关闭，加固电路对原电路不造成影响，实现 SET 与负载瞬态的区分。

为了检测加固之后环路的稳定性，对环路进行 AC 建模，功率级采用平均开关模型进行建模，控制级采用 Ridley 所提出的峰值电流模式小信号建模方法进行建模[16]。根据 AC 模型，对加固后的电路进行 SPICE 仿真验证，如图 18 所示。

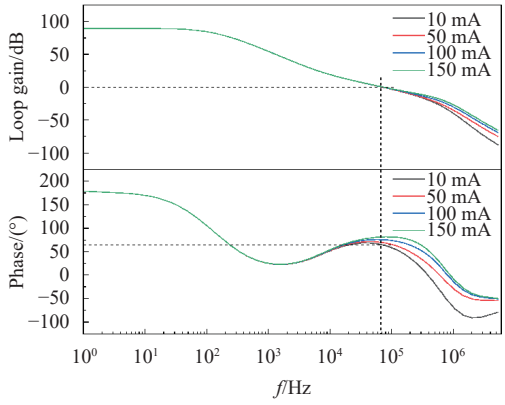


图 18 环路稳定性仿真

加固之后，环路的相位裕度在 10 mA 时最小，为 65°，满足稳定性要求。环路的交越频率均在 70 kHz 以上。

将本文的相关参数和加固结果与文献 [11-14] 进行对比，结果如表 1 所示。

表 1　相关参数的对比

方法	工艺/mm	加固对象	相关参数					面积增量/%
			加固方法	加固前电压变化量/mV	加固后电压变化量/mV	缓解能力/%	LET/MeV·cm^2·mg^{-1}	
文献[11]	28	Bandgap	RC滤波	650	90	86.2, 95*	76.3	＞50
文献[12]	130	PLL	通路切断	112.3	6.5	94.2	50	1.5
文献[13]	28	LDO	敏感结点分离	207	40	80.8	80	—
文献[14]	130	VCO	正反馈结构	25	6.8	72.8	50	9
本文	180	DC-DC	电压保持	15.4	0.6	96.1, 87.1*	100	7

*后前一项指负SET缓解能力，后一项指正SET缓解能力

4　结束语

本文研究了敏感元件 PWM 控制器中 EA 的 SET，对 SET 在环路中的传递进行了分析和仿真验证，得出了 SET 对 V_{OUT} 的影响和与负载大小的关系。针对 EA 提出了一种基于电压自动保持技术的抗辐射加固电路，通过设置阈值实现了 SET 与负载瞬态的区分，并使用脉冲展宽技术加快了敏感结点电压的恢复，最终维持了 DC-DC 转换器 V_{OUT} 的稳定。本文方法为后续 DC-DC 的 SET 研究提供了一定的基础。

参 考 文 献

[1] FARAJDADIAN S, HAJIZADEH A, SOLTANI M. Recent developments of multiport DC/DC converter topologies, control strategies, and applications: A comparative review and analysis[J]. Energy Reports, 2024, 11: 1019-1052.

[2] 曲直, 张高飞, 孟子阳, 等. 卫星姿态控制系统故障预测方法综述[J]. 宇航学报, 2023, 44(6): 829-840.
QU Z, ZHANG G F, MENG Z Y, et al. Review of fault prediction methods for satellite attitude control system[J]. Journal of Astronautics, 2023, 44(6): 829-840.

[3] KARTHIGEYAN K A, RADHA S. Single event transient hardened delay cell for a differential ring VCO[J]. Microelectronics Reliability, 2020, 111: 113721.

[4] REN Y, FAN L, CHEN L, et al. Single-event effects analysis of a pulse width modulator IC in a DC/DC converter[J]. Journal of Electronic Testing, 2012, 28(6): 877-883.

[5] LI P W, ZENG L, LI X J, et al. The investigation on single-event transients from DC/DC power converters for space application[C]//Proceedings of the Prognostics and System Health Management Conference. [S.l.]: IEEE, 2017: 1-4.

[6] GAO J, LI C, LI B, et al. Single-event induced failure mode of PWM in DC/DC converter[J]. Microelectronics Reliability, 2020, 114: 113820.

[7] XIN J D, ZHU X, MA Y Q, et al. Study of single event latch-up hardness for CMOS devices with a resistor in front of DC-DC converter[J]. Electronics, 2023, 12(3): 550.

[8] GHOSH S, BHUKTA K, MANDAL P, et al. Radiation hardening of switched-capacitor based DC-DC converter[C]//Proceedings of the IEEE Space, Aerospace and Defence Conference. [S.l.]: IEEE, 2024: 88-92.

[9] 李海松, 杨博, 蒋轶虎, 等. 基于 65 nm 体硅 CMOS 技术的 DICE-DFF 和 TMR-DFF SEU 辐射硬化方法分析[J]. 电子科技大学学报, 2022, 51(3): 458-463.
LI H S, YANG B, JIANG Y H, et al. Analysis of SEU radiation-hardened method about DICE-DFF and TMR-DFF based on 65 nm bulk CMOS technology[J]. Journal of University of Electronic Science and Technology of China, 2022, 51(3): 458-463.

[10] GUO Z J, LIU N, LU H, et al. Method of single event effects radiation hardened design for DC-DC converter based load transient detection[J]. Chinese Journal of Electronics, 2024, 33(5): 1154-1164.

[11] CHEN J J, CHI Y Q, LIANG B, et al. ASET and TID characterization of a radiation hardened bandgap voltage reference in a 28-nm bulk CMOS technology[J]. IEEE Transactions on Nuclear Science, 2022, 69(5): 1141-1147.

[12] XIANG Q, LIU H, ZHOU Y. A single-event-hardened scheme of phase-locked loop microsystems for aerospace applications[J]. Micromachines (Basel), 2022, 13(12): 2102.

[13] CHEN X, GUO Q C, YUAN H Z, et al. A single-event transient radiation hardened low-dropout regulator for LC voltage-controlled oscillator[J]. Symmetry, 2022, 14(4): 788.

[14] XIANG Q, LIU H, ZHOU Y. A single-event-hardened scheme for ring oscillator applied to radiation-resistant PLL microsystems[J]. Micromachines (Basel), 2023, 14(4): 882.

[15] MESSENGER G C. Collection of charge on junction nodes from ion tracks[J]. IEEE Transactions on Nuclear Science, 1982, 29(6): 2024-2031.

[16] RIDLEY R B. A new small-signal model for current mode control[M]. Virginia: Virginia Polytechnic Institute and State University, 1990.

责任编辑　税　红