 DOI: https://doi.org/10.12349/iser.v6i7.6724

Three speed adaptive design of Ethernet based on Anlu FPGA

Jianhui Liu

China Electronics Technology Group Eighth Research Institute, Hefei, Anhui, 230088, China

Abstract

This study is based on the EG4XBG256 low-end chip of Anlu Company, which is based on the domestic FPGA, and builds an Ethernet three-speed adaptive TEMAC (Tri-Mode Ethernet MAC) network optimization software core through FIFO module, UDP protocol stack module, CDC (clock domain crossing) cross-clock domain module, RGMII interface module, etc. Through dynamic clock refactoring and protocol stack optimization, nanosecond rate switching and 99.999% communication reliability are realized. The measured data show that the bit error rate of the scheme is as low as 1.8×10^-12 in 1Gbps mode, and the resource occupation is reduced by 21% compared with the same scheme of Xilinx.

Keywords

FPGA; Anlu EG4XBG256; Ethernet; Three speeds; TEMAC;

基于安陆 FPGA 以太网三速自适应设计

刘剑辉

中国电子科技集团第八研究所，中国 · 安徽 合肥 230088

摘　要

本研究是基于国产FPGA—安陆公司的EG4XBG256中低端芯片，通过FIFO模块、UDP协议栈模块、CDC（clock domain crossing）跨时钟域模块、RGMII Interface模块等搭建以太网三速自适应TEMAC（Tri-Mode Ethernet MAC）网络优化软核。通过动态时钟重构和协议栈优化，实现纳秒级速率切换与99.999%的通信可靠性。实测数据表明，该方案在1Gbps模式下误码率低至1.8×10^-12，资源占用较Xilinx同等方案减少21%。

关键词

FPGA；安陆EG4XBG256；以太网；三速；TEMAC；

1 引言

随着网络技术的快速发展，以太网在工业控制、通信系统等领域的应用日益广泛、工业以太网对多速率兼容性需求的增长（如 IEEE 802-2008 规范），具有更高的灵活性和兼容性、支持 10/100/1000Mbps 自适应传输速率的 TEMAC 设计成为国产 FPGA 通信系统的关键技术 [1]。安陆电子的 EG4XBG256 芯片（28nm 工艺，256K LUTs）为国产化多速率通信提供了硬件基础。本文围绕基于安陆 FPGA 的三速以太网自适应软核设计展开研究，旨在探讨如何利用 FPGA 实现高效的三速网络通信模块。通过绕开 IP 软核产权，提出一种底层 verilog 代码优化的 TEMAC 设计方案，为实际工程应用提供理论依据和技术支持。

【作者简介】刘剑辉（1985–），男，中国江西吉安人，硕士，工程师，从事嵌入式、光电、FPGA研究。

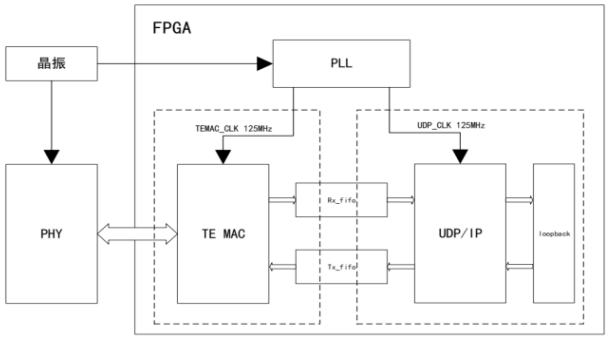
2 系统架构设计

2.1 软核主要特征

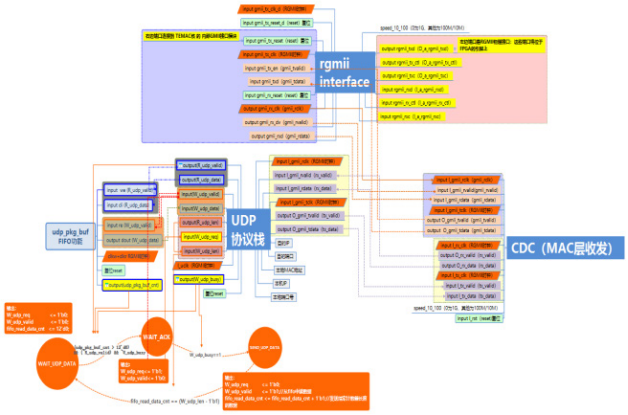
1、支持 10/100M/1000Mbps 以太网 MAC；2、支持 MII/GMII/RGMII 接口；3、支持 10/100Mbps 模式全、半双工操作，1000Mbps 模式全双工操作 ; 全双工操作中可配置的帧间间隙 (IFG) 值；4、支持长度 / 类型错误检查、控制帧长度检查；5、可配置的用户帧检查序列 (FCS) 功能 ;6、发送路径上自动填充及接收路径上自动剥离 (padding 功能);7、支持暂停控制帧进行流量控制；8、支持巨型帧、VLAN 帧；9、支持广播地址、多播地址、单播地址、地址表地址过滤；可配置的单播地址和地址表地址 (最大支持 16 个)10、用户可访问的状态统计向量输出；11、支持 UDP、ARP、TCP/IP 协议；

2.2 总体框架

用户逻辑通过 FIFO 输入 UDP 协议栈数据，UDP 将用户数据封装后，通过 TEMAC 软核再将数据经过 IOB 可编程输入输出单元，将转换后的 UDP 数据通过 PHY 物理层发送到网口，反之，逆向流程进行数据解调到用户端。



2.3 主要功能模块



主要功能模块主要由 5 个部分组成：用户逻辑、FIFO、UDP 协议栈、CDC 跨时钟域、RGMII Interface。用户逻辑在应用中可以用作串口和 TTL 信号、十兆、百兆信号打包，通过千兆网进行光纤透传，这里作为测试，使用的是回环模式；FIFO 这里使用异步时钟，常用于高速异步数据的交互；UDP 协议栈主要用来将用户数据调制或者解调，当协议栈接收到用户数据时，将数据逐层封装 UDP、IP、MAC 协议，或者当协议栈收到 GMII 数据时，将其解调成可用的用户数据；CDC 跨时钟域主要负责三种速率转换以及对应的数据拼接；RGMII Interface 则主要负责将 RGMII 数据，转换为 GMII 数据。

3 实现细节

3.1 用户逻辑

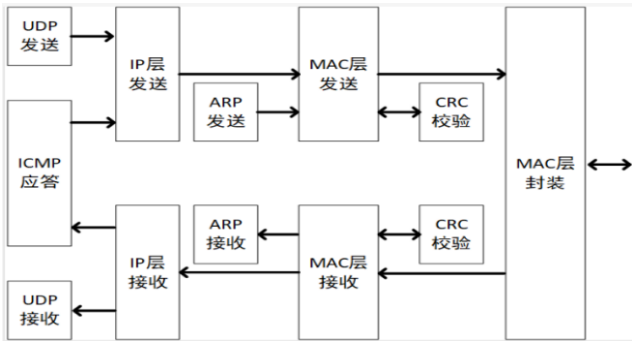
需要提供 FIFO 所需的 8bit 数据、数据长度（最高可 65536）、有效使能，在实际应用中可以进行多路 TTL 或者串口数据、百兆网络数据打包，再通过 FIFO 输入。

3.2 异步 FIFO

包含读写的数据、有效使能、时钟、数据计数；时钟频率根据带宽 /8= 以字节为单位的下载速度决定，千兆时，采用 125M 读写时钟；百兆时，采用 12.5M 读写时钟；十兆时，采用 1.25M 读写时钟；采用何种时钟由 CDC 模块输出的速率检测信号决定 [2]。

3.3 UDP 协议栈

UDP 协议栈是以太网的协议层，具有动态 ARP、ICMP 功能，占用逻辑资源少，性能不错，设计精简等特点，UDP 协议栈设计架构如下：



MAC 层：发送模块接收 ip_arp_tx 模块输出 arp 包和 ip 数据包，添加相应的帧首部。并对长度不足 46 字节的包进行末尾补 0，使每个包的最小长度为 46 字节；通过子模块 crc32_gen 生成每帧数据相应的 CRC 检验值附于帧尾；通过子模块 uimac_tx_pause_ctrl 接收 uimac_rx 输出的暂停发送使能、暂停时间和暂停 mac 地址，进行发送流量控制；利用 ip_arp_tx 完成 phy 芯片发送时钟和用户发送时钟的时钟域转换，将数据输出至外部 phy 芯片。接收模块则从外部 phy 芯片接收 mac 帧，解析 mac 帧首部，进行 mac 地址过滤和帧类型过滤；内部子模块 crc32_check 对每帧数据进行 CRC32 值的计算，判断数据的正确性；识别接收的 mac 流控帧，子模块 uimac_tx_frame_ctrl 提取流控帧中的暂停时间和源 mac 地址输出至 uimac_tx 模块；mac_receive_fifo 完成，phy 接收时钟和用户接收时钟之间的时钟域转换，将数据输出。

IP-ARP 层：发送模块接收 ip_tx 模块输出的 ip 数据包，根据其目的 ip 地址从 mac_cache 中读麦对应的目的 mac 地址。若获得有效 mac 地址则将 ip 数据报输出至 mac_tx 模块，若返回无效 mac 地址，则使 arp_tx 模块发送目的 ip 地址的 arp 请求包。等待有效 mac 地址通过 arp_rx 模块被存 mac_cache 中后重新读取；接收 arp_tx 模块输出的 arp 包，输出至 mac_tx 模块；接收模块用于区分接收数据是 IP 包还是 ARP 包。

ARP 层：发送模块当和一个目的 IP 通信，首先会检查自己的 ARP 缓存表，是否存在目的 IP 对应的目的 MAC，如果存在不会触发 ARP 请求与应答，直接根据 ARP 缓存表项封装目的 MAC 不存在 ARP 缓存表，则触发 ARP 请求，对方收到 ARP 请求，根据 ARP 的报文中的目的 IP 判断，是否寻找主机是自己，如果是，则发送 ARP 响应，携带自己的 MAC 地址；接收模块接收 ip_arp_rx 输入的 arp 请求包或 arp 应答包，提取其中的源 ip 地址和源 mac 地址，按一一对应的关系存入 mac_cache 模块中，根据接收到的 arp 请求包，将其目的 ip 地址与本地 ip 地址相比较。若两者一致，则向 arp_tx 模块发送 arp 应答包发送请求信息，否则将该 arp 包过滤。

IP 层：发送模块负责发送 udp 数据包和 icmp 数据包，通过内部子模块从 ip_rx 模块接收 icmp 请求包信息，产生并封装为相应的 icmp 应答包；从 uiudp_tx 模块接收 udp 报文数据，封装为 IP 包后发送。uiip_tx 模块为 udp 报文、

icmp 数据包添加 IP 包首部，同时进行首部校验和的计算，将计算结果附于首部检验和字段，最后将封装完成的 IP 数据报输出至 uiip_arp_tx 模块。uiudp_tx 与 uiip_tx，uiip_tx 与 uiicmp_pkg_tx，uiip_tx 与 uiip_arp_tx 之间的数据传输均需要完成握手通信。接收模块从 ui_ip_arp_rx 模块接收相应的 ip 数据包，内部子模块 uiip_header_checksum 对 IP 数据报包头的校验和计算，判断包头正确性，根据 ip 包头中的目的 ip 地址进行数据包过滤，根据协议字段提取出 udp 包和 icmp 包，过滤其他协议类型数据，根据 ip 包头中的目的 ip 地址进行数据包过滤，根据协议字段提取出 udp 包和 icmp 包，过滤其他协议类型数据。内部子模块 icmp_pkg_ctr 接收 uiip__arp_rx 模块输出的 icmp 包，根据 ping 请求包的内容产生相应的 ping 请求包信息输出至 ip_tx 模块，并将 ping 请求包的附加数据存入 icmp_echo_data_fifo 中。

UDP 层：主要完成对上局应用数据的 udp 协议控制。发送模块例化了长度为 8 的移位寄存器组 udp_shift_register，用于发送 udp 首部时进行数据缓冲；接收模块完成对上层应用数据 udp 报文的接收。

3.4 CDC 跨时钟域

当信号从在不同时钟域之间发生数据交互时会带来信号跨时钟域产生的亚稳态问题 [3]。由于 10/100M 传输数据时是单边沿采集数据，因此一个周期传输 4bit 数据，而 RGMII 为双边沿采集数据，所以要进行数据的转换，如发送时，要将一周期 8bit 数据转成一周期 4bit 数据，因此要设置数据缓存，读数据速率为写数据一半。

3.5 RGMII Interface

RGMII 互转 GMII 层的功能是实现双沿采集的 RGMII 数据互转单沿采集的 GMII 数据，采用了安陆的原语实现。

4 实验验证

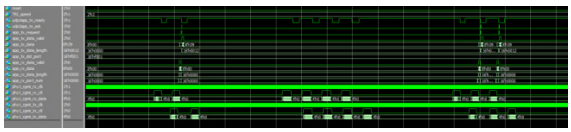
4.1 资源和消耗时序

使用 TD 软件版本为 TD5.6 71036，选择 EG4XBG256 芯片 DEMO 板上进行了软件验证，消耗的资源和时序结果如表所示：

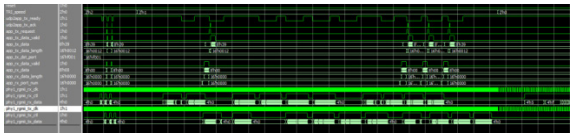
资源	类型	数值
最大频率		125MHZ
使用资源	LUT6	2455
	REG	3720
	PLL	1
	IO	20
	BRAM	7
	DSP	0

4.2 modelsim 仿真波形

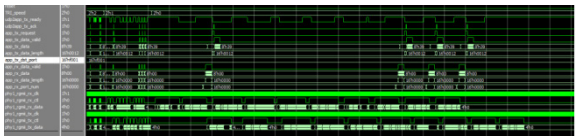
千兆速度模式正常数据：



百兆速度模式正常数据：

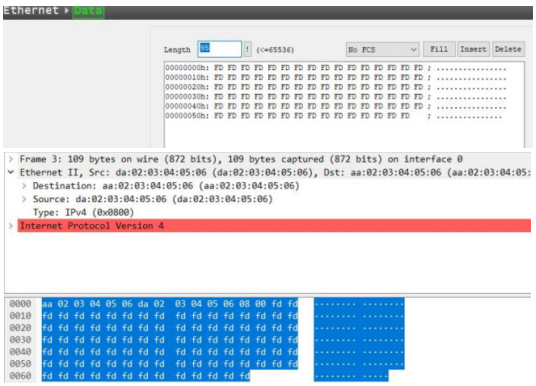


十兆速度模式正常数据：

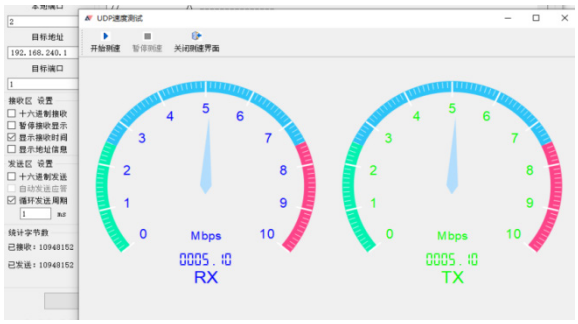


4.3 数据包抓获实验

发包和抓包软件分别是 xcap，wireshark ，发送的包和抓获的包一致。



4.4 环回模式下的数据收发实时速度



5 结论

本方案在 EG4XBG256 开发板平台上实现了工业级三速 TEMAC。通过 Modelsim 仿真和 Wireshark 抓包和验证了设计的正确性，为国产 FPGA 在工业通信领域的应用提供了可靠参考。

参考文献

[1] 李春林,李腊元.高速千兆位以太网络技术分析及应用[J].计算机工程与应用，2002，38(3):3.DOI:10.3321/j.issn:1002-8331.2002.03.070.[2]崔占忠, 宋世和.近炸引信原理[M].北京:北京理工大学出版社, 2005.

[2] 吴自信,张嗣忠.异步FIFO结构及FPGA设计[J].单片机与嵌入式系统应用, 2003(8):4.DOI:10.3969/j.issn.1009-623X.2003.08.008.

[3] 王菲,张莎莎,王茜.信号跨时钟域问题分析及验证方法研究[J].电子技术应用，2017，43(1):4.DOI:10.16157/j.issn.0258-7998.2017.01.011.