文章编号:1674-2974(2026)04-0155-08 DOI:10.16339/j.cnki.hdxbzkb.2026179

一种低功耗亚阈值基准电压源

谢海情[1],王昌志[1],赵欣领[1],曾健平[2†],李凯[1],丁宇航[1],谌运政[1],刘顺城[1]
(1. 长沙理工大学 物理与电子科学学院,湖南 长沙 410114;
2. 湖南大学 物理与微电子科学学院,湖南 长沙 410082)

摘 要:为降低带隙基准电压源静态功耗电流和芯片面积,通过优化偏置电流产生电路和双输出端启动电路,设计一种低功耗亚阈值基准电压源电路.偏置电流产生电路采用工作在亚阈值区的NMOS管代替三极管,为基准电压输出电路提供nA级的偏置电流,有效降低功耗并减小面积;启动电路采用双输出端结构,在上电过程中为偏置电流产生电路提供额外的充放电通路,消除电路简并点并加速电路启动.基于0.5 μm CMOS工艺,完成电路设计与流片测试.结果表明,在电源电压1.8~5 V范围内,基准输出电压为1.145 V,最大线性调整率为0.6×10^{-3};在-20~100 ℃范围内,温度系数为45.6 ppm/℃;在低频下,电源抑制比为-84 dB@10 Hz,在全频段范围内,电源抑制比小于-26 dB;静态电流小于270 nA;版图面积为0.02 mm^2.该基准电压源芯片具有功耗低、面积小等优势,可广泛应用于低功耗电子设备中.

关键词:基准电压;亚阈值;低功耗;芯片面积;集成电路
中图分类号:TN492 **文献标志码**:A

A low-power sub-threshold reference voltage source

XIE Haiqing[1], WANG Changzhi[1], ZHAO Xinling[1], ZENG Jianping[2†], LI Kai[1],
DING Yuhang[1], CHEN Yunzheng[1], LIU Shuncheng[1]
(1. School of Physics & Electronics Science, Changsha University of Science & Technology, Changsha 410114, China;
2. School of Physics & Electronics, Hunan University, Changsha 410082, China)

Abstract: To reduce the quiescent current and chip area of the bandgap reference voltage source, a low-power sub-threshold reference voltage source circuit is designed by optimizing the bias current generation circuit and the dual-output startup circuit. The bias current generator employs sub-threshold-operated NMOS transistors instead of BJTs so as to provide nA-level biasing for the reference output circuit, significantly reducing power consumption and area. The startup circuit adopts a dual-output structure, providing an additional charging and discharging path for the bias current generation circuit during power-up, eliminating degenerate operating points and accelerating

* **收稿日期**:2025-04-16
基金项目:湖南省自然科学基金资助项目(2024JJ7610), Natural Science Foundation of Hunan Province(2024JJ7610);湖南省教育厅科学研究项目(24A0227), Scientific Research Fund of Hunan Provincial Education Department (24A0227); 湖南省研究生科研创新项目(CX20210826), Postgraduate Scientific Research Innovation Project of Hunan Province(CX20210826);国家级大学生创新创业训练计划项目(202210536038), National Undergraduate Training Program for Innovation and Entrepreneurship(202210536038)
作者简介:谢海情(1982—),男,湖南耒阳人,长沙理工大学教授,博士生导师
† 通信联系人,E-mail:34907264@qq.com

settling time. Based on the 0.5 μm CMOS process, the circuit design and tape-out testing are completed. The results show that within the power supply voltage range of 1.8~5 V, the reference output voltage is 1.145 V, and the maximum line regulation is 0.6 ×10^{-3}; within the range of −20~100 ℃, the temperature coefficient is 45.6 ppm/℃; at low frequencies, the power supply rejection ratio is −84 dB@10 Hz, and over the entire frequency range, the power supply rejection ratio is less than −26 dB; the static current is less than 270 nA; and the layout area is 0.02 mm^2. This reference voltage source features a low power consumption and a compact area, making it suitable for energy-constrained applications.

Key words: reference voltage; sub-threshold; low power; chip area; integrated circuits

基准电压源输出稳定电压，是模拟集成电路的重要组成模块，广泛应用于A/D转换器(analog to digital converter, ADC)、低压差线性稳压器(low dropout regulator, LDO)、电源转换器等电路中[1-3]. 随着集成电路技术的不断更新，电子设备的尺寸越来越小，导致电能存储能力下降[4-5]. 因此，对基准电压源电路提出了更低功耗、更小面积的要求[6-8]. 但传统带隙基准电压源采用三极管产生零温度系数电压，平均静态电流为μA级，芯片面积较大[9-11].

为减小芯片面积、降低功耗，文献[12]利用弱反型CMOS晶体管替代三极管，实现低功耗与小面积，但牺牲了电源抑制比和线性调整率；文献[13]采用耗尽/增强型CMOS基准电压源结构，减小芯片面积与功耗，但基准输出电压受工艺角影响较大，需引入额外的修调电路，导致生产成本增加；文献[14]提出一种全MOS高精度基准电压源结构，利用MOS管替代电路中的电阻，有效减小版图面积，但功耗较高.

针对以上问题，本文提出一种低功耗亚阈值基准电压源. 其中，偏置电流产生电路采用工作在亚阈值区[15]的NMOS管替代三极管输出nA级基准电流，能有效降低功耗并解决三极管带来的版图面积大的问题；同时，电路中采用使能控制电路，增加待机功能，进一步降低功耗.

1 电路设计与分析

本文设计的亚阈值基准电压电路结构如图1所示，包括启动电路、偏置电流产生电路、基准电压输出电路和使能控制电路. 其中，W和L的单位为μm.

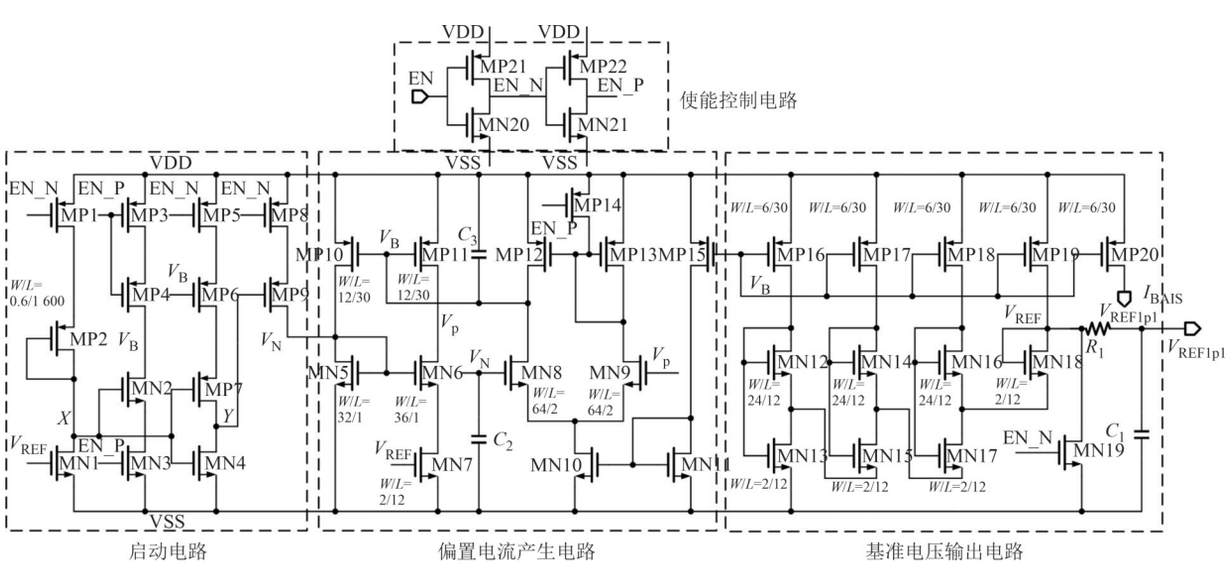

图1 亚阈值基准电压电路结构

Fig.1 Structure of sub-threshold reference voltage circuit

其中,启动电路由NMOS管MN1~MN4、PMOS管MP1~MP9组成,通过检测输出点电压变化,加快偏置电流产生电路充放电速度,防止电路进入简并点状态并加速电路启动[16]. 偏置电流产生电路由NMOS管MN5~MN11、PMOS管MP10~MP15、电容C_2、C_3组成,利用工作在亚阈值区的NMOS管输出nA级的基准电流I_1. 基准电压输出电路由NMOS管MN12~MN19、PMOS管MP16~MP20、电容C_1和电阻R_1组成,通过检测基准电流,产生与温度无关的基准电压. 使能控制电路由NMOS管MN20、MN21,PMOS管MP21、MP22组成,控制整体电路的开关.

1.1　偏置电流产生电路

偏置电流产生电路如图2所示,其中运算放大器OP利用"虚短"特性进行电压钳位[17],使电压V_P等于电压V_N.

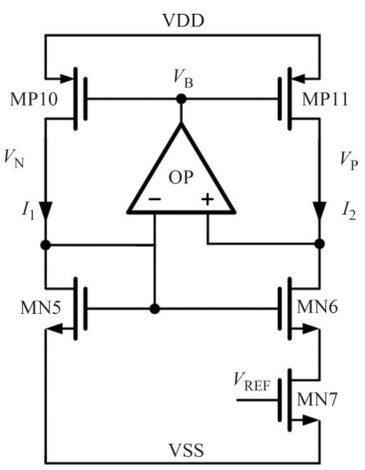

图2　偏置电流产生电路原理图

Fig.2　Schematic of bias current generation circuit

MP10、MP11工作在饱和区,MN5与MN6工作在亚阈值区. 其中MP10与MP11尺寸相同,且满足V_{GS10}=V_{GS11}和V_{DS10}=V_{DS11},可得I_1=I_2. 由图2可知,V_{GS5}=V_{GS6}+V_{DS7},同时结合亚阈值电流表达式可得V_{DS7}的表达式为:

$$V_{DS7} = V_{GS5} - V_{GS6} = \eta V_T \ln\left(\frac{K_6}{K_5}\right) \tag{1}$$

式中:K为MOS管的宽长比,表示为K=W/L;V_{GS}和V_{DS}分别为MOS管的栅源电压和漏源电压;V_T是热电压,表示为V_T=k_BT/q,k_B为玻尔兹曼常数,q为元电荷;η为亚阈值斜率因子.

MN7工作在深线性区,其阻抗R_7的表达式为:

$$R_7 = \frac{1}{K_7\mu C_{ox}(V_{REF} - V_{TH})} \tag{2}$$

式中:V_{TH}为MOS管的阈值电压,表示为V_{TH}=V_{TH0}−kT. 其中,V_{TH0}为零温度阈值电压;k为阈值电压温度系数;T为绝对温度.

结合式(1)和式(2),可得流经MN7管的电流表达式如下:

$$I_2 = \frac{V_{DS7}}{R_7} = K_7\mu C_{ox}(V_{REF} - V_{TH})\eta V_T \ln\left(\frac{K_6}{K_5}\right) \tag{3}$$

由式(3)可知,通过调整MN5、MN6和MN7的宽长比,可为基准电压输出电路提供具有正温度系数的电流I_2. 为获得具有正温度系数的小输出电流值,以满足电路低功耗要求,MN5和MN6的宽长比之比K_5/K_6为8∶9,K_7取1/6,I_2设计取值为25 nA.

1.2　基准电压输出电路

基准电压输出电路如图3所示,其中,MP16~MP19为匹配电流源,镜像复制偏置电流产生电路的亚阈值基准电流,使MN12~MN18工作在亚阈值区,其中,MP16、MP17、MP18、MP19宽长比之比设计为1∶1∶1∶1;MN12~MN18利用亚阈值特性[18]产生与温度无关的输出电压V_{REF}. 由图3可知,电压V_{REF}表达式如下:

$$V_{REF} = V_{GS13} - V_{GS12} + V_{GS15} - V_{GS14} + V_{GS17} - V_{GS16} + V_{GS18} \tag{4}$$

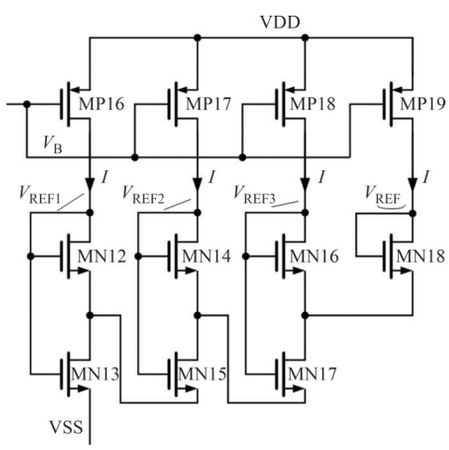

图3　基准电压输出电路原理图

Fig.3　Schematic of reference voltage output circuit

结合式(4)和亚阈值电流表达式可得基准电压V_{REF}:

$$V_{REF} = V_{TH0} - kV_T \ln\frac{24I_2K_A}{I_0K_B} \tag{5}$$

式中:I_0=$\mu C_{ox}(\eta-1)V_T^2$;K_A=$K_{12}K_{14}K_{16}$;K_B=$K_{13}K_{15}K_{17}K_{18}$,将I_0和V_T表达式代入(5)中可得:

$$V_{REF} = V_{TH0} - kT + \eta\frac{kT}{q}\ln\frac{24\eta q\ln\left(\frac{K_5}{K_6}\right)K_7K_A}{(\eta-1)kTK_B}(V_{REF} - V_{TH0} + kT) \tag{6}$$

由式(6)可知，通过调节合适的MOS尺寸，将MN12、MN14、MN16、MN13、MN15、MN17、MN18宽长比之比设计为12∶12∶12∶1∶1∶1∶1，使得V_{REF}的正负温度项相抵，从而实现零温度系数的基准电压.

1.3 启动电路

图4为启动电路结构，通过动态检测输出电压值变化，改变启动电路工作状态，为偏置电流产生电路提供合适的启动电流.

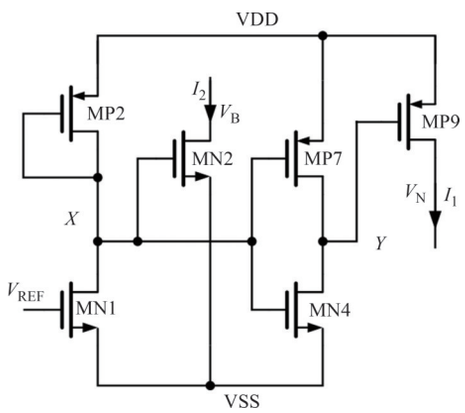

图4 启动电路原理图

Fig.4 Schematic of startup circuit

整体电路未启动时，输出电压V_{REF}为低电压，此时，MN1进入截止区，电源对X点充电，X点的电压迅速升高，MN2导通使电压V_B加速下降.同时，MP7与MN4构成反相器结构，Y点电压迅速降低，MP9导通，电压V_N加速上升，使偏置电流产生电路脱离简并状态，电路迅速启动.

当电路正常工作后，输出电压V_{REF}为高电压，此时，MN1导通，电压V_X迅速下降，MN2截止，电压V_Y升高，MP9截止，启动电路关闭.其中MP2的宽长比W/L设置为3/8 000，从而得到较大的输出阻抗以降低启动电路的静态功耗.

1.4 系统稳定性分析

图5为整体电路示意图，如图5所示，环路①包括MP10、MN5和运放OP；环路②包括MP11、MN6和运放OP；路径③包括基准电压输出电路和MN7；电路启动时，路径④由启动电路从V_B点抽取电流，路径⑤启动电路向V_N点注入电流.其中，环路①、②为稳定电路系统，路径③为电路提供稳定工作点，路径④、⑤加速电路启动，消除简并点.

在环路①中，MP10管是以二极管连接方式的MN5为负载的共源放大器，V_N'与V_B反相.V_N连接运放OP的负端，V_B与V_N反相，则V_N'与V_N同相，该环路为正反馈环路.环路②中MP11、MN6和MN7组成带源极负反馈的共源极放大器，V_P'与V_B反相.V_P连接运放OP的正端，V_B和V_P同相，则V_P'与V_P反相，该环路为负反馈环路.路径③中基准电压输出电路的输出端V_{REF}连接MN7的栅极，形成反馈电阻.

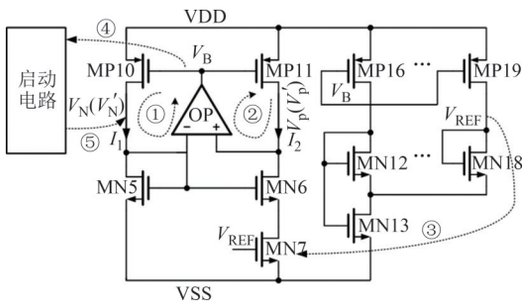

图5 整体电路示意图

Fig.5 Schematic of overall circuit

系统小信号模型如图6所示，其中路径③中的反馈电阻值R_7由式(2)给出，计算得到各节点间增益为：

$$\frac{V_B}{V_P}=A \tag{7}$$

$$\frac{V_P'}{V_B}=-\mathrm{gm}_{11}r_{eq},\ r_{eq}=\left[r_{o11}//\left(r_{o6}+r_6R_7\mathrm{gm}_6+R_7\right)\right] \tag{8}$$

$$\frac{V_B}{V_N}=-A \tag{9}$$

$$\frac{V_N'}{V_B}=-\frac{\mathrm{gm}_{10}\left(r_{o5}//r_{o10}\right)}{\mathrm{gm}_5\left(r_{o5}//r_{o10}\right)-1} \tag{10}$$

式中：A为运放OP的增益；gm_5、gm_6、gm_{10}和gm_{11}分别为NM5、NM6、NM10和NM11的跨导；r_{o5}、r_{o6}、r_{o10}和r_{o11}分别为NM5、NM6、NM10和NM11的输出阻抗.

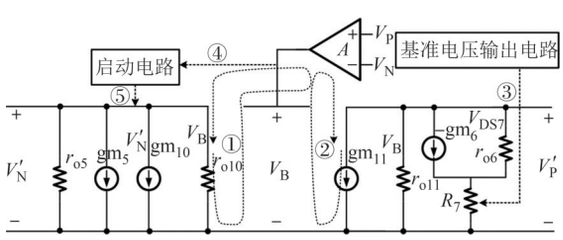

图6 系统小信号模型

Fig.6 System small-signal model

由式(7)和式(8)可得，环路②的负反馈环路增益为：

$$\frac{V_P'}{V_P}=-A\mathrm{gm}_{11}r_{eq} \tag{11}$$

由式(9)和式(10)可得，环路①的正反馈环路增益为：

$$\frac{V_N'}{V_N}=\frac{A\mathrm{gm}_{10}\left(r_{o5}//r_{o10}\right)}{\mathrm{gm}_5\left(r_{o5}//r_{o10}\right)-1} \tag{12}$$

由式(7)~式(10)可得，整体环路增益为：

$$\mathrm{LoopGain}=\frac{V_P'-V_N'}{V_P-V_N}=\frac{1}{2}A\mathrm{gm}_{10}\left[\frac{\left(r_{o5}//r_{o10}\right)}{\mathrm{gm}_5\left(r_{o5}//r_{o10}\right)-1}-r_{eq}\right] \tag{13}$$

由式(11)~式(13)可知，路径③引入的反馈电阻R_7使环路②的负反馈环路增益远大于环路①的正反馈环路增益，整体环路增益为负，系统趋于稳定.路径④、⑤加速上述过程的建立，减少系统稳定所需时间.

2　版图设计与电路仿真

基于0.5 μm CMOS工艺完成电路设计，并采用Cadence Spectre软件进行后仿真验证.图7为基准电压源电路版图，面积仅为0.02 mm².

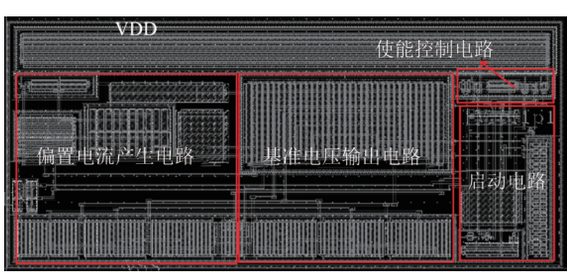

图7　电路版图

Fig.7　Layout of the circuit

在TT工艺角下，当电源电压VDD取不同值时，基准电压V_{REF}在−20~100 ℃的温度范围内变化曲线如图8所示.当电源电压VDD分别为1.8、2、2.6、3.4、4.2和5 V时，基准电压源输出电压V_{REF}值为1.145 mV，V_{REF}分别变化1.884、1.894、1.91、1.912、1.855和1.78 mV，温度系数分别为13.7、13.8、13.9、13.9、13.5和13 ppm/℃.

在不同的工艺角(TT、SS、FF、SF、FS)和不同的电源电压(1.8、5 V)下，基准电压V_{REF}在−20~ 100 ℃温度范围内的变化曲线如图9所示.电源电压为5V，FF工艺角下，基准电压源输出电压V_{REF}温度系数最大为39.07 ppm/℃，基准电压值为975.3 mV，全温度范围内的电压变化值为4.573 mV，基准电压源具有良好的温度系数.

在不同的工艺角(TT、SS、FF、SF、FS)和不同的

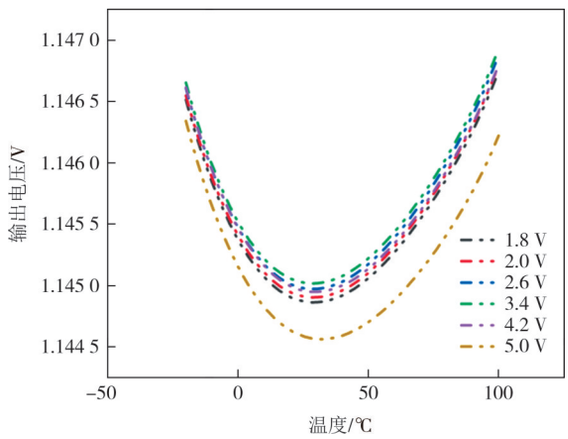

图8　不同电压下的温度特性曲线

Fig.8　Temperature characteristic curves at different voltages

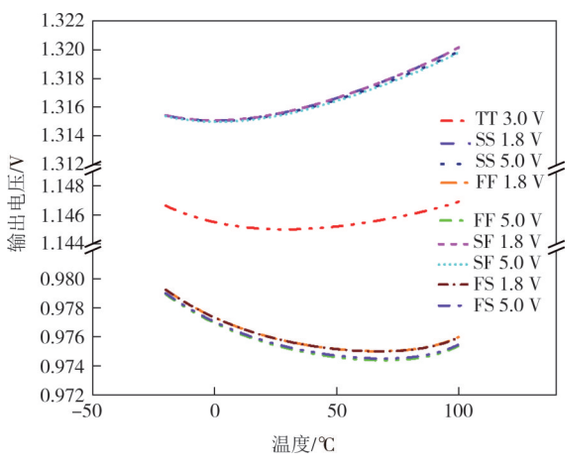

图9　不同工艺角下的温度特性曲线

Fig.9　Temperature characteristic curves at different corners

温度(−20、100 ℃)下，电源电压VDD在1.8~5V范围内变化时，基准电压V_{REF}随电源电压VDD变化曲线如图10所示.27 ℃，TT工艺角下，基准电压源V_{REF}随电源电压VDD变化的电压值为0.448 mV，线性调整率为0.14 ×10⁻³；100 ℃，FF工艺角下，基准电压源V_{REF}随电源电压VDD变化最大为0.778 mV，线性调整率为0.243 ×10⁻³，基准源线性调整率良好.

在不同的MOS工艺角(TT、SS、FF)，不同的温度(−20、100 ℃)和不同的电压(1.8、5 V)下，基准电压源的电源电压抑制比(power supply rejection ratio，PSRR)曲线如图11所示.当电源电压为3 V，温度为27 ℃，工艺角为TT时，低频下的PSRR为−84 dB@10 Hz，最差高频PSRR为−31 dB@40 kHz；电源电压为5 V，温度为100 ℃，工艺角为FF时，低频下的PSRR最差为−58.8 dB@10 Hz，最差高频PSRR为−31 dB@25 kHz；全PVT(process voltage temperature)下的PSRR小于−26 dB，对电源噪声有较好的抑制能力.

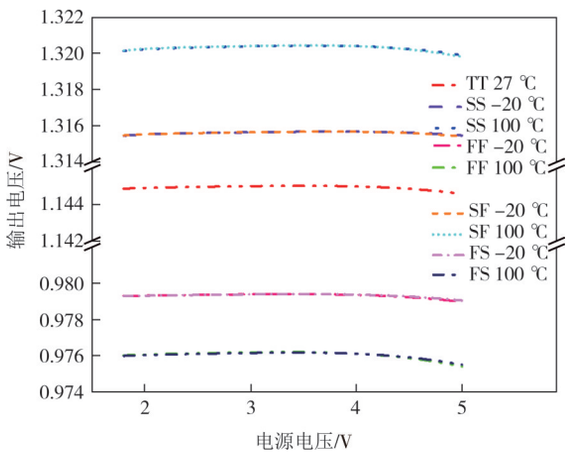

图 10 不同工艺角下的线性调整率特性曲线

Fig.10 Linear regulation characteristic curves at different process corners

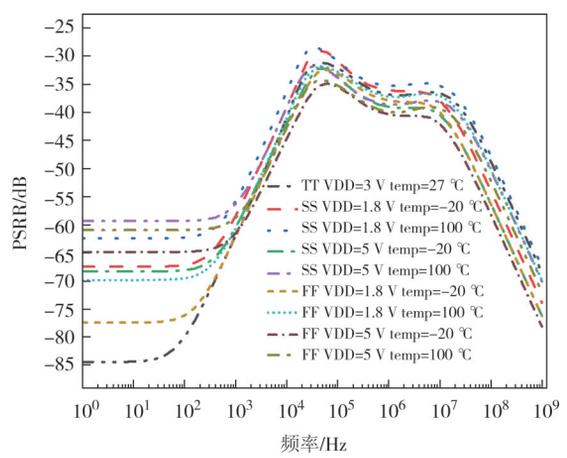

图 11 电源电压抑制比特性曲线

Fig.11 Characteristic curves of power supply rejection ratio

在不同的工艺角(TT、SS、FF、SF、FS)和不同的温度(−20、100 ℃)下,电源电压 VDD 在 1.8~5 V 范围内变化时,静态电流随电源电压 VDD 变化曲线如图 12 所示.全 PVT 下,静态电流为 95~190 nA,静态功耗极低.

本设计采用 0.5 μm CMOS 工艺,由于 MOS 管在不同工艺角下下 V_{TH} 偏差为±20%,使仿真结果在不同条件下出现较大偏差.因此,可在后续电路设计中增加修调电路以减小偏差,优化电路性能.

3 测试结果与分析

基于 0.5 μm CMOS 工艺,完成芯片流片,图 13 为芯片显微镜照片,其中 A 部分为基准电压源核心模块,B、C、D 部分为基准电压源的测试模块.图 14 为

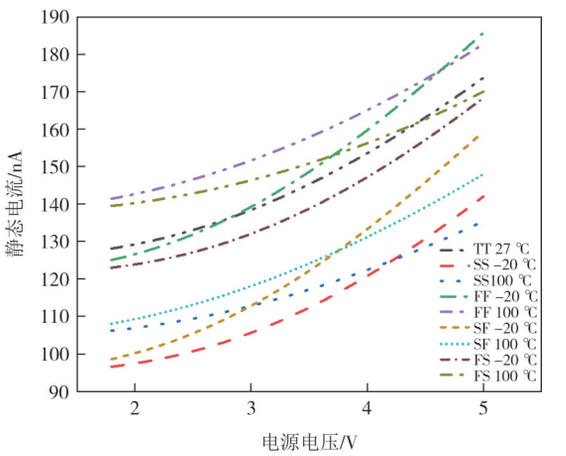

图 12 静态电流特性曲线

Fig.12 Characteristic curves of quiescent current

芯片引脚图,其中 VSS 为地、VDD 为 A 部分电源端、EN 为电路使能端.

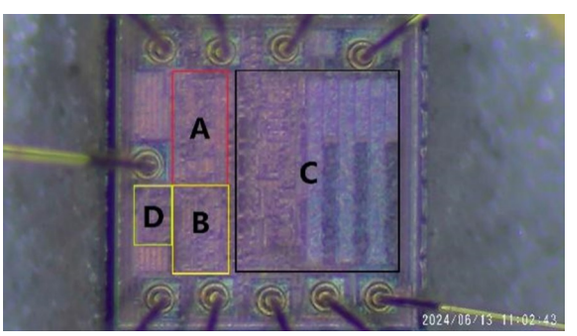

图 13 芯片显微镜照片

Fig.13 Microscopic photograph of the chip

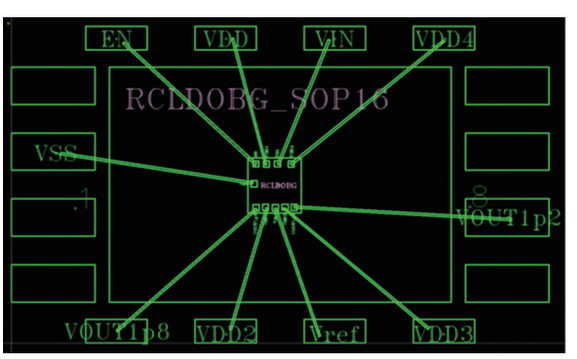

图 14 芯片引脚图

Fig.14 Pinout diagram of the chip

图 15 为基准电压源的线性调整率测试结果.测试结果表明,在 1.8~5 V 的电源电压范围内,基准电压源输出电压偏差在±1.05%,最大线性调整率为 0.6×10^{-3}.

图 16 为基准电压源的静态电流随电源电压变化的测试结果.结果表明,在 1.8~5 V 的电源电压范围内,静态电流小于 270 nA.

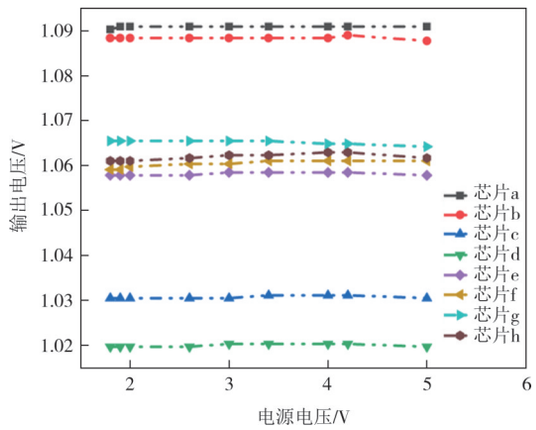

图 15　线性调整率测试曲线

Fig.15　Test curves of linear regulation

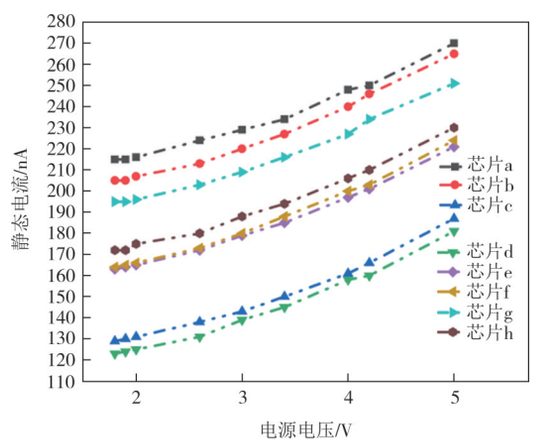

图 16　静态电流特性测试曲线

Fig.16　Test curves of quiescent current

图 17 为基准电压源的温度系数的测试结果. 测试结果表明,电源电压为 3 V 时, 在−20~100 ℃的温度范围内,基准电压源输出电压平均变化 5.8 mV, 温度系数为 45.6 ppm/℃.

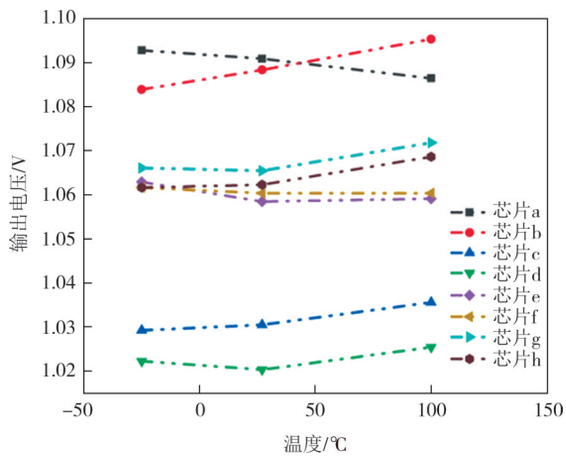

图 17　温度特性测试曲线

Fig.17　Test curves of temperature characteristic

对比测试结果与仿真, 其中线性调整率和静态电流与仿真结果吻合较好, 但温度系数测试结果与仿真结果有一定偏差, 可能原因为 MOS 的工艺制造误差使工作于亚阈值的 NMOS 出现较大的尺寸失配, 导致基准电压偏离温度曲线. 不同芯片间测试结果差异与仿真全 PVT 结果相吻合. 表 1 总结了本芯片与其他参考文献中基准电压源的性能对比. 可以看出, 本芯片利用亚阈值特性, 通过牺牲温度系数以降低功耗与芯片面积. 因此, 虽然本芯片的温度系数稍高于其他参考文献, 但静态电流与芯片面积较其他文献均有较大改进.

表 1　本文芯片与其他文献中的参数比较

Tab.1　Comparison of key parameters between this work and previously reported chips.

文献	工艺/μm	电源电压/V	输出电压/V	温度系数/(ppm·℃$^{-1}$)	最大线性调整率/10^{-3}	PSRR/dB	芯片面积/mm^2	静态电流/μA
文献[10]	0.35	2.6~5.6	1.2	21.2	0.8	−60	0.04	69
文献[11]	0.5	1.6~5	1.285	5	0.47	−70	0.039 6	25
文献[19]	0.5	2.1~5	1.196	3.98	0.19	−84	0.053 4	38
文献[20]	0.5	3.6	1.23	11.8	N/A	−31.8	0.1	180
本文	0.5	1.8~5	1.145	45.6	0.6	−84	0.02	0.27

4　结 论

通过优化设计偏置电流产生电路和双输出端启动电路, 设计一种低功耗亚阈值基准电压源电路. 偏置电流产生电路采用工作于亚阈值区的 NMOS 管替代三极管产生 nA 级电流, 减小芯片面积、降低电路功耗;基准电压输出电路利用 nA 级电流, 产生零温度系数的基准电压. 基于 0.5 μm CMOS 工艺, 完成基准电压源电路分析与设计、参数设置、版图设计与流片测试. 结果表明,在电源电压 1.8~5 V 范围内, 基准输出电压为 1.145 V,最大线性调整率为 0.6×10^{-3}; 在−20~100 ℃范围内,温度系数为 45.6 ppm/℃;在低频下,电源抑制比为−84 dB@10 Hz, 在全频段范围

内,电源抑制比小于-26 dB;静态电流小于270 nA;版图面积为0.02 mm^2. 该基准电压源芯片具有功耗低、面积小等优势,可广泛应用于低功耗电子设备中.

参考文献

[1] VENEZIA C, BALLO A, DARIO GRASSO A, et al. 46-nA high-PSR CMOS buffered voltage reference with 1.2-5 V and -40 ℃ to 125 ℃ operating range[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2025, 33(2):326-336.

[2] 谢海情, 王振宇, 曾健平, 等. 一种低温漂高电源电压抑制比带隙基准电压源设计[J]. 湖南大学学报(自然科学版), 2021, 48(8):119-124.
XIE H Q, WANG Z Y, ZENG J P, et al. Design of bandgap voltage reference with low temperature drift and high PSRR[J]. Journal of Hunan University (Natural Sciences), 2021, 48(8): 119-124.(in Chinese)

[3] MENG Y F, XIAO Z M, GUO Y D, et al. A-80 dB PSRR 1.166 ppm/℃ bandgap voltage reference with improved high-order temperature compensation[J]. IEICE Electronics Express, 2023, 20(16): 20230278.

[4] AZIMI M, HABIBI M, CROVETTI P. A two-stage sub-threshold voltage reference generator using body bias curvature compensation for improved temperature coefficient [J]. Electronics, 2024, 13(7): 1390.

[5] RASHTIAN M. Ultra-low line sensitivity and high PSRR sub-threshold CMOS voltage reference [J]. The Journal of Engineering, 2023, 2023(4): e12260.

[6] NAJEEB A, P S A, D D, et al. A nW sub 1-volt MOSFET-only voltage reference with a 32 ppm/℃ temperature coefficient and 0.648 V power supply[C]//TENCON 2023-2023 IEEE Region 10 Conference (TENCON), October 31-November 3, 2023, Chiang Mai, Thailand: IEEE, 2023: 323-328.

[7] RASHTIAN M, SHAHPASANDI M. Low-Power MOSFET-Only Subthreshold Voltage Reference with High PSRR[J]. AUT Journal of Electrical Engineering, 2024, 56(3): 439-452.

[8] DOSSANOV A, ZIEGLER C, ISSAKOV V. Ultra-low-power high psrr sub-1 V voltage reference circuit in 22 nm FDSOI CMOS [J]. IEEE Transactions on Circuits and Systems II: Express Briefs,2024, 71(11): 4643- 4647.

[9] AZIMI M, HABIBI M, KARIMI-ALAVIJEH H R. A 0.4 V, 19 pW subthreshold voltage reference generator using separate line sensitivity and temperature coefficient correction stages[J]. AEU-International Journal of Electronics and Communications, 2021, 140: 153949.

[10] LI J H, WANG Y S, YU M Y, et al. A piecewise curvature-corrected CMOS bandgap reference with negative feedback [J]. Journal of Semiconductors, 2008, 29(10): 1974-1979.

[11] ZHOU Z K, SHI Y, HUANG Z, et al. A 1.6 V 25 μA 5 ppm/℃ curvature-compensated bandgap reference[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, 59 (4): 677-684.

[12] FERREIRA L H C, PIMENTA T C, MORENO R L. A CMOS threshold voltage reference source for very-low-voltage applications[J]. Microelectronics Journal, 2008, 39(12): 1867-1873.

[13] 闫苗苗, 焦立男, 柳有权. 一种超低功耗基准电压源设计[J]. 微电子学, 2020, 50(2): 171-175.
YAN M M, JIAO L N, LIU Y Q. Design of an ultra-low power voltage reference[J]. Microelectronics, 2020, 50(2): 171-175.(in Chinese)

[14] 徐全坤, 李儒章, 王忠焰, 等. 一种全MOS高精度基准电压源电路[J]. 微电子学, 2021, 51(5): 627-631.
XU Q K, LI R Z, WANG Z Y, et al. An all MOS high precision voltage reference source circuit [J]. Microelectronics, 2021, 51(5): 627-631.(in Chinese)

[15] SHETTY D, STEFFAN C, HOLWEG G, et al. Ultra-low-power sub-1 V 29 ppm/℃ voltage reference and shared-resistive current reference [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2023, 70(3): 1030-1042.

[16] RIA A, CATANIA A, BRUSCHI P, et al. A low-power CMOS bandgap voltage reference for supply voltages down to 0.5 V[J]. Electronics, 2021, 10(16): 1901.

[17] MU S Z, CHAN P K. Design of precision-aware subthreshold-based MOSFET voltage reference[J]. Sensors, 2022, 22(23): 9466.

[18] RASHTIAN M. MOS only nano-watt sub-bandgap voltage reference[J]. Analog Integrated Circuits and Signal Processing, 2023, 114(3): 371-377.

[19] MING X, HU L, XIN Y L, et al. A high-precision resistor-less CMOS compensated bandgap reference based on successive voltage-step compensation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(12): 4086-4096.

[20] MING X, MA Y Q, ZHOU Z K, et al. A high-precision compensated CMOS bandgap voltage reference without resistors [J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2010, 57(10): 767-771.