

基于 SiGe BiCMOS 的全集成射频功率放大器设计

傅海鹏[†], 项德才

(天津大学 微电子学院, 天津 300072)

摘要:提出了一种基于 SiGe BiCMOS 工艺的适用于移动设备的紧凑全集成功率放大器. 设计采用 cascode 驱动级与共发射极功率级级联以提高放大器的功率增益, 片上集成 CMOS 电源以提供偏置电流, 采用分布式的镇流电阻和具有热负反馈效果的偏置电路补偿结温以防止放大器在高温工作时失效, 并且采用一种紧凑的电路级的热耦合模型对所提出的热稳定措施进行仿真验证. 后仿结果表明: PA 在 3.3 V 供电下、2.4~2.5 GHz 的工作范围内输出增益为 32.5 dB, S_{11} & S_{22} < -10 dB, 1 dB 压缩点处的输出功率为 25.4 dBm, 在 25 °C 的环境温度下最高结温小于 65 °C (饱和). 芯片面积仅为 1.25×0.76 mm². 测试结果表明: 在 -45~85 °C 的工作环境下, 可以在增益要求为 26.5~32.9 dB 的应用中正常工作. 1 dB 压缩点处的输出功率为 24.3 dBm. 采用 20 MHz 64-QAM OFDM 信号测试, DEVM 达到 -30 dB 的输出功率为 18.1 dBm.

关键词:功率放大器; 异质结双极晶体管; 锗硅工艺

中图分类号: TN752

文献标志码: A

Design of Fully Integrated RF Power Amplifier Based on SiGe BiCMOS

FU Haipeng[†], XIANG Decai

(School of Microelectronics, Tianjin University, Tianjin 300072, China)

Abstract: A compact fully integrated power amplifier for mobile devices based on the SiGe BiCMOS process is proposed. The design uses a cascode driver stage cascaded with a common emitter power stage to increase the power gain of the amplifier, integrates a CMOS power supply on-chip to provide bias current, and uses distributed ballast resistors and a bias circuit with thermal negative feedback effect to compensate the junction temperature so as to prevent amplifier failure at high-temperature operation. A compact circuit-level thermal coupling model is used to simulate and verify the proposed thermal stabilization measures. The post-simulation results show that PA has an output gain of 32.5 dB in the working range of 2.4~2.5 GHz under a 3.3 V power supply, S_{11} & S_{22} < -10 dB, and the output power at the 1 dB compression point is 25.4 dBm. The maximum junction temperature is less than 65 °C (saturation). The chip area is only 1.25×0.76 mm². The test results show that in the working environment of -45~85 °C, the amplifier can work well in the application where the gain requirement is 26.5~32.9 dB. The output power at the 1 dB compression point is 24.3 dBm. Using a 20 MHz 64-QAM OFDM modulation signal test, the output power of DEVM reaching -30 dB is 18.1 dBm.

* 收稿日期: 2023-03-03

基金项目: 国家自然科学基金资助项目(62074110), National Natural Science Foundation of China(62074110); 国家重点研发计划基金资助项目(2018YFB2202500), National Key Research and Development Program of China(2018YFB2202500)

作者简介: 傅海鹏(1985—), 男, 黑龙江齐齐哈尔人, 天津大学副教授

[†] 通信联系人, E-mail: hpfu@tju.edu.cn

Key words: power amplifiers; heterojunction bipolar transistors; SiGe technology

射频功率放大器位于无线发射机末端,是无线通讯系统最重要的组成部分之一.其主要功能是把基带处理后的信号在一定的线性度范围内放大至指定的功率,并传递到天线负载.无线收发系统的主要能量消耗是功率放大器造成的,其效率会对便携式设备的电池寿命造成影响.并且,以热形式耗散的能量会使整个系统温度升高,因此热稳定性也是功率放大器的重要指标.目前,相对成熟的用于实现功率放大器的工艺有GaAs异质结双极晶体管(Heterojunction Bipolar Transistors, HBT)、射频绝缘体上硅(Radio Frequency Silicon on Insulator, RF SOI)和SiGe双极互补氧化物半导体(Bipolar Complementary Metal Oxide Semiconductor, BiCMOS).GaAs HBT具有高线性度、高电流密度和高击穿电压的优点,但是GaAs衬底的导热率较低,因此需要进行可靠的热稳定设计以防止功放失效.此外GaAs HBT工艺可供使用的器件相对较少,往往需要额外的CMOS芯片来提供电源和控制,这导致GaAs功放整体集成度较低.RF SOI工艺具有较高的集成度和衬底隔离度,适合制作低噪声电路,但SOI衬底导热率极差,因此高功率功放利用RF SOI工艺实现难度较大.SiGe BiCMOS工艺集成了SiGe HBT和标准CMOS工艺,既具有HBT的高电流密度和高击穿电压的特点,又可以片上集成CMOS电源和控制电路,适合制作全集成功率放大器.

芯片的面积大小意味着成本的高低,如何利用有限的芯片面积实现更高的功率、增益和线性度是研究功率放大器的重要方向之一.胡锦等^[1]采用180 nm SiGe BiCMOS设计了一款全集成功率放大器,输出功率高达27.73 dBm,但采用三级共发射极(Common Emitter, CE),面积较大.Ruan等^[2]采用两级CE级联,面积仅为1.15×1.14 mm²,功率增益可达27.3 dB,但是其片上未集成CMOS电源,电路性能受温度和供电纹波影响较大.Reynier等^[3]采用SOI-CMOS工艺,5 V供电下饱和功率为35.1 dBm,功率增益为29.5 dB,片上集成CMOS电源,最高工作温度达85 °C,但其封装较复杂,成本较高.

针对上述问题,本文提出了一种基于0.35 μm SiGe BiCMOS的功率放大器.设计采用cascode驱动

级和CE功率级级联,减少面积的同时提高功率增益.此外,片上集成CMOS电源以提供稳定的电流偏置.测试结果表明所提出的功放具有较高的增益和线性输出功率以及较好的热稳定性.

1 电路分析与实现

1.1 电路结构设计

为达到较高的功率增益,功放一般采用多级结构,由驱动级和功率级构成.驱动级将输入的信号初步放大,使其具有一定的功率从而推动功率级.本设计的目标增益为30 dB,考虑设计余量为2 dB,仿真增益需要达到32 dB.本文采用的工艺下的CE增益约为17 dB,考虑到全片上匹配的损耗较大,每一级匹配的损耗约为2 dB.若采用两级CE结构,两级放大器的有源部分贡献约34 dB的增益,输入、级间和输出各贡献2 dB的插入损耗,则至多得到28 dB的增益,无法满足设计指标.如采用CE,那么至少需要三级级联,即驱动级由两级CE构成.由于每两级间需要进行级间匹配,三级级联则需要两个级间匹配,用于实现阻抗变换的片上电容和电感将占用大部分面积,这不利于芯片的小型化.图1为cascode结构小信号模型,为了更加直观对比CE与cascode结构电压增益,忽略输入电导 $g_{\pi1}$ 与 $g_{\pi2}$ 及结电容的影响,可得到

$$A_{CE} = \frac{v_2}{v_1} \approx -\frac{g_{m1}}{g_{o1}} \quad (1)$$

$$A_{cas} = \frac{v_3}{v_1} \approx -\frac{g_{m1}}{g_{o1}} \cdot \frac{g_{m2}}{g_{o2}} \quad (2)$$

式中 g_m 与 g_o 分别为晶体管的跨导与输出电导,对比两式可直观的看出cascode结构的电压增益 A_{cas} 为CE结构电压增益 A_{CE} 的 g_{m2}/g_{o2} 倍.本文采用工艺下

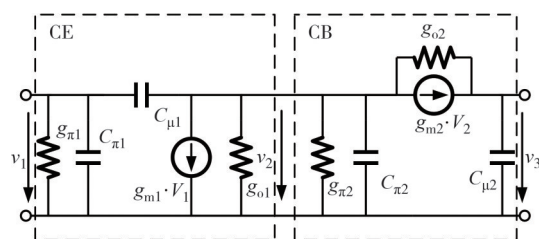


图1 cascode结构小信号模型

Fig 1 Small signal model of the cascode structure

的 cascode 结构的仿真增益约为 21 dB,按照上文所述进行计算,含全片上匹配损耗的两级放大器总增益为 32 dB,可以满足设计要求.因此本设计采用 cascode 驱动级和 CE 功率级级联.如图 2 所示为电路的整体结构.

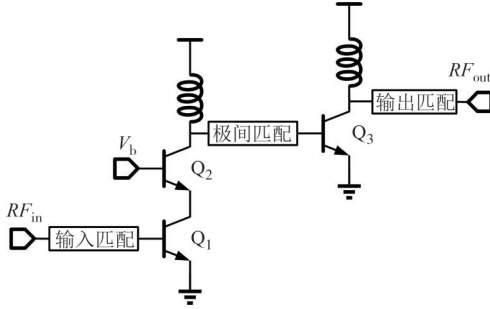


图2 电路的整体结构图

Fig 2 The overall structure diagram of the circuit

1.2 CMOS 电源

由于 GaAs HBT 功放偏置电路的参考电流需要片外 CMOS 芯片提供,这大大降低了放大器的集成度,提高了成本.为节省成本,可以选择采用简单的电压加电阻形成的简易电流源提供参考电流,但是晶体管和电阻均具有一定的温度系数,当温度变化时参考电流会发生变化,并且外界供电的纹波也会引入噪声,从而影响放大器的偏置状态^[4-5].

图 3 为采用电阻形成的简易电流源,当供电电源的变化为 ΔV_{DD} 时,偏置电流变化 ΔI_{bias} 为

$$\Delta I_{bias} = \frac{\Delta V_{DD}}{R + 1/g_m} \times \frac{(E_w \times E_L)_{rf}}{(E_w \times E_L)_1} \quad (3)$$

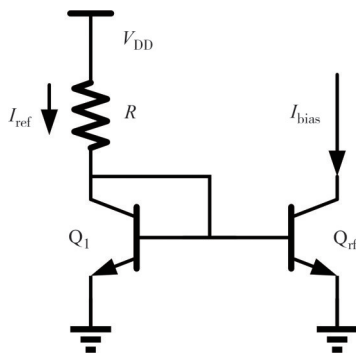


图3 简易电流源

Fig 3 Schematic of the simple current source

式中, E_w 与 E_L 分别代表发射极宽度和长度, rf 代指射频管, 1 表示晶体管 Q_1 . 本设计采用 SiGe BiCMOS 工艺,在片上集成了 CMOS 电源以提供稳定的参考电流,图 4 为 CMOS 电源的原理图. MOS 管 M_{p1} 、 M_{p2} , 晶体管 Q_0 、 Q_1 , 电阻 R , 运放 A 构成了基本的带隙基准电

路,产生的电流经 M_{p3} 倍数复制后为放大器的偏置电流镜 Q_2 提供参考电流.此外,为满足低功耗工作的需求,该电源配备控制端,当外界使能信号为高电平时电源输出参考电流,放大器开始工作,将输入的一段包络放大;当使能信号为低电平时电源关闭电流,放大器关闭.该使能信号在测试阶段由测试使用的信号源提供,在实际应用阶段由基带芯片提供.图 5 为放大器动态工作的原理图.

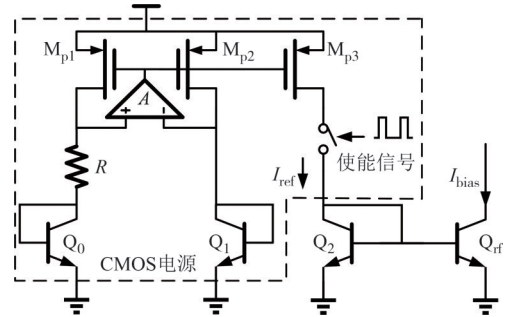


图4 CMOS 电源原理图

Fig 4 Schematic of the CMOS power supply

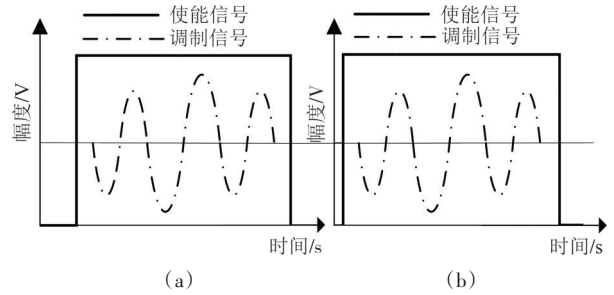


图5 放大器动态工作的原理图

Fig 5 Schematic of amplifier dynamic operation

1.3 输出匹配设计

输出匹配的设计是功率放大器设计最重要的部分之一,其目的是实现功率放大器的最大功率传输.设计输出匹配,首先要通过负载牵引 (Load Pull) 确定集电极的最佳负载 Z_{opt} ,然后选择适当的拓扑将天线端的 50Ω 阻抗变化为 Z_{opt} .由于功率级功率较高,需要多个晶体管并联构成,因此输出阻抗很低,输出匹配的阻抗变换比很大,往往需要多阶结构实现.然而,片上电感不但损耗大也不便于后期调试,并且需要较大的面积,因此输出匹配往往采用片外实现.本设计为全集成放大器,采用全片上的匹配元件,具有一定的设计和调试难度.图 6 为放大器的输出匹配原理图.

图中 L_1 与 C_1 在基波频率表现为感性,在二次谐波频率谐振以减少二次谐波分量的发射. L_2 与 C_2 在基波频率表现为容性,在三次谐波频率谐振以减少

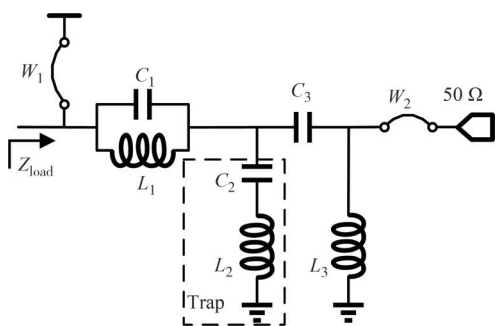


图6 输出匹配原理图

Fig 6 Schematic of the output matching

三次谐波分量的发射.在基波频率,匹配网络整体呈现带通特性,因此放大器具有较好的带外抑制特性. W_1 与 W_2 为金丝键合线,并不参与匹配, W_1 超过1 000 μm 电路性能不对其敏感.

1.4 偏置电路设计

放大器若想正常工作,需要设计合理的偏置电路.但不同于小信号放大器,功率放大器处理的信号幅度变化较大,若使用一般的电流镜偏置,很难使其在较宽的输出功率范围内保持线性.Yang等^[6]提出了一种自适应的偏置电路,通过在电流镜结构的基础之上引入缓冲管来降低放大器的AM-AM(幅度)失真与AM-PM(相位)失真.本文采用该偏置拓扑,并在其基础上增加热稳定机制以提高放大器的热稳定性.图7为偏置电路的原理图.

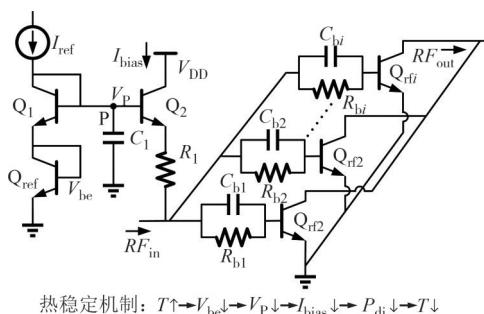


图7 偏置电路原理图

Fig 7 Schematic of the bias circuit

Q_2 为缓冲管, Q_2 与 R_1 构成补偿结构,用于减少功率放大器的AM-AM失真与AM-PM失真,调节 R_1 的大小可以控制补偿效果的强弱^[7]. Q_{ref} 称为参考管,在实际版图设计当中需要将 Q_{ref} 放置在射频功率管阵列 Q_{rf} 附近^[8].当热耗散导致功率管 Q_{rf} 温度升高时,参考管 Q_{ref} 温度随之升高,由于二极管结压 V_{be} 具有负温度系数^[9], V_{be} 下降导致P点处的电位 V_p 降低,偏置电流 I_{bias} 下降,这会减小放大器的增益从而降低输出功率,热耗散的功率 P_{di} 也随之降低,放大器的温度 T 下

降,这样形成了一个负反馈机制,放大器温度处于一个闭环的系统,因此提高了功放的热稳定性.功率管阵列采用14个3指晶体管并联构成,为避免形成热点导致增益崩塌^[10],设计采用了一种分布式的基极镇流电阻,如图7中的 R_{bi} 所示.所谓分布式,即在每个3指晶体管基极均串联镇流电阻,这样做可以使电流分布更加的均匀,热分布也更加均匀^[11].为了在仿真阶段对所提出的热稳定偏置电路和分布式镇流电阻进行验证,本文采用了一种基于热阻矩阵的电路级别的热仿真控件进行电热协同仿真.基本原理为利用电仿真得到晶体管阵列中第 i 个晶体管热耗散消耗的功率 P_{di} ,计算公式为

$$P_{di} = U_{ce} \times I_{di} \quad (4)$$

$$\Delta T_i = \sum_{j=1}^n P_{dj} \times R_{thij} (0 \leq i \leq n) \quad (5)$$

式中, U_{ce} 代表晶体管集电极与发射极间的电压降, I_{di} 代表流经第 i 个晶体管未能传输到输出匹配而耗散的电流, $R_{thij}(i \neq j)$ 代表晶体管阵列中第 i 个晶体管与第 j 个晶体管之间的热耦合电阻,单位为 $^{\circ}\text{C}/\text{W}$,可通过简单的实验获得^[12-14].得到的温升 ΔT_i 用于下一轮迭代计算,模拟实际工作中发热导致性能的变化.图8为功放的大信号后仿结果.可以看出放大器 P_{1dB} 可达25.4 dBm,此时的功率附加效率(Power Added Efficiency, PAE)为39%,最高结温小于 65°C ,未产生热点和增益崩塌,所提出的热稳定措施在仿真阶段得到了验证.

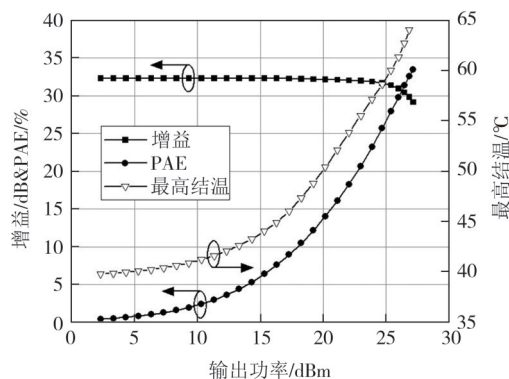


图8 大信号后仿结果

Fig 8 Post-simulation results of large signal

2 整体电路与实现

电路的整体原理图如图9所示,电路元件全片上集成,通过硅通孔(Through Silicon Via, TSV)实现接地,射频输入输出和集电极供电通过金线连接到

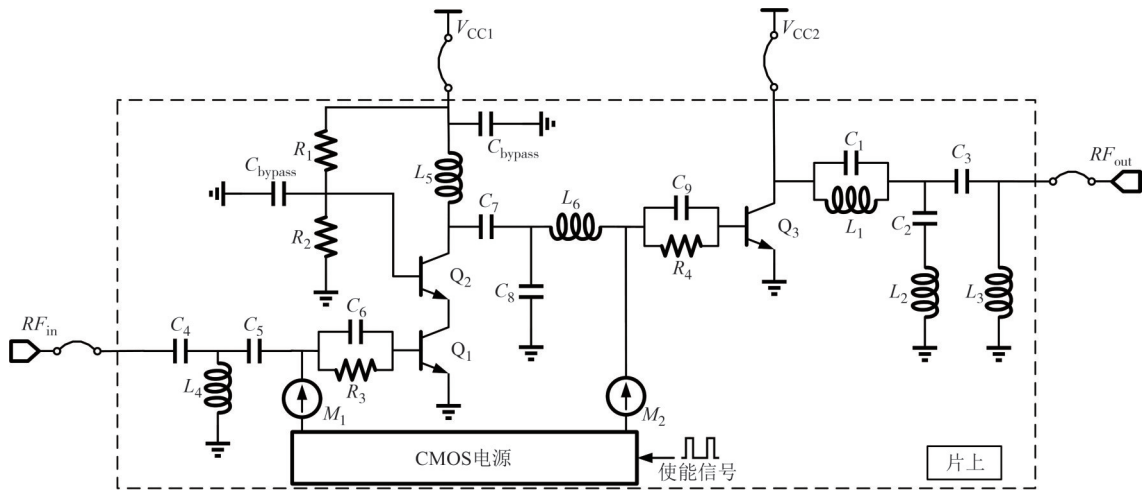


图9 电路的整体原理图

Fig 9 The overall schematic of the circuit

外部. C_4 、 C_5 及 L_4 构成T型输入匹配,整体呈现高通特性.放大器每一级的输入端均采用并联RC结构提高电路稳定性.电路具有ESD(静电释放)防护功能,为不占用额外的面积,将其放置于打线端口下方.设计通过 $0.35\text{ }\mu\text{m}$ SiGe BiCMOS工艺进行流片,整体芯片面积仅为 $1.25\times 0.76\text{ mm}^2$.芯片显微镜照片如图10所示,信号从左侧进入,依次通过输入匹配、驱动级管芯、级间匹配、功率级管芯和输出匹配,最终从右侧输出.这种横向布局有效利用管芯的空间将各级匹配分离,从而避免匹配间的电磁信号干扰.CMOS电源位于芯片边缘,远离射频主电路,且射频地与模拟地分离,这样做可以有效避免射频电路的噪声和泄露信号对模拟电路产生影响.

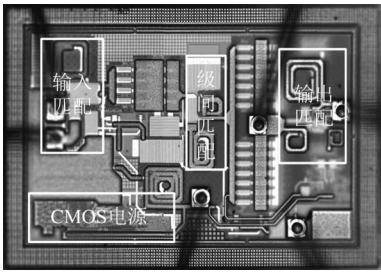


图10 芯片显微镜照片

Fig 10 Microscope photo of the chip

3 结果与分析

功率放大器芯片通过银浆贴在片外测试板上实现接地,其余端口通过金线键合到测试板.芯片采用3.3 V供电,测试得到的驱动级静态电流为43 mA,功

率级为74 mA.S参数测试采用安捷伦E5063A矢量网络分析仪(美国生产),测试结果与后仿结果的对比如图11所示.

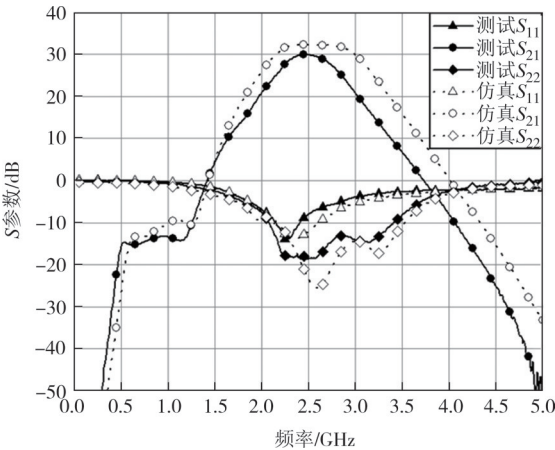


图11 测试结果与后仿结果

Fig 11 Test results and post-simulation results

后仿结果显示放大器 S_{21} (正向传输增益)为32.5 dB, S_{11} (输入反射系数)& S_{22} (输出反射系数) $< -10\text{ dB}$.在 $25\text{ }^{\circ}\text{C}$ 室温下测试得到的放大器增益约30 dB,该增益通常需要三级级联才能实现,这说明所设计的cascode驱动级能够提供较高的增益.测试 results与后仿结果相差约2.5 dB,出现此现象的原因是代工厂提供的晶体管建模并非完全准确,会和实际有一定的偏差,此外该芯片是通过测试板进行测试,测试板会引入非理想的寄生效应,导致放大器增益进一步下降.为验证功放在环境温度变化时的工作能力,利用温箱在 $-45\sim 85\text{ }^{\circ}\text{C}$ 对放大器进行测试,测试结果如图12所示.

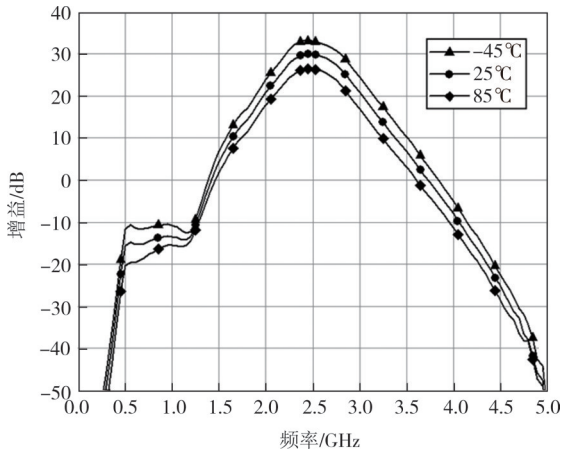


图 12 高低温下的测试结果

Fig 12 Test results at high and low temperatures

测试结果显示-45 ℃时增益为 32.9 dB,85 ℃时增益为 26.5 dB,可以看出放大器热稳定性较好,未因结温过高而导致失效,说明设计采用的热稳定偏置电路和分布式镇流电阻起到了作用.

大信号测试采用 NI pxie-5841 矢量信号收发器(美国生产),该仪器可以同时产生和分析矢量信号.在室温下,采用连续波信号对功放的增益压缩特性和效率进行测试,同时使用高精度红外线热分析仪观测放大器最高结温,结果如图 13 所示.

测试结果显示放大器 1 dB 压缩点处 P_{1dB} 为 24.3 dBm,PAE 可达 33%.在饱和功率处的最高结温小于 55 ℃.

为测试放大器动态工作时的线性度,采用带宽为 20 MHz 的 64-QAM 正交频分复用(Orthogonal Frequency Division Multiplexing, OFDM)调制信号进行测试,控制信号的占空比为 50%,周期为 1 248 μs.测试结果如图 14 所示.

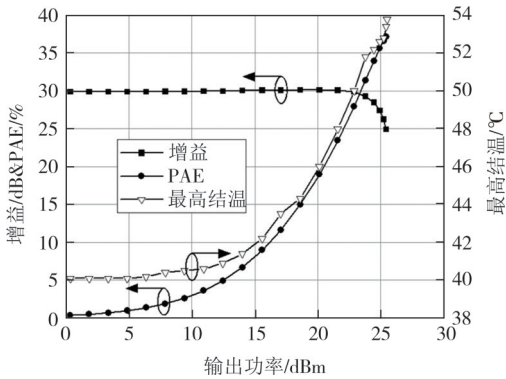


图 13 大信号的测试结果

Fig 13 Test results of large signal

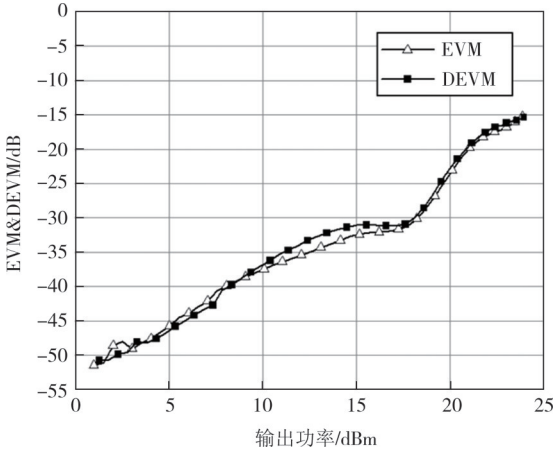


图 14 DEVM 与 EVM 测试结果

Fig 14 DEVM and EVM test results

测试得到放大器在 DEVM(动态误差矢量幅度)为-30 dB时的输出功率为 18.1 dBm.EVM(静态工作的矢量幅度误差)与动态工作的 DEVM 的测试曲线几乎重合,这表明放大器具有较高的线性输出功率,并且动态工作并未导致其线性度有明显的退化.表 1 为本设计与其他全集成功率放大器的性能对比.

表 1 提出的功率放大器性能比较

Tab.1 Performance comparison of the proposed power amplifier

文献	工艺	结构	频率/GHz	片上电源	供电/V	增益/dB	输入信号类型	线性输出功率/dBm
本文	0.35 μm BiCMOS	cascode&CE	2.4~2.5	是	3.3	30	20 MHz 64 QAM OFDM	18.1@DEVM=30 dB
[15]	0.35 μm BiCMOS	三级 CE	2.4~2.5	是	3.3	29	20 MHz 64 QAM OFDM	20.3@EVM=-30.4 dB
[16]	40 nm CMOS	两级 cascode	2.4~2.5	否	3.3	24.8	20 MHz 64 QAM OFDM	19.1@EVM=-32 dB

4 结 论

本文采用 SiGe BiCMOS 设计了一款全集成功率放大器,集成片上 CMOS 电源,采用 cascode 驱动级提

高增益、减少芯片面积,运用了一种热稳定偏置电路和分布式镇流电阻以提高电路热稳定性.测试结果显示放大器增益可达 30 dB,1 dB 压缩点处的输出功率为 24.3 dBm,功率附加效率为 33%,线性度满足无线传输要求.

参考文献

- [1] 胡锦, 翟媛, 郝明丽, 等. 应用于 WLAN 的 SiGe 射频功率放大器的设计[J]. 湖南大学学报(自然科学版), 2012, 39(10): 56–59.
- HU J, ZHAI Y, HAO M L, et al. Design of SiGe RF power amplifier for WLAN [J]. Journal of Hunan University (Natural Sciences), 2012, 39(10): 56–59. (in Chinese)
- [2] RUAN Y, LIU Y H, CHEN L, et al. A 2.4 GHz fully-integrated SiGe BiCMOS power amplifier [J]. Journal of Electronics & Information Technology, 2011, 33(12): 3035–3039.
- [3] REYNIER P, SERHAN A, PARAT D, et al. A high-power SOI-CMOS PA module with Fan-Out Wafer-Level packaging for 2.4 GHz Wi-Fi 6 applications [C]//2021 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). Virtual, Atlanta, GA: IEEE, 2021: 59–62.
- [4] RAZAVI B, BEHZAD R. RF microelectronics [M]. New York: Prentice hall, 2012: 21–35.
- [5] EL-NOZAH M, AMER A, TORRES J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique [J]. IEEE Journal of Solid-State Circuits, 2010, 45 (3) : 565–577.
- [6] YANG Y, CHOI K, WELLER K P. DC boosting effect of active bias circuits and its optimization for class-AB InGaP-GaAs HBT power amplifiers[J]. IEEE Transactions on Microwave Theory and Techniques, 2004, 52(5): 1455–1463.
- [7] YANG X, SUGIURA T, OTANI N, et al. A 5-GHz band WLAN SiGe HBT power amplifier IC with novel adaptive-linearizing CMOS bias circuit[J]. IEICE Transactions on Electronics, 2015, 98(7): 651–658.
- [8] JU I, GONG Y, CRESSLER J D. Highly linear high-power 802.11 ac/ax WLAN SiGe HBT power amplifiers with a compact 2nd-harmonic-shortened four-way transformer and a thermally compensating dynamic bias circuit [J]. IEEE Journal of Solid-State Circuits, 2020, 55(9): 2356–2370.
- [9] OZALAS M T. The impact of electro-thermal coupling on HBT power amplifiers [C]//2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS). San Diego, CA: IEEE, 2014: 1–4.
- [10] LIU W, KHATIBZADEH A. The collapse of current gain in multi-finger heterojunction bipolar transistors: its substrate temperature dependence, instability criteria, and modeling [J]. IEEE Transactions on Electron Devices, 1994, 41(10): 1698–1707.
- [11] D’ALESSANDRO V, CATALANO A P, SCOGNAMILLO C, et al. Analysis of electrothermal effects in devices and arrays in InGaP/GaAs HBT technology[J]. Electronics, 2021, 10(6): 757.
- [12] D’ALESSANDRO V, CATALANO A P, CODECASA L, et al. Combined SPICE-FEM analysis of electrothermal effects in InGaP/GaAs HBT devices and arrays for handset applications [C]//2018 19th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE). Toulouse: IEEE, 2018: 1–11.
- [13] CHEN T, VIJAYAKUMAR B, LEE T Y, et al. On the characterization of thermal coupling resistance in a current mirror [C]//2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). San Francisco, CA: IEEE, 2016: 59–62.
- [14] DAI P, ZAMPARDI P, KAI K, et al. Study of thermal coupling effect in GaAs heterojunction bipolar transistors by using simple current mirror circuit [C]// 2005 International Conference on Compound Semiconductor Manufacturing Technology (CS MANTECH). New Orleans, LA: GaAs Mantech, 2005: 4.
- [15] SAMELIS A, WHITTAKER E, BALL M, et al. A fully integrated flip-chip SiGe BiCMOS power amplifier for 802.11 ac applications [C]//2016 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). San Francisco, CA: IEEE, 2016: 314–317.
- [16] AHN H, BACK S, NAM I, et al. A fully integrated- 32-dB EVM broadband 802.11 abgn/ac PA with an external PA driver in WLP 40-nm CMOS [J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67(5): 1870–1882.