文章编号:1674-2974(2026)02-0193-07 DOI:10.16339/j.cnki.hdxbzkb.2026168

低功耗高电源抑制比的锁频环型片上RC振荡器

阴亚东[1],吴志伟[1],邱学炜[1],方宇龙[1],钟杨源[2],高跃明[1†]
(1. 福州大学 物理与信息工程学院, 福建 福州 350108;
2. 福建省福芯电子科技有限公司, 福建 福州 350011)

摘 要:本文提出了一种基于惠斯顿电桥的锁频环型片上阻容(RC)振荡器,其主要由惠斯顿电桥、误差放大器、压控振荡器(voltage-controlled oscillator, VCO)、无交叠时钟生成电路以及低压差线性稳压器(low-dropout linear regulator, LDO)等组成.采用惠斯顿电桥通过阻容充放电形式实现VCO输出信号的频率-电压转换;与常规方法相比,惠斯顿电桥节省了芯片面积并提高了频率稳定性.采用LDO为锁频环路核心模块提供稳定电源,有效提升了振荡器的电源抑制能力.采用高阈值MOS管所构成的反相器级联环形振荡器构成VCO;通过将其供电电压设置为低于反相器中N/PMOS阈值电压之和的方式,有效地避免了N/PMOS同时导通而极大地降低了VCO功耗.完成了振荡器的工作原理分析、锁频环小信号模型建模分析及各模块的电路设计;采用CSMC 180 nm BCD工艺完成了流片验证和测试.测试结果表明,在锁频环作用下VCO锁定振荡于1.98 MHz频率而偏离目标频率1%;当电源电压为(4±1.5) V时,其电源灵敏度(line sensitivity)不超过200×10^{-6}/V;在-20~100 ℃温度范围内,频率温漂不超过3%,对应250×10^{-6}/℃;工作电流仅11.26 μA.与同类设计相比,本文所述锁频环型片上RC振荡器具有较低功耗、较高电源抑制能力和较为优良的品质因数(FoM).

关键词:RC振荡器;锁频环;惠斯顿电桥
中图分类号:TN753.8;TN453;TN495 **文献标志码**:A

Frequency-locked on-chip RC oscillator with low power consumption and high power-supply-rejection

YIN Yadong[1], WU Zhiwei[1], QIU Xuewei[1], FANG Yulong[1], ZHONG Yangyuan[2], GAO Yueming[1†]
(1. College of Physics and Information Engineering, Fuzhou University, Fuzhou 350108, China;
2. Fujian Fine-Chip Technology Co., Ltd., Fuzhou 350011, China)

Abstract: A Wheatstone bridge-based frequency-locked loop (FLL) on-chip RC oscillator featuring high power supply rejection and low power consumption is proposed, which consists of a Wheatstone bridge, an error amplifier, a voltage-controlled oscillator (VCO), a no-overlap clock generator and a low-dropout linear regulator (LDO). The Wheatstone bridge conducts the frequency-to-voltage conversion on the VCO's frequency through resistive-capacitive charging/discharging, improving frequency stability and reducing chip area, when compared

* **收稿日期**:2025-03-14
基金项目:国家自然科学基金资助项目(62371136), National Natural Science Foundation of China (62371136);福建省工业引导性(重点)项目(2024H0006), Fujian Provincial Industrial Guiding Project (2024H0006)
作者简介:阴亚东(1981—),男,福建三明人,福州大学研究员
† 通信联系人,E-mail: fzugym@163.com

with conventional designs. The LDO is adopted to supply the key modules in FLL, which essentially improve its power rejection. The VCO is accomplished through a cascaded inverter-based ring oscillator composed of high-threshold MOS transistors. By maintaining VCO's supply voltage below the combined threshold voltages of high-threshold N/PMOS transistors, simultaneous conduction of these N/PMOSs is effectively prevented, cutting down the power consumption greatly. Theoretical analysis of oscillator operation, small-signal modeling of the FLL, and circuit-level implementation are presented in this paper. The oscillator is fabricated in CSMC 180 nm BCD technology and measured. As shown through measurement results, the oscillator's frequency is locked to 1.98 MHz with 1% deviation from target, its frequency line sensitivity is less than 200 $\times10^{-6}$ V across a 2.5~5.5 V supply range, the temperature-induced frequency drift is no more than 3% (250 $\times10^{-6}$ ℃) from a temperature range of −20 ℃ to 100 ℃, and its total operating current is about 11.26 μA. Compared with state-of-the-art designs, the proposed FLL on-chip oscillator features low power consumption, high power rejection and a commendable figure of merit (FoM).

Key words: RC oscillator; frequency-locked loop; Wheatstone bridge

时钟作为数字集成电路的“引擎”,其作用不言而喻.在不同的应用场景中,电路系统对时钟的性能要求也有所不同.例如,微处理器(MCU)要求时钟频率误差小于1%[1];现代智能汽车网络系统则要求时钟变化小于500×10^{-6};无线通信应用则更加严格,通常要求小于40×10^{-6}[2].在数字电路系统中,时钟通常由振荡器所提供.晶体振荡器虽然具有良好的频率稳定性,但体积较大、无法灵活调整频率、难以实现片上集成,因此基本上无法满足当前业界对kHz~MHz级片上时钟的需求[3-4].LC振荡器虽然能实现片上集成,但该类型振荡器往往功耗在毫瓦级别且其片上电感需要消耗大量芯片面积,因而通常作为无线收发机中的本地振荡器使用[5-6].

相比之下,kHz~MHz级别阻容(RC)振荡器功耗往往可低至微瓦甚至纳瓦级别,同时还无需使用特殊器件而可实现片上全集成,且占用芯片面积较少,因此特别适合作为片上时钟使用[2,7-10].根据有无频率校准环节,当前RC振荡器可大致分为开环和闭环两种方式.开环RC振荡器虽然电路简单但很容易受芯片工艺、电源电压、环境温度(PVT)变化的影响,导致振荡频率往往精度低且稳定性较差.一些设计采用前馈控制、双相操作、温度补偿等措施来提升频率精度和稳定性[11-16],但总体效果依然不佳,其电源抑制能力往往仅达到1%/V水平[16].相比之下,闭环RC振荡器采用锁相环或者锁频环对振荡频率进行实时校准,可显著地提高频率精度和稳定性[17-18].然而,这类闭环RC振荡器依赖于片外精确参考时钟进行频率误差鉴别以实现振荡频率的负反馈调整,往往极大地限制了其应用场景.近年来,一些设计尝试提出无片外参考时钟的闭环RC振荡器.文献[19]和[20]利用差分阻容电路形成稳定的时间常数以替代片外参考时钟,实现了振荡频率的实时校准,从而达到了较好的抗温漂和抗电源电压波动效果.此外,文献[21]和[22]巧妙地将振荡器频率转换为电压,再利用电压域负反馈环路实现频率锁定,也取得了不错效果.

有鉴于此,本文实现了一种无片外参考时钟的锁频环型RC振荡器芯片.采用了惠斯顿电桥(Wheatstone bridge)电路[23]来对压控振荡器(VCO)频率误差进行鉴别,然后利用电容采样电路将频率误差转换为电压信号从而实现了对VCO振荡频率的反馈调整.本文设计的惠斯顿电桥+电容采样电路的方案具有结构简单、高电源噪声抑制和阻容器件小等优点.此外,本文采用高阈值管反相器级联的方式实现了压控振荡器,通过将供电电压设置为低于其反相器N/PMOS阈值电压之和的方式极大地降低了VCO功耗.本文还推导了锁频环路的小信号数学模型,精确地分析了其环路特性.最终采用CSMC 180 nm BCD工艺完成了新型振荡器的电路设计和流片验证.测试结果显示,设计达到了预期.

1 系统结构

图1展示了本文所提出的振荡器结构;其中压

控振荡器(VCO)、惠斯顿电桥、采样保持电路和误差放大器构成了锁频环;此外还包括了无交叠时钟生成模块以及低压差线性稳压器(LDO)等器件.惠斯顿电桥和采样保持电路相组合不仅实现了振荡频率到电压的转换;更重要的是,在转换过程中电源电压波动影响将以共模噪声形式被有效地抑制.同时,采用LDO对锁频环路进行供电又进一步提高了电源抑制能力.结合图2所示的关键信号时序图,锁频环的工作原理描述如下:无交叠时钟生成模块根据VCO的输出信号CK_{VCO}产生Φ_1、Φ_2和$\Phi_3$3路时钟信号,分别控制惠斯顿电桥内开关的通断;3路时钟信号需满足无交叠特性,以防止电荷泄放增加功耗.当Φ_3有效时,LDO输出电压V_{LDO}通过电阻R_{REF}对电容C_{ADJ}进行时长为1个VCO振荡周期的充电操作;然后以电荷共享的方式,利用电容C_{SH}对C_{ADJ}的电压进行采样,从而将VCO振荡频率f_{VCO}转换为电压V_{CSH}.固定电阻R_1、R_2和可调电阻R_{ADJ}所构成的分压支路则产生参考电平V_{REF};该参考电压与采样电压V_{CSH}在误差放大器中进行比较并相应地生产电压V_{CTRL},用以调整VCO的振荡频率.当振荡频率f_{VCO}偏高即周期T_{VCO}偏小时,采样电压V_{SH}偏低,进而造成误差放大器输出电压V_{CTRL}降低,从而驱使VCO降低振荡频率;反之,采样电压将偏高,造成V_{CTRL}升高以使VCO频率提升.最终在锁频环控制下,VCO振荡频率将趋于锁定,且频率值可计算为

$$f_{VCO}=\frac{1}{R_{REF}C_{ADJ}}\frac{1}{\ln\left(1+\dfrac{R_2+R_{ADJ}}{R_1}\right)} \tag{1}$$

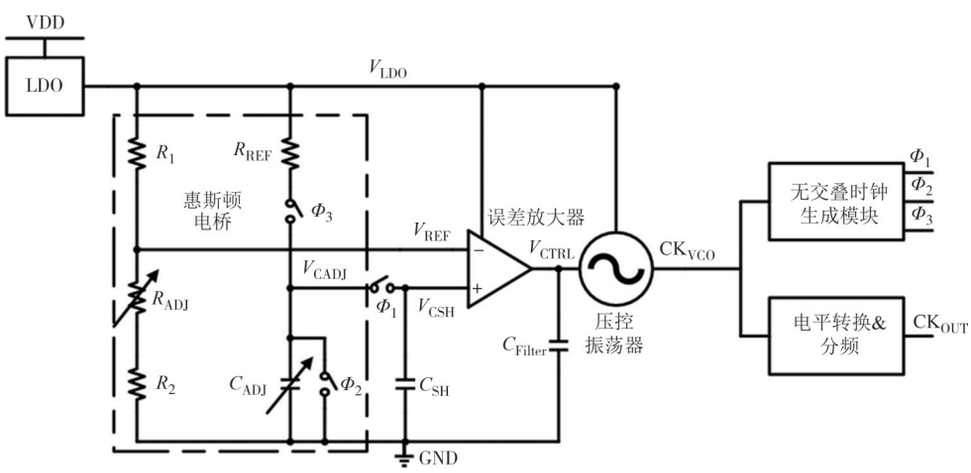

图1　本文提出的锁频环型RC振荡器

Fig.1　The proposed frequency-locked-loop RC oscillator

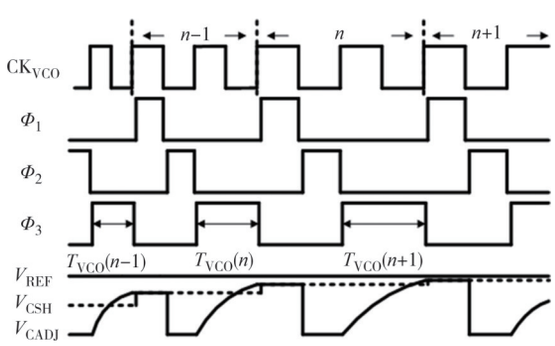

图2　锁频环钟关键信号的时序

Fig.2　The timing diagram of key signals in the frequency-locked loop

如式(1)所示,VCO振荡频率f_{VCO}由电阻R_{REF}和可调电容C_{ADJ}所构成的时间常数决定,通过合理选择R_1、R_2、R_{ADJ}可提供一个倍增系数,达到使用较小的阻容器件在实现低振荡器频率的同时还能节省芯片面积.另外,将电容C_{ADJ}和电阻R_{ADJ}作为可调形式则能用于补偿工艺变化以进一步提高精度.

每轮VCO频率-电压转换操作将持续2个VCO振荡周期;每次转换操作均需完成充电、电压采样和电容清零操作,具体参看时序图2. LDO的作用在于为VCO及其他模块提供精确而稳定的供电电压.最终VCO输出信号经过电平转换和2分频后输出频率为2 MHz左右、占空比精确为50%的时钟信号.

2　锁频环小信号分析

对锁频环中各模块进行了小信号建模,最终形成了如图3所示的环路小信号模型.其中误差放大器等效为1阶跨导放大器$A(s)$;压控振荡器等效为增益为K_{VCO}的放大器;$G_{FVC}(z)$代表了惠斯顿电桥和采样保持电路.

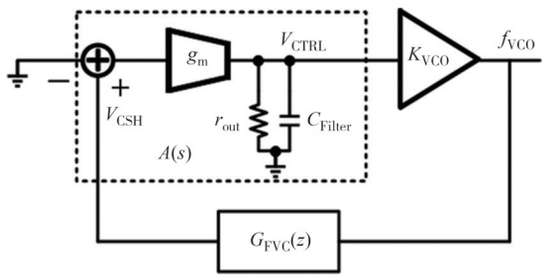

图3 锁频环小信号模型

Fig.3 The small signal model of frequency-locked loop

结合图2所示时序图可知,锁频环路将以2个VCO当前振荡周期为1节拍,轮替地完成VCO振荡频率至电压的转换和电压采样操作.为求得锁频环路开环传递函数,以第n个节拍为例进行分析.假设在该节拍开始时VCO振荡的周期为$T_{VCO}(n)$,则当电容C_{ADJ}充电结束时其电压应为

$$V_{CADJ}(n)=V_{LDO}\left(1-\mathrm{e}^{-\frac{T_{VCO}(n)}{R_{REF}C_{ADJ}}}\right) \tag{2}$$

假设最终反馈环路稳定时,VCO的振荡频率为f_{VCO},由式(1)和式(2)可求得此时小信号下电压-频率转换模块的增益为

$$K_{FVC}=\frac{-R_1}{R_1+R_2+R_{ADJ}}\ln\left(1+\frac{R_2+R_{ADJ}}{R_1}\right)\frac{V_{LDO}}{f_{VCO}} \tag{3}$$

当电容C_{ADJ}和C_{SH}完成共享电荷时有

$$\begin{cases}Q(n-1)=V_{CADJ}(n-1)C_{ADJ}+V_{CSH}(n-1)C_{SH}\\ Q(n)=V_{CSH}(n)\left(C_{ADJ}+C_{SH}\right)\\ Q(n)=Q(n-1)\end{cases} \tag{4}$$

利用z变换可得

$$V_{CSH}(z)=\frac{\frac{C_{ADJ}}{C_{ADJ}+C_{SH}}z^{-1}}{1-\frac{C_{SH}}{C_{ADJ}+C_{SH}}z^{-1}}V_{CADJ}(z) \tag{5}$$

当$C_{SH}\ll C_{ADJ}$时,其传递函数可近似为

$$G_{FVC}(z)=\frac{V_{CSH}(z)}{V_{CADJ}(z)}\approx z^{-1} \tag{6}$$

同时,当锁频环路带宽远小于采样频率(πf_{VCO})时,锁频环路可视为时间连续系统,最终其s域开环传递函数可表示为

$$H_{Open}(s)=\frac{K_{FVC}K_{VCO}g_m r_{out}}{1+sr_{out}C_{Filter}}\mathrm{e}^{-sT_{VCO}} \tag{7}$$

此时锁频环路带宽可通过式(8)进行计算:

$$\omega_B\approx K_{FVC}K_{VCO}\frac{g_m}{C_{Filter}}\ll \pi f_{VCO} \tag{8}$$

为了验证以上小信号模型,对小信号模型与实际振荡器电路进行了抗扰动的对比仿真.其中,VCO稳定振荡时频率$f_{VCO}=4$ MHz;时间常数$R_{REF}C_{ADJ}=360$ ns,参考电压$V_{REF}=0.5V_{LDO}$,LDO的输出电压$V_{LDO}=1.2$ V;电阻比例设置为2,进而可计算得到小信号模型的$K_{FVC}=103.972$ mV/MHz;误差放大器的增益带宽积(GBW)取$g_m/C_{Fliter}=500$ krad/s;压控振荡器增益取$K_{VCO}=20$ MHz/V.由式(8)计算得到闭环带宽为$\omega_B\approx 1.04$ Mrad/s.仿真时,在电压V_{CTRL}上产生阶跃电压干扰,以考察实际环路和小信号模型对此的瞬态响应.仿真结果如图4所示,两种模式下的电压V_{CTRL}变化趋势基本一致;从中可以看到,环路恢复时间约为4 μs,这与所计算环路带宽ω_B基本吻合.

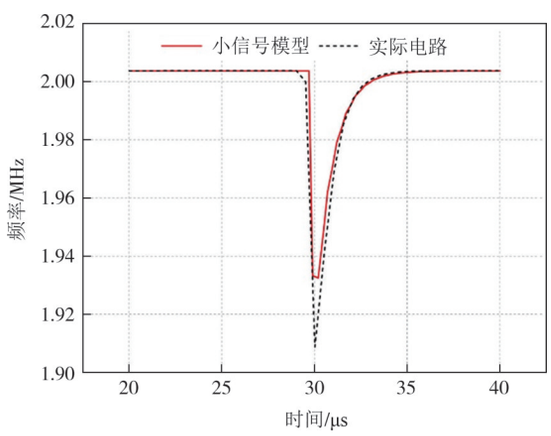

图4 小信号模型与实际电路仿真对比

Fig.4 Comparison between simulations of the small signal model and the actual circuit

3 电路实现

图5展示了低功耗VCO的电路结构,可见VCO采用了常规反相器级联负反馈结构.相对于反相器级联负反馈结构的环形振荡器而言,4 MHz的目标频率过低,这意味着需要级联数额众多的反相器以提供足够的环路延迟.若反相器数量不足,则将造成单个反相器延迟较长.如果采用常规反相器,则将导致其N/PMOS管长时间的同时导通,最终消耗大量电流.为解决此问题,本文利用高阈值MOS管来构造反相器并将VCO分为了三级:第一级由4个反相器级联而成;每个反相器由高阈值N/PMOS管构成并且在放电通路上串联有用于调整振荡频率的NMOS管;通过改变NMOS管栅压可实现VCO频率调整.由于VCO采用LDO的输出电压进行供电,并且本设计中LDO输出电压值设置为低于反相器N/PMOS的阈值电压之和,有效地避免了N/PMOS同时导通,降低了

短路电流,使得 VCO 的电流消耗大大降低[24].第二级仍然采用高阈值 MOS 管构成,主要实现对第一级输出信号进行整形.第三级为普通 MOS 管反相器,用于提高时钟信号的摆率和带载能力.

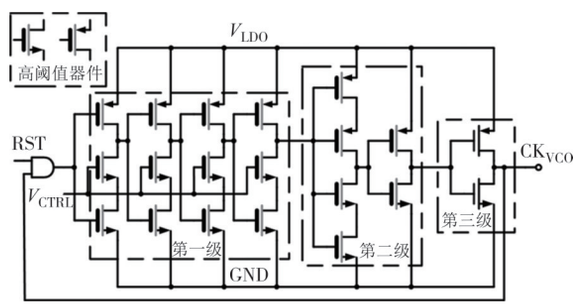

图 5　低功耗压控振荡器

Fig.5　The schematic of low-power voltage-controlled oscillator

图 6 展示了无交叠时钟生成模块的电路结构.VCO 输出时钟 CK_{VCO} 首先通过 D 触发器,使用触发器的输出 Q 端使能控制 Φ_1 和 Φ_2 信号;Φ_3 由触发器 $\bar{Q}$ 端延迟而成.当 Q 为高电平时,若 CK_{VCO} 为高电平,则 Φ_1 会在 Φ_3 回到低电平后输出高电平,确保 Φ_1 和 Φ_3 不存在交叠时间.若 CK_{VCO} 为低电平,则 Φ_2 在 Φ_1 回到低电平后输出高电平,确保 Φ_2 和 Φ_1 不存在交叠时间.在 Q 转为低电平的一段延迟后,Φ_3 转变为高电平,以确保 Φ_3 和 Φ_2 不存在交叠时间;由于该延迟对 Φ_3 整体进行了延迟,因此 Φ_3 的有效时间仍为 CK_{VCO} 信号的一个完整时钟周期.

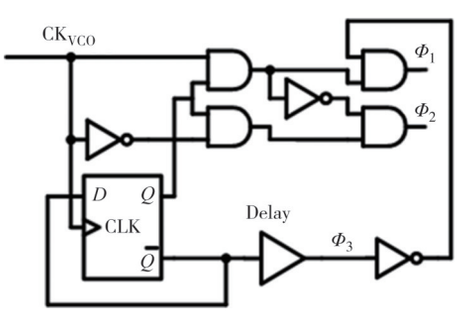

图 6　无交叠时钟生成电路

Fig.6　The schematic of non-overlapping clock generator

4　测试结果

本振荡器电路作为某款芯片的子电路设计实现,最终在 CSMC 180 nm BCD 上进行了流片验证;芯片照片如图 7 所示,振荡器中所有器件皆实现了片上集成,其核心面积约为 0.08 mm^2.根据项目指标要求,本设计的工作电压为 2.5~5.5 V.测试显示,由于工艺偏差,在室温、4 V 供电电压下振荡器初始频率约为 1.7 MHz,频率偏差为 0.3 MHz;该偏差为此类闭环振荡器所固有而难以避免,因此通过对 R_{ADJ}、C_{ADJ} 修调的方式最终将频率调整至 1.98 MHz.图 8 展示了经过修调后输出时钟信号的瞬态波形.

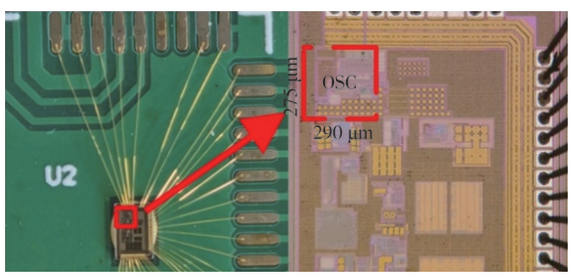

图 7　芯片照片

Fig.7　Die photo

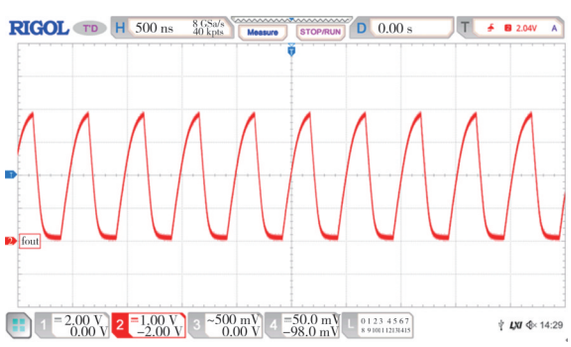

图 8　振荡器输出波形

Fig.8　Output waveform of oscillator

完成频率修调后,在不改变 R_{ADJ}、C_{ADJ} 的情况下对振荡器进行了温漂和电源抑制测试,取所测得的所有频率值的平均值作为中心点用于计算频率误差,测试结果分别如图 9 和图 10 所示.

在温漂测试中,当温度从-20 ℃变化至 100 ℃时,

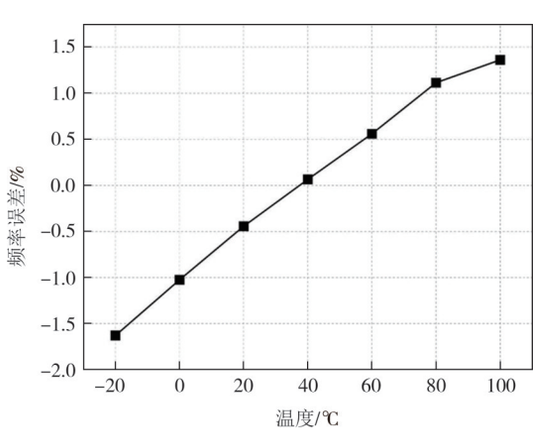

图 9　频率误差随温度变化曲线

Fig.9　Curve of frequency error with temperature

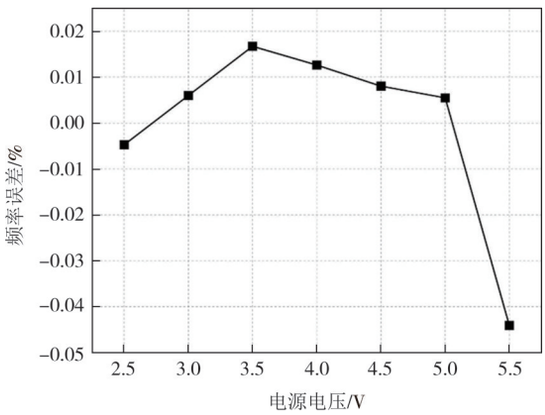

图 10 频率误差随电压变化曲线

Fig.10 Curve of frequency error with supply voltage

振荡器频率随温度略微上升;其频率由 1.950 MHz 升至 2.010 MHz,平均温度系数为 250 × 10^{-6}/℃.

在电源抑制能力测试中,芯片的电源电压由 2.5 V 逐步升至 5.5 V,振荡器频率变化呈现出上凸特性并在 3.6 V 时达到峰值 2.036 MHz,变化率低于 0.01%,即 200×10^{-6}/V,具有良好的电源抑制能力.然后,在芯片电源电压为 4 V 时对振荡器功耗进行了测试,测试结果显示振荡器整体电流消耗仅为 11.26 μA.表 1 中对本振荡器测试指标进行了总结并与当前业界参考设计进行了比较.如表 1 所示,本设计在较宽的电源电压范围内实现了较好的电源抑制能力,同时还具有较为优良的品质因数(FoM).

表 1 性能总结与最新技术成果对比

Tab.1 Performance summary and comparison with other state-of-the-artworks

文献	工艺/nm	输出频率/kHz	面积/mm^2	温度范围/℃	温度系数/(10^{-6}·℃$^{-1}$)	电源范围/V	电压灵敏度/(10^{-6}·V^{-1})	电流/μA	FoM
ISSCC[21]	180	10 000	0.01	−45~125	31.5	1.5~1.8	9 000	85	41.5
CICC[23]	180	66.9	0.145	−20~100	10	1.2~1.9	4 000	0.056	205.97
		16.5			5.83		6 000	0.020	162.65
		153.6			10		11 000	0.113	85.22
JSSC[24]	180	70.4	0.26	−40~80	34.3	1.2~1.8	7 500	0.11	9.57
本文	180	1 980	0.08	−20~100	250	2.5~5.5	200	11.26	44.40

注:FoM=输出频率/(面积×电流×温度系数×线性灵敏度)×10^3;表中数据全部为测试结果

5 结 论

本文设计了一种高电源抑制比的低功耗全集成 RC 振荡器.利用惠斯顿电桥结构构造了锁频环以实现对压控振荡器的负反馈控制.本文对锁频环环路进行了小信号建模分析;小信号模型和实际电路的对比仿真结果验证了模型的有效性.采用 CSMC 180 nm BCD 工艺完成了振荡器的电路设计和流片验证,芯片面积不超过 0.08 mm^2.测试结果显示,该振荡器中压控振荡器和锁频环工作正常,输出 1.98 MHz 的时钟信号.但受工艺限制,惠斯顿电桥电阻阻值受温度影响较大,从而导致最终振荡器温度系数仅为 250×10^{-6}/℃,后续将考虑采用温补电阻等手段改善其温度系数.由于本设计采用多重技术以降低电源电压波动的影响,最终其电源抑制能力达到了 200×10^{-6}/V 的较好水平.与同类设计相比,由于本振荡器工作频率较高,其工作电流相对较大;但在综合考虑输出频率、电流、芯片面积等因素后,本设计依然能够获得较为优良的品质因数(FoM).

参考文献

[1] DONG Z C, LIU S B, ZHAO X T, et al. A 0.08%/V 32.3-ppm/℃ 36.6-kHz unregulated current-reuse ring oscillator with VGS-ratio-based compensation using one-type-only resistor[J]. IEEE Journal of Solid-State Circuits, 2024, 59(11): 3767-3779.

[2] KHASHABA A, ZHU J H, PAL N, et al. A 32-MHz, 34-μW temperature-compensated RC oscillator using pulse density modulated resistors[J]. IEEE Journal of Solid-State Circuits, 2022, 57(5): 1470-1479.

[3] HUANG Y B, CHEN Y, YANG K Y, et al. A 28-nm 368-fJ/cycle, 0.43%/V supply-sensitivity, FLL-based RC oscillator featuring positive-TC-only resistors and ΔΣM-based trimming[J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2023, 70(11): 3950-3954.

[4] JUNG C, SEONG H, CHOI I, et al. A process-scalable ultra-low-voltage sleep timer with a time-domain amplifier and a switch-less resistance multiplier[J]. IEEE Journal of Solid-State Circuits, 2023, 58(10): 2675-2684.

[5] ROBERT C, LAJOINIE J, BARTHÉLÉMY H, et al. High frequency analysis of inductor temperature dependence for on-chip LC-based frequency reference [C]//2024 31st IEEE International Conference on Electronics, Circuits and Systems (ICECS), November 18-20, 2024, Nancy, France: IEEE, 2025: 1-4.

[6] BAE S, LEE M, YOO S M, et al. A temperature compensated ring oscillator with LC-based period error detection [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2023, 31(12): 2152-2156.

[7] PAN S N, AN X M, YU Z R, et al. A compact 10-MHz RC frequency reference with a versatile temperature compensation scheme[J]. IEEE Journal of Solid-State Circuits, 2023, 58(12): 3450-3458.

[8] LIU Z Y, JIN L S, ZHANG M, et al. A 24-MHZ relaxation oscillator without comparators [C]//2023 6th International Conference on Electronics Technology (ICET), May 12-15, 2023, Chengdu, China: IEEE, 2023: 377-381.

[9] JAIN A, HULUVALLAY A, HAMED E A, et al. A 100 Hz, 2 nW RC oscillator using resistance amplifier[C]//2024 IEEE European Solid-State Electronics Research Conference (ESSERC), September 9-12, 2024, Bruges, Belgium: IEEE, 2024: 701-704.

[10] LIU Y D, ZHU Z H, BAO R X, et al. A compact sub-nW/kHz relaxation oscillator using a negative-offset comparator with chopping and piecewise charge-acceleration in 28-nm CMOS[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2024, 71(2): 515-525.

[11] LIU Y D, ZHU Z H, BAO R X, et al. A low-power RC oscillator with offset and path delay cancellation [C]//2021 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), November 24-26, 2021, Zhuhai, China. IEEE, 2022: 12-13.

[12] TOKAIRIN T, NOSE K, TAKEDA K, et al. A 280 nW, 100 kHz, 1-cycle start-up time, on-chip CMOS relaxation oscillator employing a feedforward period control scheme [C]//2012 Symposium on VLSI Circuits (VLSIC), June 13-15, 2012, Honolulu, HI, USA: IEEE, 2012: 16-17.

[13] DAI S S, ROSENSTEIN J K. A 14.4nW 122 kHz dual-phase current-mode relaxation oscillator for near-zero-power sensors [C]//2015 IEEE Custom Integrated Circuits Conference (CICC), September 28-30, 2015, San Jose, CA, USA. IEEE, 2015: 1-4.

[14] 周朝阳, 刘云涛, 王立晶, 等. 一种基于斩波拓扑的高精度 RC 振荡器[J]. 微电子学, 2024, 54(1): 73-78.
ZHOU C Y, LIU Y T, WANG L J, et al. A high precision RC oscillator based on chopper topology[J]. Microelectronics, 2024, 54(1): 73-78. (in Chinese)

[15] 李静, 刘会刚, 肖知明. 一种超低功耗高精度的 RC 振荡器设计[J]. 南开大学学报(自然科学版), 2024, 57(1): 67-72.
LI J, LIU H G, XIAO Z M. Design of a RC oscillator with ultra-low power consumption and high precision[J]. Journal of Nankai University (Natural Science), 2024, 57(1): 67-72. (in Chinese)

[16] PAIDIMARRI A, GRIFFITH D, WANG A, et al. A 120 nW 18.5 kHz RC oscillator with comparator offset cancellation for ±0.25% temperature stability[C]//2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, February 17-21, 2013, San Francisco, CA, USA: IEEE, 2013: 184-185.

[17] SHEN B Y, BOSE S, JOHNSTON M L. A frequency-locked oscillator using complex RC impedance IQ-balancing[J]. IEEE Journal of Solid-State Circuits, 2022, 57(3): 677-687.

[18] CHENG K W, CHANG S K, LI B S, et al. Design and analysis of a resistive frequency-locked oscillator with long-term stability using double chopper stabilization [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2023, 70(2): 655-666.

[19] LEE J, PARK P, CHO S, et al. 5.10 A 4.7 MHz 53 μW fully differential CMOS reference clock oscillator with −22dB worst-case PSNR for miniaturized SoCs [C]//2015 IEEE International Solid-State Circuits Conference-(ISSCC) Digest of Technical Papers, February 22-26, 2015, San Francisco, CA, USA: IEEE, 2015: 1-3.

[20] AN X M, PAN S N, JIANG H, et al. A 0.01 mm^2 10 MHz RC frequency reference with a 1-point on-chip-trimmed inaccuracy of 0.28% from −45 ℃ to 125 ℃ in 0.18 μm CMOS[C]//2023 IEEE International Solid-State Circuits Conference (ISSCC), Februarg 19-23, 2023, San Francisco, CA, USA: IEEE, 2023: 60-62.

[21] KHASHABA A, ZHU J H, AHMED M, et al. 3.5 a 34 μW 32 MHz RC oscillator with ±530 ppm inaccuracy from-40 ℃ to 85 ℃ and 80 ppm/V supply sensitivity enabled by pulse-density modulated resistors [C]//2020 IEEE International Solid-State Circuits Conference-(ISSCC), February 16-20, 2020. San Francisco, CA, USA: IEEE, 2020: 66-68.

[22] TRUESDELL D S, DISSANAYAKE A, CALHOUN B H. A 0.6 V 44.6 fJ/cycle energy-optimized frequency-locked loop in 65 nm CMOS with 20.3 ppm/℃ stability[J]. IEEE Solid-State Circuits Letters, 2019, 2(10): 223-226.

[23] CHEN P Y, LI D, YU Z H, et al. A 0.84 pJ/cycle Wheatstone bridge based CMOS RC oscillator with reconfigurable frequencies [C]//2019 IEEE Custom Integrated Circuits Conference (CICC), April 14-17, 2019, Austin, TX, USA: IEEE, 2019: 1-4.

[24] CHOI M, JANG T, BANG S, et al. A 110 nW resistive frequency locked on-chip oscillator with 34.3 ppm/℃ temperature stability for system-on-chip designs [J]. IEEE Journal of Solid-State Circuits, 2016, 51(9): 2106-2118.