

文章编号: 1671-7449(2026)04-0500-07

J. Test Measur. Technol., 2026, 40(4): 500-506.

基于填充式缓冲结构的低应力 TSV 设计

李 鹏, 石云波*, 赵 锐, 曲云天, 李祥宇, 贺子树

(中北大学 电子测试技术重点实验, 山西 太原 030051)

摘 要: 随着三维集成与 MEMS 器件向高集成度与高可靠性方向发展, 传统硅通孔 (Through-Silicon Via, TSV) 结构在温度载荷作用下因材料热膨胀系数失配而引发的界面热应力集中问题日益突出, 成为影响器件可靠性的关键因素。针对上述问题, 在不改变 TSV 主体通孔结构及现有基本工艺流程的前提下, 提出一种填充式缓冲结构 TSV 设计方案, 通过在通孔外围引入填充低杨氏模量材料的环形缓冲沟槽, 从而降低界面应力集中。基于该结构设计, 通过有限元仿真分析 TSV 通孔结构参数及缓冲结构参数对热应力的影响。结果表明, 当通孔为圆柱形且直径为 $50\text{ }\mu\text{m}$, 缓冲结构宽度、间隔及深度均为 $5\text{ }\mu\text{m}$, 填充材料选用苯并环丁烯 (BCB) 时, TSV 的最大热应力降低至 540.35 MPa , 较无缓冲结构 TSV 下降约 28.6% , 为在现有工艺框架内实现低应力、高可靠 TSV 互连提供了一种具有可行性的设计思路。

关键词: 硅通孔; 有限元分析; 热可靠性; 缓冲结构; 低应力

中图分类号: TH405

文献标识码: A

DOI: 10.62756/csjs.1671-7449.2026055

引用格式: 李鹏, 石云波, 赵锐, 等. 基于填充式缓冲结构的低应力 TSV 设计[J]. 测试技术学报, 2026, 40(4): 500-506.

Li Peng, Shi Yunbo, Zhao Rui, et al. Low-Stress TSV design based on filled-type buffer structure[J]. Journal of Test and Measurement Technology, 2026, 40(4): 500-506.

Low-Stress TSV Design Based on Filled-Type Buffer Structure

Li Peng, Shi Yunbo*, Zhao Rui, Qu Yuntian, Li Xiangyu, He Zishu

(Science and Technology on Electronic Test & Measurement Laboratory, North University of China, Taiyuan 030051, China)

Abstract: With the continuous advancement of three-dimensional integration and MEMS devices toward higher integration density and reliability, interfacial thermal stress concentration induced by the mismatch of coefficients of thermal expansion under thermal loading is increasingly observed in conventional through-silicon via (TSV) structures and is regarded as a critical factor affecting device reliability. To address this issue, a filled buffer-structure TSV design is proposed without altering the main TSV via structure or the existing basic fabrication process. An annular buffer trench filled with a low-Young's-modulus material is introduced around the via to alleviate interfacial stress concentration. Based on this structural design, the effects of TSV geometric parameters and buffer-structure parameters on thermal stress are analyzed using finite element simulations. The results indicate that when the via is cylindrical with a diameter of $50\text{ }\mu\text{m}$, the buffer width, spacing and depth are each set to $5\text{ }\mu\text{m}$, and benzocyclobutene (BCB) is selected as the filling material, the maximum thermal stress of the TSV is reduced to 540.35 MPa , corresponding to a

【收稿日期】2025-10-25

【修回日期】2026-02-27

【录用日期】2026-03-11

【基金项目】国家自然科学基金资助项目(52375553)

【作者简介】李 鹏 (2001—), 男, 硕士生, 主要从事 MEMS 器件设计与 MEMS 传感器封装结构设计研究。E-mail: 923956677@qq.com。

*【通信作者】石云波 (1972—), 男, 教授, 博士, 主要从事 MEMS 技术、微惯性技术、硬件电路研究。E-mail: shiynbo@nuc.edu.cn。

reduction of approximately 28.6% compared with a TSV without a buffer structure. This design provides a feasible approach for achieving low-stress and high-reliability TSV interconnections within the existing process framework.

Key words: through silicon via; finite element analysis; thermal reliability; buffer structure; low stress

0 引 言

随着微机电系统(Micro-Electro-Mechanical System, MEMS)与超大规模集成电路(Very Large Scale Integration Circuit, VLSI)向高密度、小型化和高性能方向不断发展,硅通孔(Through-Silicon Via, TSV)已成为实现三维集成电路(3D-IC)与先进封装的关键互连技术^[1-4]。通过在硅片内部构建高深宽比金属通孔,TSV能够显著缩短互连长度、降低寄生效应并提升系统整体性能。然而,在实际制备与服役过程中,TSV结构需经历多次高温退火、封装互联键合,以及循环变化的工作环境温度,其由铜导体、绝缘介质层及硅衬底构成的多材料异质体系在温度载荷作用下不可避免地产生显著的热失配效应,由此引发的界面热应力集中已成为制约 TSV 热机械可靠性的重要问题^[5-8]。

已有研究表明,由于铜(Cu)与硅(Si)及二氧化硅(SiO₂)之间存在较大的热膨胀系数(Coefficient of Thermal Expansion, CTE)差异^[9-10],在温度变化过程中Cu导体产生的径向与轴向热膨胀受到周围材料的强烈约束,导致TSV近表面区域界面处出现高幅值热应力集中^[11]。如Kino等^[12]指出在400℃退火条件下,Cu-TSV在Si表面的最大热应力可达920 MPa,表明传统TSV结构在高温载荷作用下存在显著的界面应力集中风险。丁英涛等^[13]通过对同轴TSV结构的热力学仿真分析发现,其热应力主要集中分布于SiO₂绝缘层界面处,峰值应力高达1 330.25 MPa,同样处于极高应力水平区间。Wang等^[14]针对150℃退火温度下TSV结构的分析结果表明,其最大热应力仍位于Cu-TSV界面边缘区域,峰值约为430.13 MPa。

上述研究表明,传统TSV在不同结构参数与工艺温度条件下,其界面热应力通常达到100~1 000 MPa。此类高应力在长期复杂服役环境中易引发介质层开裂、界面分层及局部Si衬底损伤等失效问题,进而削弱MEMS器件的结构完整性、信号稳定性与服役寿命^[15]。因此,在不显著增加制备工艺复杂度和成本的前提下,实现TSV

界面热应力的有效降低,已成为TSV可靠性设计中亟需解决的关键问题之一。

针对TSV热应力问题,已有研究从材料替换与结构优化等方面展开探索,如采用碳纳米管、钨等材料替代Cu填充,或以低杨氏模量聚合物取代传统SiO₂绝缘层,均可在一定程度上缓解应力集中^[16-17]。然而,这些方法往往存在材料填充致密性与均匀性差、制备工艺兼容性不足等问题。而中空或异形TSV等结构方案虽具备应力缓解潜力,但工艺复杂、几何一致性难以控制,实际应用同样受限^[18]。

基于上述问题,本文围绕TSV界面热应力集中问题,提出一种具有工艺可行性的填充式缓冲结构TSV设计方案,并通过有限元仿真系统分析了TSV通孔几何形状及结构参数对热应力分布的影响,以及缓冲沟槽尺寸和填充材料性能对界面热应力的调控作用。结合正交试验设计,对缓冲结构关键参数进行多因素优化,获得兼顾应力缓解效果与结构合理性的参数组合。

1 结构设计与仿真模型

为解决传统TSV在温度载荷作用下因材料热膨胀系数失配而产生的界面热应力集中问题,本文在不改变TSV主体通孔结构及现有工艺制备路线的前提下,提出一种填充式缓冲结构TSV设计方案,如图1所示。该结构通过在TSV通孔外围一定距离处刻蚀环形缓冲沟槽,并填充低杨氏模量材料,在Cu导体与Si基底之间引入局部柔性缓冲区域,从结构层面削弱界面处由热失配引起的应力集中。

基于上述结构设计思想,本文进一步选取圆柱形与圆锥形两类典型TSV结构作为研究对象,建立相应的有限元物理模型,对不同TSV通孔几何形状、结构参数,以及缓冲结构与填充材料条件下的热应力分布特性进行系统分析,为后续填充式缓冲结构参数优化提供依据。

图2为圆柱形及圆锥形填充式缓冲结构TSV几何模型。TSV的基本结构由Cu导体、SiO₂绝缘层、钛(Ti)阻挡层,以及Si基底组成。由于Ti阻挡层厚

度通常处于纳米量级,其整体应力分布与热传导性能的影响可以忽略,因此在有限元建模过程中不再单独考虑。模型几何参数如表 1 所示。

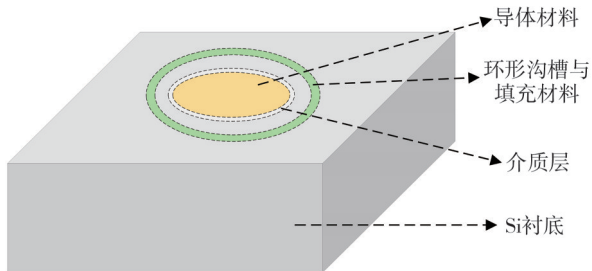


图 1 填充式缓冲结构 TSV 示意图
Fig. 1 Schematic diagram of TSV with filled buffer structure

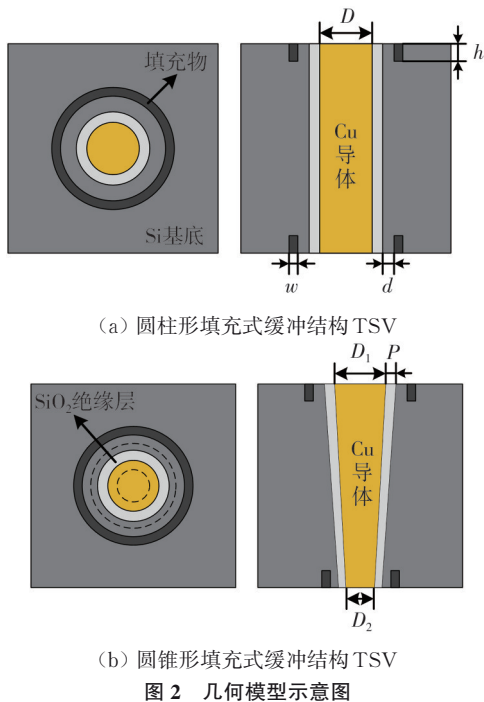


图 2 几何模型示意图
Fig. 2 Schematic diagram of geometric model
表 1 TSV 模型几何参数
Tab. 1 TSV model geometric parameters

参数	数值/ μm
圆柱形 TSV 直径(D)	70
圆锥形 TSV 上表面直径(D_1)	70
圆锥形 TSV 下表面直径(D_2)	50
SiO_2 绝缘层厚度(P)	1
填充式缓冲结构宽度(w)	5
填充式缓冲结构深度(h)	5
填充式缓冲结构间隔(d)	5

对于填充式缓冲结构 TSV,除上述材料外,缓冲槽内填充材料的力学与热学性能亦对界面应力分布具有重要影响。常见缓冲材料包括 SiO_2 及多种聚合物。另外该种材料的低杨氏模量与良好热稳定性是关键选择标准。基于此,本文选取 SiO_2 、聚酰亚胺(PI)和苯并环丁烯(BCB)3种典型材料进行对比

分析。表 2 为仿真所用材料参数。

表 2 材料参数
Tab. 2 Material Parameters

材料名称	杨氏模量/GPa	泊松比	$\text{CTE}/(^{\circ}\text{C}^{-1})$
Si	190	0.28	2.8×10^{-6}
Cu	130	0.33	1.7×10^{-5}
SiO_2	80	0.22	5.5×10^{-7}
PI	4	0.35	4.5×10^{-5}
BCB	3	0.33	4.2×10^{-5}

考虑到完整 TSV 芯片结构尺寸较大,若直接建模将显著增加计算量,因此在保证计算精度的前提下,本研究选取尺寸半径为 $200\text{ }\mu\text{m}$ 范围内的四分之一 TSV 作为有限元研究对象。边界条件设置为模型外侧施加固定约束,内侧两截面设置为无摩擦对称约束,以模拟制备及封装过程中对 Si 衬底的固定状态。初始温度设置为 $22\text{ }^{\circ}\text{C}$,施加 $25\sim 250\text{ }^{\circ}\text{C}$ 的温度循环,以再现 TSV 在实际制备中退火条件与封装键合过程中经历热载荷所导致的热应力。

2 仿真结果与分析

2.1 TSV 通孔形状的影响

图 3 为圆柱形 TSV、圆锥形 TSV 及其对应填充式缓冲结构 TSV 在温度循环载荷作用后,于 $250\text{ }^{\circ}\text{C}$ 条件下的热应力分布云图。结果表明,4 种结构 TSV 的最大热应力均集中在 SiO_2 绝缘层与 Cu 导体、Si 衬底的交界区域。这主要是因为不同材料界面之间存在显著的 CTE 差异,Cu 导体因 CTE 较大,在加热过程中产生更强的膨胀趋势,而周围的 SiO_2 绝缘层及 Si 基底对其膨胀行为形成约束,从而在界面区域引发强烈的挤压效应并导致应力集中。其中,圆柱形 TSV 的最大应力为 756.81 MPa ,圆锥形 TSV 的最大应力则升高至 793.33 MPa ;当引入填充式缓冲结构后,对应的圆柱形与圆锥形 TSV 的最大应力分别降低至 579.09 MPa 和 648.16 MPa 。

由图 3 分析可知,圆锥形 TSV 虽在下表面应力水平相对较低,但在其上表面出现明显应力增大,增加了潜在失效风险;相比之下,圆柱形 TSV 的应力峰值较小,且应力分布更为均匀,展现出更优的结构稳定性。而填充式缓冲结构通过在 TSV 通孔外围引入低模量填充材料,形成柔性过渡层,有效降低了因 CTE 失配造成的界面热应力集中,从而显著降低整体应力水平。由此可知,填充式缓冲结构在降低 TSV 热应力方面效果显著,而圆柱形通孔形状在应力控制与结构稳定性方面表现更佳。该结果也

表明,在对 TSV 热机械可靠性的设计中,合理选择通孔几何形状是降低界面热应力集中的基础前提,可以为后续缓冲结构的引入提供了稳定的结构基础。

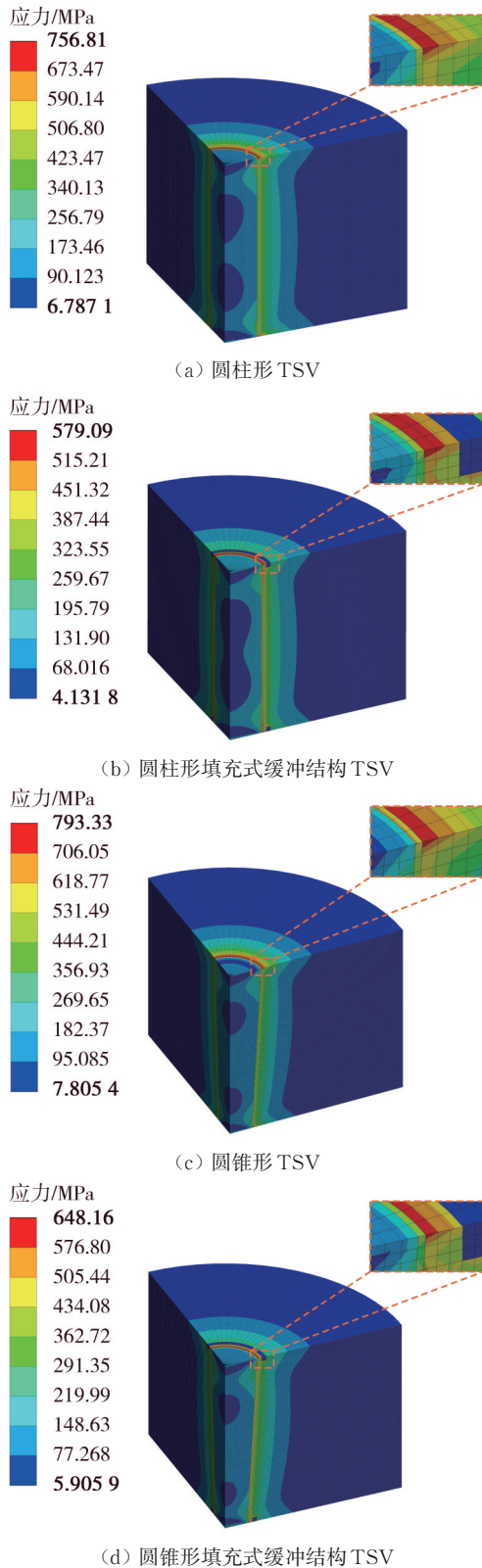


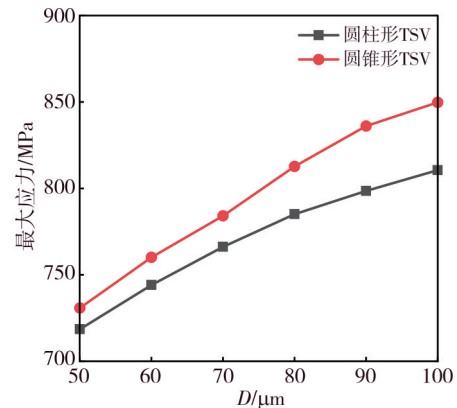
图 3 TSV 热应力分布云图

Fig. 3 TSV thermal stress distribution contour map

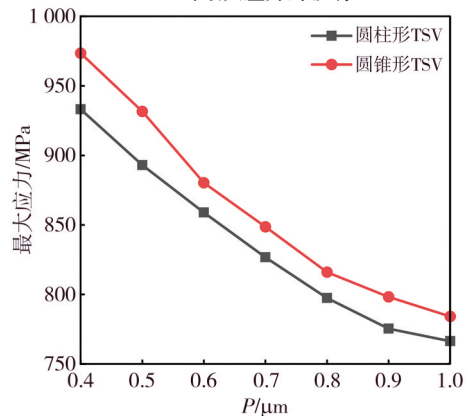
2.2 TSV 通孔结构参数的影响

TSV 的整体性能不仅取决于通孔的几何形状,还受到通孔结构参数的显著影响。其中,通孔的 D 与 P 等关键参数直接决定了热应力的集中程度。因此,在对填充物材料及缓冲结构参数分析前,还需分析通孔结构参数对热应力分布的影响。

为探究 D 对 TSV 热应力的影响,改变其值在 $50 \sim 100 \mu\text{m}$ 内变化,其余结构参数均保持不变,对于圆柱形 TSV, D 在整个高度方向保持一致;而对于圆锥形 TSV 保持侧面倾斜角恒定的前提下,调整上 D_1 变化。结果如图 4(a) 所示,随着 D 的逐渐增大,最大应力值呈持续升高趋势。这一现象主要归因于温度载荷作用下, Cu 导体体积随 D 增大而显著增加,热膨胀效应更为突出,从而引起与周围 SiO_2 绝缘层之间更强烈的界面约束作用,导致整体热应力水平升高,并加剧局部界面附近的应力集中。



(a) D 对最大应力的影响



(b) P 对最大应力的影响

图 4 结构参数 D 和 P 对最大应力的影响

Fig. 4 Effect of structural parameters D and P on the stress

为探究 P 对 TSV 热应力的影响,考虑实际工艺限制,将其值设置在 $0.4 \sim 1.0 \mu\text{m}$ 内变化。结果如

图4(b)所示,随着 P 的增加,TSV的最大应力值呈显著降低趋势。这是因为较厚的绝缘层能够在温度载荷作用下吸收或缓冲更多的应变能,从而有效削弱界面处的应力集中效应。综合上述分析,最终选取圆柱形TSV作为基础结构形式,并确定其关键结构参数为 $D=50\text{ }\mu\text{m}$ 、 $P=1\text{ }\mu\text{m}$ 。

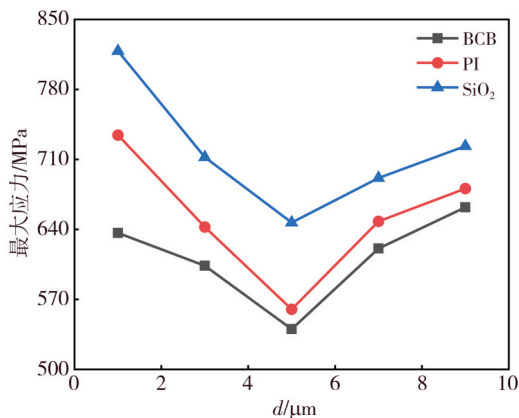
2.3 填充式缓冲结构仿真

2.3.1 材料及缓冲结构参数对热应力的影响

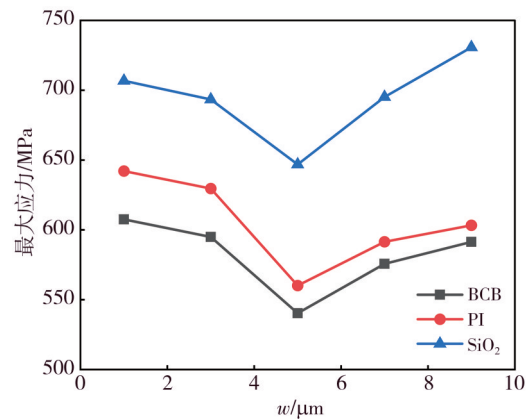
为进一步探讨不同填充材料及缓冲结构参数对热应力的影响,本文在确定TSV通孔形状及主要结构参数的基础上,对采用不同材料填充的填充式缓冲结构TSV开展有限元仿真分析。在分析过程中分别固定填充或缓冲结构的 d 、 w 及 h 其中两项参数,单独改变另一参数以研究结构参数对热应力分布的影响。

如图5所示,在不同填充材料条件下,最大应力随参数 d 、 w 以及 h 的增加均表现出先减小后增大的非线性变化规律。该现象表明,缓冲结构参数对应力缓解效果并非单调改善,而是通过结构尺度与材料性能的协同设计选取最优取值区间。

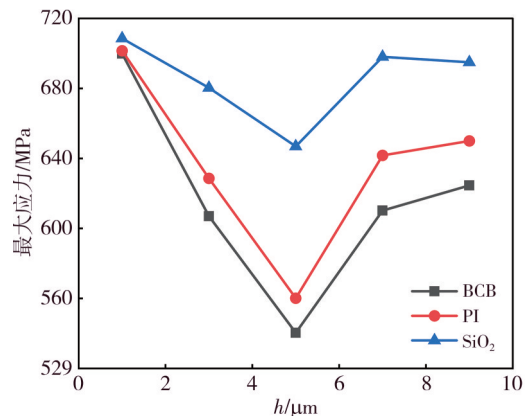
其中,间隔 d 对热应力的影响如图5(a)所示,当 d 过小时,虽然缓冲材料能够更直接地布置于热失配最为严重的Cu/SiO₂绝缘层界面附近,从原理上有利于降低热应力,但过小的间距会显著减薄TSV周围Si环的厚度,削弱Si衬底对Cu导体径向热膨胀的约束能力,使局部位移梯度增大,从而在SiO₂绝缘层或沟槽边缘引入新的应力集中。当 d 过大时,缓冲材料远离高应力集中区域,其对界面热失配应变的直接干预能力降低,应力缓解效果随之减弱。



(a) d 对最大应力的影响



(b) w 对最大应力的影响



(c) h 对最大应力的影响

图5 不同填充材料下缓冲结构参数对应力的影响

Fig. 5 Influence of buffer structure parameters on stress under different filling materials

宽度 w 对热应力的影响如图5(b)所示,当 w 较小时,缓冲结构体积有限,低杨氏模量填充材料参与热变形协调的能力不足,界面热失配引起的应力仍主要集中于界面附近。随着 w 的增大,缓冲材料为Cu导体径向热膨胀提供了更大的形变空间,应变能在更大范围内重新分配,从而有效降低界面应力集中程度。然而,当 w 进一步增大时,TSV周围Si衬底的连续性和有效刚度显著下降,Cu导体热膨胀引起的位移梯度在SiO₂绝缘层及沟槽侧壁区域放大,从而引入新的应力集中,使峰值应力反而升高。

深度 h 对热应力的影响如图5(c)所示。类似的,当 h 较小时,缓冲结构体积有限,低杨氏模量填充材料仅对TSV表层区域的热变形产生作用,难以有效参与整体应变协调,因而对应力缓解效果有限。随着 h 的增加,缓冲结构沿TSV轴向延伸,使Cu导体热膨胀引起的轴向形变参与程度提高,热失配应变得以在更大体积范围内重新分

配,从而有效降低界面处的应力集中。然而,当 h 过大时,Si衬底在轴向和径向上的约束能力同时削弱,在沟槽底部及侧壁转角区域形成明显的位移梯度集中,导致界面峰值应力回升。

此外,3种填充材料中BCB的缓冲效果最优,其在整个参数变化范围内的最大应力值均低于传统圆柱形TSV。

2.3.2 基于正交试验法的结构参数优化

根据2.3.1节的结果可知,当填充材料选用BCB时,填充式缓冲结构TSV的整体性能表现最优。为进一步优化缓冲结构参数,本文采用正交试验方法对关键设计因素进行系统分析,从可能的结构参数组合中,选择出具有代表性的部分参数组合来建模并进行仿真数值分析。

本节以填充式缓冲结构的 d 、 w 及 h 作为试验因素,分别设置3、5、7和9 μm 4个水平。正交试验仿真结果如表3所示。

表3 正交试验仿真结果
Tab.3 Orthogonal Test Results

试验组	试验因素			试验结果
	$w/\mu\text{m}$	$d/\mu\text{m}$	$h/\mu\text{m}$	最大应力/MPa
1	3	3	3	608.00
2	3	5	5	551.65
3	3	7	7	607.35
4	3	9	9	628.27
5	5	3	5	542.23
6	5	5	3	571.14
7	5	7	9	624.03
8	5	9	7	586.52
9	7	3	7	575.87
10	7	5	9	616.25
11	7	7	3	594.49
12	7	9	5	634.81
13	9	3	9	649.45
14	9	5	7	608.13
15	9	7	5	610.83
16	9	9	3	613.47

本文采用极差法对正交试验结果进行分析。极差作为各因素在不同水平下最大均值与最小均值之差,其大小反映因素对结果的显著性。通过比较不同因素的极差大小,可以明确主导性结构参数,为后续参数优化提供依据。以最大应力最小化为优化目标,对表3中的仿真试验结果进行极差分析。极差值 R 计算公式为

$$\begin{cases} K_i = \frac{T_i}{n}, \\ R = K_{\max} - K_{\min}, \end{cases} \quad (1)$$

式中: i 为每个因素的水平编号; K_i 为该因素的第 i 参数对应的试验结果平均值; T_i 为一个因素第 i 水平的试验结果之和; n 为一个因素同水平实验重复次数; $K_{\max}$ 和 $K_{\min}$ 分别为 K_i 的最大值和最小值。

由式(1)计算可得 d 、 w 及 h 对应的极差值分别为28.97、39.49、44.62。由此可知,三因素对填充式缓冲结构TSV最大应力的影响顺序依次为 $h > w > d$ 。进一步根据极差法的最优水平组合,得到最佳缓冲结构参数为 $d=5 \mu\text{m}$ 、 $w=5 \mu\text{m}$ 和 $h=5 \mu\text{m}$ 。对该结构参数进行有限元仿真分析得最大应力值为540.35 MPa,相较于传统TSV结构降低约28.6%。

3 结 论

本文通过在TSV周围刻蚀缓冲槽并填充低杨氏模量材料从而形成柔性缓冲层,在不改变基本工艺流程的前提下,有效降低TSV热应力并提升结构可靠性。有限元仿真结果表明:两种通孔几何形状的TSV最大应力均分布在绝缘层与Cu导体及Si衬底的界面处,其中圆柱形通孔结构表现出更优的应力均匀性。随着通孔直径 D 的增大,Cu导体热膨胀失配效应增强,导致最大应力升高;而引入填充式缓冲结构后,最大应力随缓冲结构的 d 、 w 和 h 的变化呈现先减小后增大的非线性规律。正交试验优化结果显示,当 $D=50 \mu\text{m}$ 、 d 、 w 及 h 均为5 μm ,且填充材料为BCB时,最大应力降至540.35 MPa,较传统TSV结构降低约28.6%,显著改善了TSV的热应力分布并提升了整体可靠性。该设计为在现有TSV制程框架内实现低应力、高可靠互连提供了一种具有可行性的设计思路,可为MEMS封装及三维集成器件的可靠性优化提供参考。

利益冲突声明/Conflict of Interests

所有作者声明不存在利益冲突。

All authors declare no relevant conflict of interests.

参考文献

- [1] 赵璋,童志义. 3D-TSV技术:延续摩尔定律的有效通途[J]. 电子工业专用设备, 2011, 40(3): 10-16.
Zhao Zhang, Tong Zhiyi. The 3D-TSV packaging technologies: effective way of continuation Moore's law[J]. Equipment for Electronic Products Manufacturing, 2011, 40(3): 10-16. (in Chinese)

- [2] 李豆, 苏晋荣, 李艳玲. 基于差分信号的硅通孔无损缺陷判断与定位[J]. 测试技术学报, 2021, 35(1): 68-73.
Li Dou, Su Jinrong, Li Yanling. Nondestructive defect detection and localization of through silicon via based on differential signal[J]. Journal of Test and Measurement Technology, 2021, 35(1): 68-73. (in Chinese)
- [3] Zhang J, Chen Y, Zhang L, et al. Application of sine cosine algorithm-support vector regression on temperature compensation of MEMS shear stress sensor[J]. Journal of Measurement Science and Instrumentation, 2023, 14(3): 263-269.
- [4] 刘倩, 邱忠文, 李胜玉. 硅通孔技术可靠性技术概述[J]. 环境技术, 2023, 41(6): 128-132.
Liu Qian, Qiu Zhongwen, Li Shengyu. Review on reliability techniques of through-silicon-via technology[J]. Environmental Technology, 2023, 41(6): 128-132. (in Chinese)
- [5] Li Y, Li S, Chen P, et al. Numerical simulation study on thermomechanical reliability of annealed TSV-Cu structure[C]//2022 23rd International Conference on Electronic Packaging Technology (ICEPT), 2022: 1-6.
- [6] 吕明涛, 何虎. 高加速度载荷下三维堆叠封装冲击可靠性分析[J]. 导航与控制, 2022, 21(3): 181-191.
Lü Mingtao, He Hu. Impact reliability analysis of 3D stacked packaging under high acceleration loads[J]. Navigation and Control, 2022, 21(3): 181-191. (in Chinese)
- [7] Tian W, Dang H, Li D, et al. Reliability simulation analysis of TSV structure in silicon interposer under temperature cycling[J]. Micromachines, 2024, 15(8): 986.
- [8] 李明浩, 王俊强, 闫欣雨, 等. 应用于MEMS封装的TSV热可靠性分析[J]. 微电子学, 2021, 51(5): 756-760.
Li Minghao, Wang Junqiang, Yan Xinyu, et al. TSV thermal reliability analysis of integrated MEMS package[J]. Microelectronics, 2021, 51(5): 756-760. (in Chinese)
- [9] Shen Y, Zhang L, Zhu W, et al. Finite-element analysis and experimental test for a capped-die flip-chip package design[J]. IEEE Transactions on Components, Packaging and Manufacturing, 2016, 6(9): 1308-1316.
- [10] Chen L, Jiang T, Fan X. Die and package level thermal and thermal/moisture stresses in 3-D packaging: modeling and characterization [M]//3D Microelectronic Packaging: From Architectures to Applications. Singapore: Springer Singapore, 2021: 431-469.
- [11] Zare Y, Sasajima Y, Onuki J. A novel lining method for eliminating plastic deformation and protrusion of copper in Cu-TSV using FEM analysis[J]. Journal of Electronic Materials, 2020, 49(6): 3692-3700.
- [12] Kino H, Fukushima T, Tanaka T. Suppression of TSV-induced stress by using negative thermal expansion material[C]//2024 International 3D Systems Integration Conference (3DIC), 2025: 1-3.
- [13] 丁英涛, 吴兆虎, 杨宝焱, 等. BCB介质层同轴TSV的热力学仿真分析[J]. 北京理工大学学报, 2021, 41(1): 65-69.
Ding Yingtao, Wu Zhaohu, Yang Baoyan, et al. Thermodynamics simulation and analysis of coaxial TSV with BCB dielectric layer[J]. Transactions of Beijing Institute of Technology, 2021, 41(1): 65-69. (in Chinese)
- [14] Wang Z, Ye G, Li X, et al. Thermal-mechanical performance analysis and structure optimization of the TSV in 3-D IC[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2021, 11(5): 822-831.
- [15] Li J, Zhang Y, Zhang H, et al. The thermal cycling reliability of copper pillar solder bump in flip chip via thermal compression bonding[J]. Microelectronics Reliability, 2020, 104: 113543.
- [16] Zhu Y, Ghosh K, Li H, et al. On the origins of near-surface stresses in silicon around Cu-filled and CNT-filled through silicon vias[J]. Semiconductor Science and Technology, 2016, 31(5): 055008.
- [17] Tezcan D S, Duval F, Philipsen H, et al. Scalable Through Silicon Via with polymer deep trench isolation for 3D wafer level packaging[C]//2009 59th Electronic Components and Technology Conference, 2009: 1159-1164.
- [18] Qiao J, Jiao B, Jia S, et al. Low-stress TSVs for high-density 3D integration [C]//2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), 2023: 606-611.