引用格式：张波, 周靖贵, 杨宁, 等. 极端电热耦合应力场景下氮化镓功率晶体管可靠性研究进展 [J]. 电子科技大学学报, 2026, 55(5): 641-672.
Zhang Bo, Zhou Jinggui, Yang Ning, et al. Research progress on reliability of GaN power transistors under extreme electrothermal coupled stress[J]. Journal of University of Electronic Science and Technology of China, 2026, 55(5): 641-672. (in Chinese)

极端电热耦合应力场景下氮化镓功率晶体管可靠性研究进展

张 波，周靖贵，杨 宁，黄书婷，周 琦*

（电子科技大学集成电路科学与工程学院，成都 611731）

摘要：氮化镓（GaN）功率高电子迁移率晶体管（HEMT）凭借其宽禁带、高电子迁移率和高临界击穿电场等优异材料特性，在消费电子快充、机器人、AI 算力供电、新能源汽车及宇航等高频高效功率转换领域展现出广阔的应用前景。然而，随着应用场景向高功率密度、高温及强电磁干扰等严苛环境拓展，器件面临的浪涌电压、短路、浪涌电流及高温、高压偏置等极端电热耦合应力对其可靠性构成严峻挑战，成为其大规模工业部署的核心瓶颈。该文围绕上述场景中电热耦合应力下 GaN HEMT 功率晶体管面临的可靠性挑战，重点探讨了面向动态应力场景的高速高精度表征平台与方法，包括动态导通电阻、阈值电压等关键参数的原位在线监测技术；在此基础上，深入分析了器件在电热耦合应力下的退化规律与失效机制，阐明了逆压电效应、碰撞电离、电荷注入及陷阱俘获与释放等关键因素对退化失效行为的影响机制；针对导致器件退化与失效的不同物理机制，进一步提出电场调控、电荷补偿等器件稳定性与可靠性加固技术。

关键词：氮化镓；高电子迁移率晶体管；极端应力可靠性；浪涌电压；短路；浪涌电流；退化机理；加固技术
中图分类号：TN432 **文献标志码：**A DOI: 10.12178/1001-0548.2026130

Research progress on reliability of GaN power transistors under extreme electrothermal coupled stress

ZHANG Bo, ZHOU Jinggui, YANG Ning, HUANG Shuting, and ZHOU Qi*

(School of Integrated Circuit Science and Engineering, University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: Gallium nitride (GaN) power high electron mobility transistors (HEMT), benefiting from their excellent material properties such as wide bandgap, high electron mobility, and high critical breakdown electric field, have shown broad application prospects in high-frequency and high-efficiency power conversion fields including fast charging for consumer electronics, robotics, AI computing power supplies, new energy vehicles, and aerospace. However, as application scenarios extend to harsh environments with high power density, high temperature, and strong electromagnetic interference, devices are subjected to extreme electro thermal coupled stresses such as surge voltage, short circuit, surge current, high temperature, and high-voltage bias, which pose severe challenges to their reliability and have become a core bottleneck restricting their large-scale industrial deployment. This paper focuses on the reliability challenges of GaN HEMT power transistors under electro thermal coupled stresses in the aforementioned scenarios. It highlights high-speed and high-precision characterization platforms and methods for dynamic stress scenarios, including in-situ online monitoring techniques for key parameters such as dynamic on-resistance and threshold voltage. On this basis, the degradation behaviors and failure mechanisms of devices under electro thermal coupled stresses are systematically analyzed, and the influence mechanisms of key factors such as the inverse piezoelectric effect, impact ionization, charge injection, and trap capture and emission on degradation and failure behaviors are elucidated. Targeting the different physical mechanisms responsible for device degradation and failure, device stability and reliability reinforcement techniques including electric field modulation and charge compensation are further proposed.

Key words: GaN; HEMT; extreme stress reliability; surge voltage; short-circuit; surge current; degradation mechanism; hardening technique

---

收稿日期：2026−08−26
基金项目：国家自然科学基金（62504034）；四川省区域联合基金（2026YFHZ0138）；广东省基础与应用基础研究项目（2024A1515012139）；中国博士后科学基金（2026T190139，2025M770575）
作者简介：张波，教授，主要从事功率半导体技术及产业化方面的研究。
*通信作者 E-mail: zhouqi@uestc.edu.cn

随着人工智能、具身智能与航空航天等前沿技术的飞速发展，功率转换系统正向更高频率、更高效率和更高功率密度快速演进，这对功率器件的性能提出了严苛挑战。以氮化镓（GaN）为代表的第三代宽禁带半导体，凭借其宽禁带（约 3.4 eV）、高电子迁移率（约 2 000 $cm^2 \cdot V^{-1} \cdot s^{-1}$）和高临界击穿电场（约 3.3 $MV \cdot cm^{-1}$）等突出材料优势，能够突破当前主流的硅基功率器件的性能极限，正成为新一代高速、高功率密度、高效率功率半导体的理想解决方案[1-2]。特别是基于 AlGaN/GaN 异质结的横向高电子迁移率晶体管（HEMT），利用极化强度不连续性在 AlGaN/GaN 异质界面诱生出面密度高达 10^{13} cm^{-2} 量级的二维电子气（2DEG），兼具低导通电阻、超快开关速度和无反向恢复电荷等优越特性，正深刻重塑高频、低损耗、高功率密度功率电子产业的技术格局[3-5]。

目前，GaN 功率器件已在快速充电器等消费电子领域获得大规模商业化应用。然而，当 GaN 功率器件逐步向工业驱动、机器人、电动汽车以及数据中心等高端领域渗透时，其所面临的可靠性要求远比消费电子苛刻[6]。这些应用场景不仅对功率密度、转换效率提出更高性能要求，更要求器件在极高结温（>150 ℃ 甚至 175 ℃）下持续工作，并具备承受短时短路、浪涌电压和浪涌电流冲击等极端动态耦合应力扰动的强鲁棒性[7-8]。在此类动态极端耦合应力下，GaN 功率 HEMT 的可靠性与器件退化和失效机理迄今仍不明确，可靠性目前是制约 GaN 功率 HEMT 在工业电子领域实现规模化应用的核心瓶颈。此外，由于 GaN 外延材料中固有的晶格缺陷以及界面/钝化层陷阱对 2DEG 的俘获与耗尽效应，器件在动态应力下极易出现导通电阻退化、阈值电压漂移等不稳定现象，这将直接导致功率转换系统功耗增大、效率下降，严重时甚至触发热失控而引发灾难性失效[2, 9]。因此，深入理解极端应力下的退化机理，发展高精度、高动态的表征手段，并系统探索提升器件稳定性与鲁棒性的方法，具有重要的科学意义和紧迫的工程价值。

本文围绕 GaN 功率 HEMT 在短路、浪涌电压、浪涌电流及高温等典型极端电热应力下的可靠性问题，系统梳理了相关研究进展。依次介绍了面向不同动态应力的高速、高精度测试表征平台与方法，归纳了器件在相应应力条件下的可靠性退化规律与失效机制，并进一步总结了提升器件稳定性和鲁棒性的主要方法。

1 极端瞬态高压应力下器件可靠性

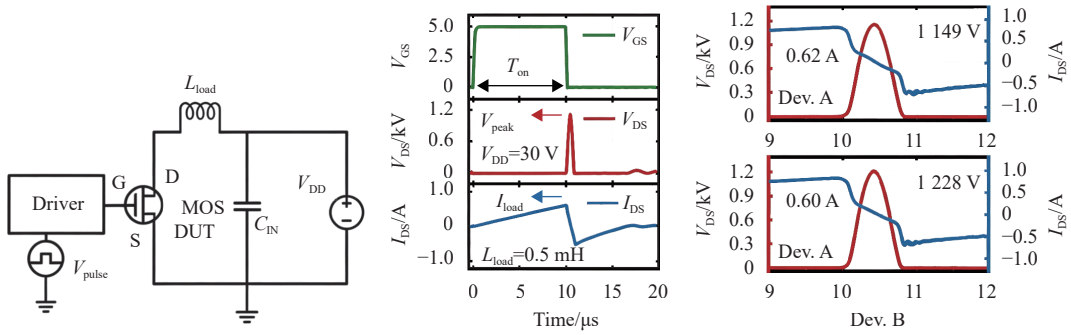
与硅（Si）功率晶体管具备雪崩耐受能力、通过电阻性雪崩耗散浪涌能量不同，GaN HEMT 本质上不具备可恢复的雪崩能力，其浪涌能量需依靠器件输出电容与外部电路寄生电感之间的 LC 谐振进行耗散[9]。由于 GaN HEMT 的硬击穿为不可逆失效，商用器件通常将静态击穿电压设计得比额定工作电压高出 30% 以上以确保足够的安全裕量，同时明确标定短时（≤100 μs）浪涌电压耐受能力[10]。在高速开关工况下，电路寄生电感会引入微秒乃至亚微秒级的瞬态电压冲击，由此引发的动态击穿电压可显著高于静态指标。如 650 V 肖特基型 p-GaN gate HEMT 的动态击穿电压较静态击穿电压可高出约 400～500 V[11-12]。其物理根源在于：极短的电压应力下缓冲层陷阱来不及充分俘获电子，累积的负电荷及感生电场强度均低于静态偏置情形，使得器件内部峰值电场尚未达到临界击穿电场。因此，这种瞬态浪涌冲击所引发的动态失效机制，以及多次重复浪涌电压冲击下器件可靠性的退化规律，需形成系统性认识，同时，亟需深入探究其损伤机理并据此发展提升器件稳定性与鲁棒性的优化策略。

1.1 极端瞬态高压应力下的失效机理

图 1 展示了典型的浪涌电压测试电路及相应的测试波形，可以观察到关断瞬态下 GaN 器件需承受极高的尖峰电压（V_{peak}）[13]。图 2 则给出了两款主流商用 650 V 肖特基型 p-GaN gate HEMT（Dev. A: GaN Systems; Dev.B: Innoscience）在常温和高温下由极端瞬态浪涌电压应力所致的动态击穿电压及相应的失效波形。两款商用器件的瞬态漏极耐受电压均比其本征静态击穿电压高出约 200～300 V，且这一耐受能力几乎不受温度影响[13]。该现象表明，动态击穿失效主要源于高电场驱动的逆压电效应，而受温度影响的碰撞电离、陷阱俘获与释放等过程贡献较小。此外，脉冲宽度[11]、重复过压应力时间[14]、开关频率[15]、衬底偏压[16] 及低温[17] 等因素对 GaN HEMT 动态击穿失效边界的影响亦受到了关注。

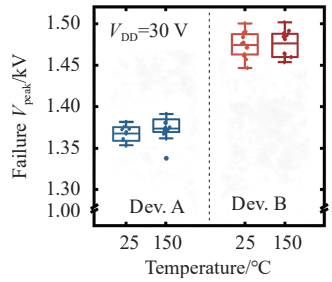
然而，在典型的浪涌电压表征方法中，击穿瞬态发生后电源电压（V_{DD}）会持续向器件注入能量，导致漏极电流急剧上升至安培量级。在几十微秒的时间尺度内，极高的瞬态电压与高漏电流共同作用，使器件承受极大的瞬时功率，进而引发严重的热烧毁，开盖后的裸片表面留下大面积的烧毁痕迹（图 3）[17-18]。尽管借助聚焦离子束（FIB）和扫

描电子显微镜（SEM）等逆向分析技术可以尝试追溯浪涌应力诱导的失效模式，但通常只能观察到电极区域的大面积熔融金属或因热损伤形成的物理空洞（图 4）[19]。浪涌应力期间由极高瞬态电压触发的本征初始失效点和失效模式，往往被后续的大面积烧毁所掩盖，给失效定位与机理分析带来极大挑战；同时，热烧毁过程还可能在外延层或介质/金属层中诱发新的缺陷，给器件失效点定位带来极大难度。然而，准确揭示本征失效模式及初始失效点，对于有效加固器件并提升其可靠性至关重要。

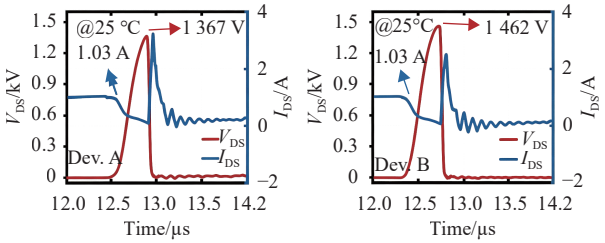


a. 测试电路　　b. 测试波形

图 1　极端瞬态浪涌电压的测试电路与测试波形

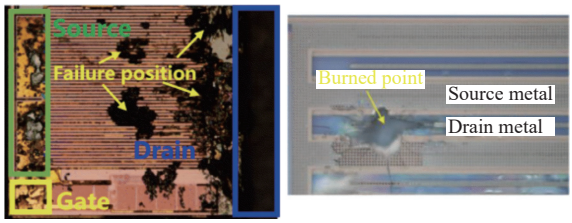


a. 不同温度下两种器件的动态击穿电压平均值



b. 动态击穿失效波形

图 2　极端瞬态浪涌电压导致的不同温度下两种器件的动态击穿电压平均值与动态击穿失效波形



a. 文献[17]　　b.文献[18]

图 3　动态击穿后器件表面烧毁图

为解决上述问题，本研究团队提出一种新的 GaN HEMT 器件浪涌可靠性测试方法。如图 5 所示，在待测 GaN 器件与 V_{DD} 之间插入一个由同电压等级 GaN 开关管构成的隔离模块，实现与待测器件的快速同步开关，从而在关断瞬态切断电源的能量注入；同时通过并联的续流二极管为电感电流提供释放路径。这一方法可有效缓解浪涌测试中严重的二次烧毁现象，能够精准定位初始失效点并揭示浪涌应力诱导的器件本征失效机制。

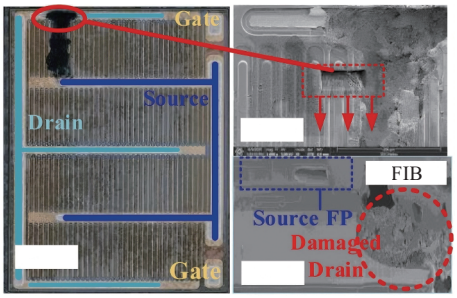
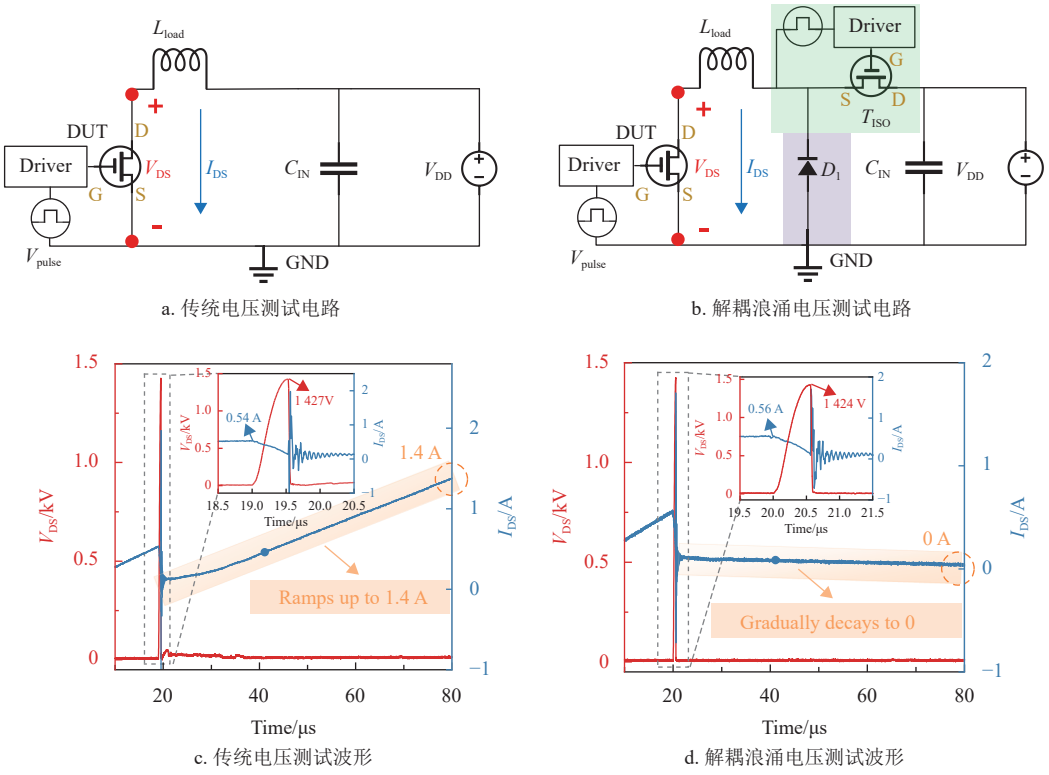


图 4　器件动态击穿后的 SEM 损坏处剖面图

利用该方法，本研究团队对 200 V 和 650 V p-GaN gate HEMT 的本征浪涌失效特征及机制进行了深入研究。结果表明，200 V 器件的失效起源于源极场板（SFP）边缘处的电场集中，进而引发一条从源极场板边缘延伸至漏极的横向裂纹；而 650 V 器件的失效则源于漏电极附近的电场集中，形成了穿透 III 族氮化物外延层并直达硅衬底的垂直击穿路径（图 6）。结合图 6 的器件电场仿真，进一步确认极端瞬态浪涌电压导致的动态击穿本质上是尖峰电场通过逆压电效应引发的器件损伤。

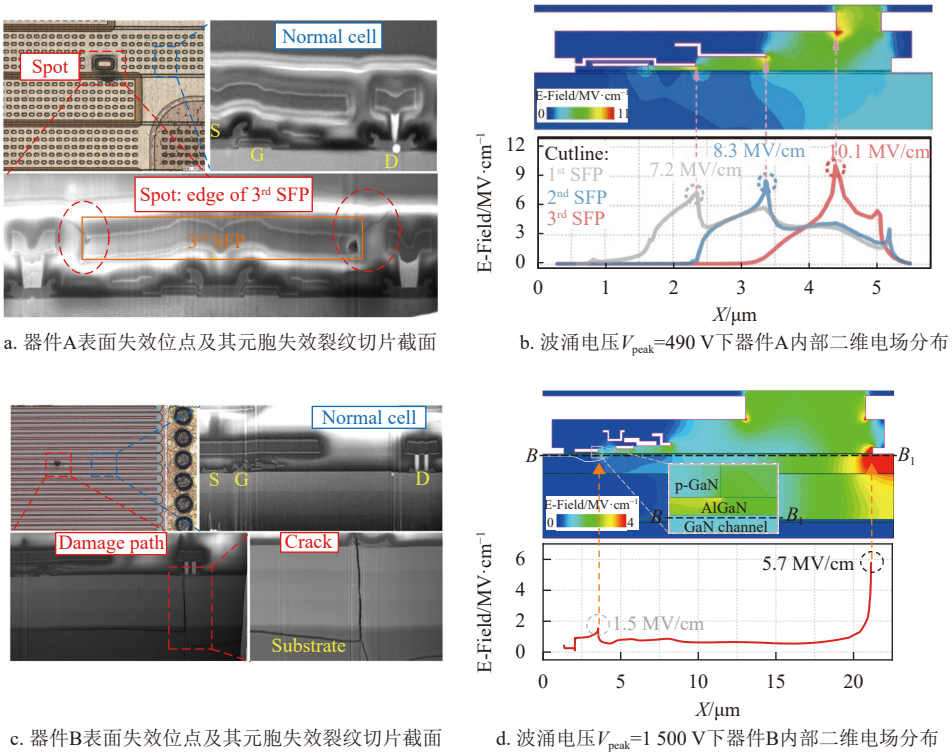
在明确单次极端瞬态高压冲击下器件的本征失效模式后，其在多次重复浪涌电压应力下的参数退化与恢复规律同样值得深入探究。



a. 传统电压测试电路　　b. 解耦浪涌电压测试电路

c. 传统电压测试波形　　d. 解耦浪涌电压测试波形

图 5　传统与解耦浪涌电压测试电路及波形比较



a. 器件A表面失效位点及其元胞失效裂纹切片截面　　b. 波涌电压V_{peak}=490 V下器件A内部二维电场分布

c. 器件B表面失效位点及其元胞失效裂纹切片截面　　d. 波涌电压V_{peak}=1 500 V下器件B内部二维电场分布

图 6　200 V & 650 V p-GaN gate HEMT 基于解耦浪涌电压测试电路的动态击穿后的失效点与不同电压下的仿真电场

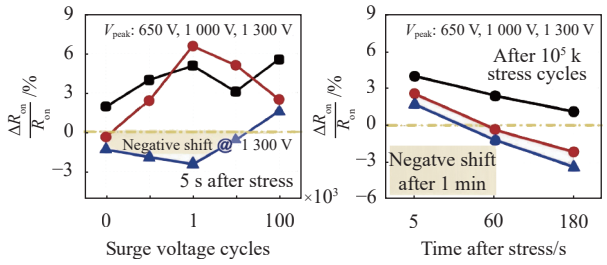
1.2　重复浪涌电压冲击下的退化与恢复机制

目前，针对不同类型的 GaN HEMT（包括肖特基栅极、具有混合漏极结构的欧姆接触栅极注入晶体管（HD-GIT）及 Cascode 结构中的高压 GaN 器件）在不同电压等级下的重复浪涌电压退化与恢复机制已有相关报道[19-22]。其中，650 V 肖特基型

p-GaN gate HEMT 作为最具代表性的商用器件，其在不同浪涌峰值下的退化机理是研究的重点。本课题组选取了一款常用的 650 V 肖特基 p-GaN gate HEMT，将关态浪涌电压应力峰值 V_{peak} 控制在额定电压 650 V 至约 95% 动态击穿电压（1 300 V）范围内[23]。

图 7a 展示了在 V_{peak} = 650 V 的重复应力下，R_{ON} 的退化随循环数增加近乎单调累积，当循环次数达到 10^5 次时 ΔR_{ON} = 5.6%。相反，将 V_{peak} 升至 1 300 V 时，器件 R_{ON} 呈加速负漂移，1 000 次循环后 ΔR_{ON} = −2.5%。图 7b 的恢复特性显示，不同重复浪涌应力下 R_{ON} 的退化均可恢复。650 V 应力后，即使经过室温静置恢复，器件仍保持正向漂移（3 分钟时 ΔR_{ON} = 0.9%）；而在 1 000 V 和 1 300 V 应力下，静置 1 分钟 ΔR_{ON} 即分别达到–1.2% 和–2.0% 的负偏差[23]。

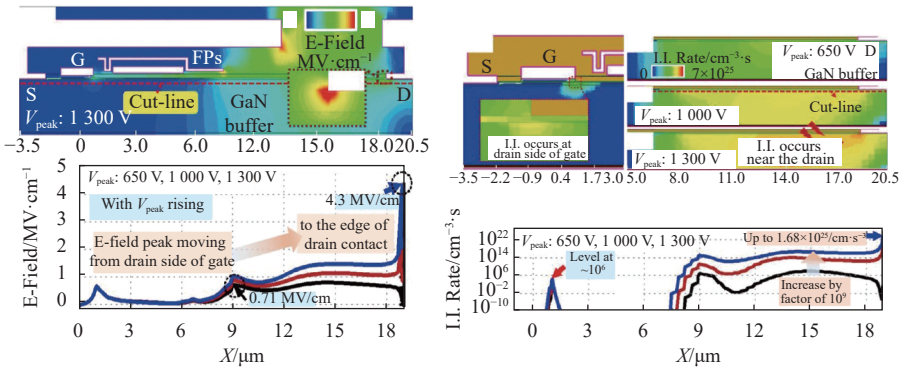
为揭示上述分化现象的物理机制，利用仿真得到不同浪涌电压水平下的电场大小分布（图 8a）。结果显示，沿 2DEG 方向的峰值电场位置随应力电压升高而动态迁移。当 V_{peak} = 650 V 时，峰值电场（0.71 MV/cm）局域于栅极靠漏侧，此高电场将自由电子加速为热载流子，使其越过势垒进入栅极附近的 AlGaN 层或被 AlGaN/p-GaN 界面陷阱俘获，引起 R_{ON} 的逐步退化。当 V_{peak} 升至 1 000 V 时，栅漏接入区的碰撞电离率急剧上升，达到 10^{14} cm^{-3}·s^{-1} 量级，如图 8b 所示；尤其在漏极附近电场峰值 2.4 MV/cm 处，电离率飙升至 1.1×10^{23} cm^{-3}·s^{-1}，产生大量电子–空穴对。电子迅速被高场扫向漏极，空穴则反向朝栅极迁移，部分空穴在传输中被接入区缺陷俘获。同时，由于空穴迁移率远低于电子，其向接入区迁移并被俘获的过程相对滞后，当循环数超过 10^3 次后，缓冲层中被俘获的空穴开始抵消势垒层中电子陷阱的影响，使得 R_{ON} 的正向退化减弱。当 V_{peak} 进一步升至 1 300 V 时，更强的碰撞电离（峰值达 1.68×10^{25} cm^{-3}·s^{-1}）引起空穴的大量产生，进而在接入区抑制热电子效应，最终导致 R_{ON} 出现负漂。此外，电子的脱陷时间短于空穴，因此随恢复时间延长，R_{ON} 向负向漂移[23]。



a. 导通电阻随应力循环次数的变化规律　　b. 10^5次应力循环后导通电阻随恢复时间的变化特性

图 7　不同浪涌电压峰值下器件导通电阻的退化与恢复特性

上述重复极端瞬态浪涌应力下的退化与恢复机制深刻揭示了器件内部碰撞电离、陷阱俘获与释放、载流子输运 3 种机制之间的竞争性平衡，为优化器件抗重复浪涌能力提供了明确方向。



a. 电场　　b. 碰撞电离分布

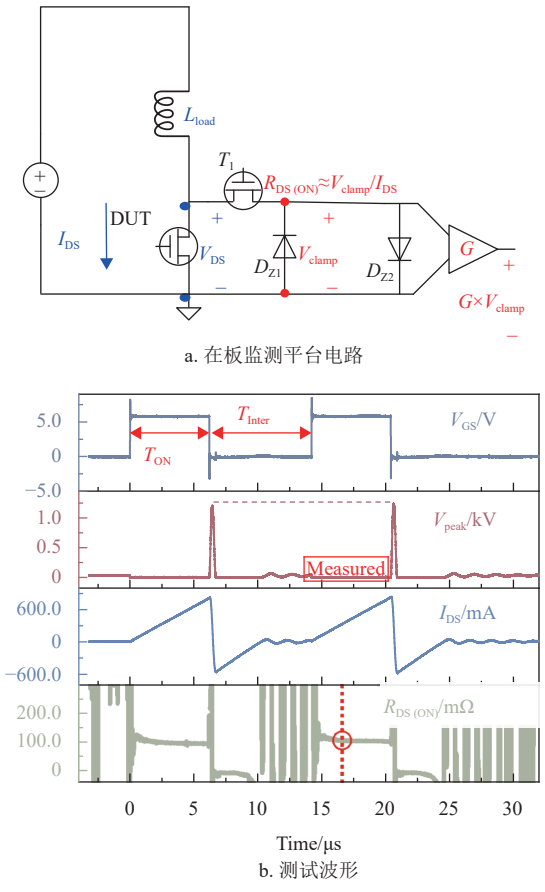
图 8　不同浪涌电压下的电场与碰撞电离分布

1.3　重复浪涌电压应力下的原位 R_{ON} 在线监测技术

目前，GaN HEMT 在重复浪涌电压下的退化研究大多采用离线（off-board）表征方式，即浪涌应力施加与器件电学参数测量分步进行。这种方法不可避免地引入秒级以上的测量延迟，使得应力期间被浅能级陷阱俘获的载流子在表征前已大量脱陷，导致对硬开关高浪涌电压下陷阱诱导的原位 R_{ON} 严重低估。因此，发展高速、在线的动态电阻监测手段对于准确评估器件在浪涌应力下的真实退

化行为至关重要。

如图 9a 所示，本课题组提出了在板（on-board）原位在线监测动态 R_{ON} 方法的测试电路拓扑。该测试板采用负载电感与待测器件（DUT）串联，由 V_{DD} 直流电源供电[24]。为实现在高 dV/dt 和高电压条件下对导通压降的精确采样，电路中设计了由钳位晶体管 T_1 和齐纳二极管 D_{Z1} 构成的电压钳位采样支路。当 DUT 处于关断状态时，T_1 保持关断以避免干扰浪涌瞬态过程；DUT 导通后，T_1 随即开启并对钳位后的采样节点电压进行采集。D_{Z1} 作为钳位控制元件，将监测电压限制在预设范围内，不仅确保信号处于高速采集系统的最佳输入量程，还限制流经 T_1 的电流，使所测钳位电压能准确跟踪 DUT 导通期间的漏源电压 V_{DS}，从而提高采样精度与重复性[24]。



a. 在板监测平台电路

b. 测试波形

图 9 极端瞬态浪涌电压下原位 R_{ON} 的在板监测平台电路示意图和测试波形

图 9b 给出了浪涌电压下原位 R_{ON} 的测量波形。导通持续时间 T_{ON} 决定了浪涌电压峰值 V_{peak}。单次浪涌应力后，经可控的短时间间隔 T_{Inter}，DUT 再次导通并在导通后 t = 2.5 μs 时刻采样原位 R_{ON}。该高速板上原位监测方法通过在应力后微秒级时间内即完成电阻采样，有效避免了浅能级陷阱快速脱陷和传统离线方法中长间歇时间引入的测量误差，从而更真实地反映器件在重复浪涌电压下的动态电阻退化。

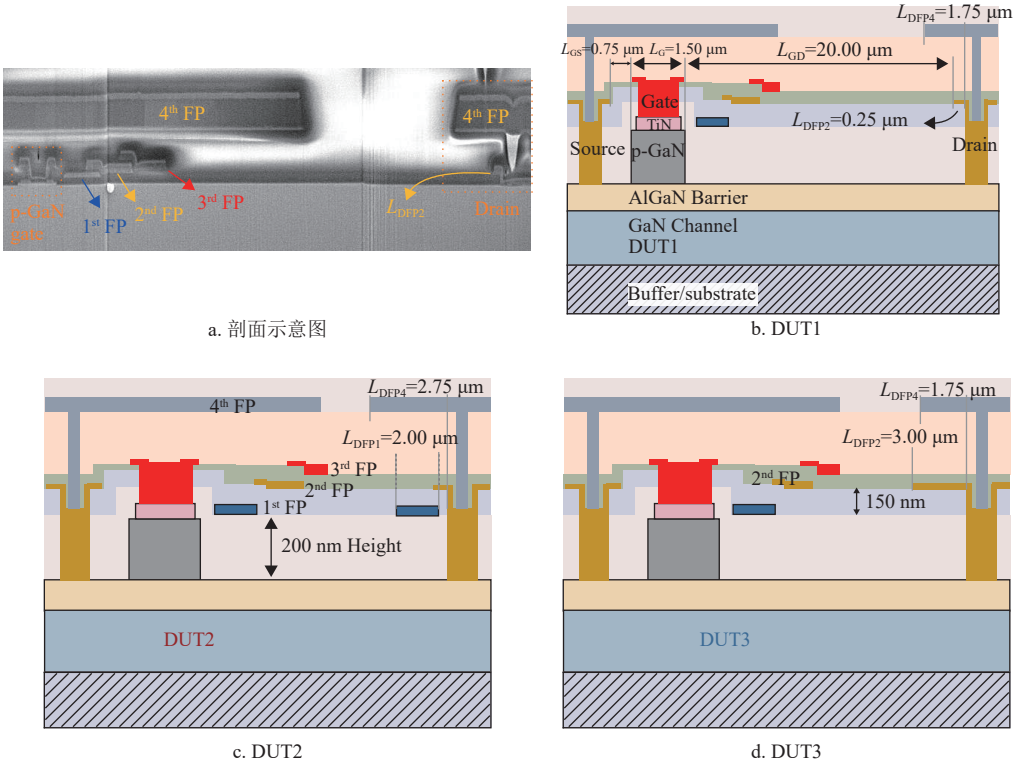
1.4 漏极电场调制技术

前述机理分析表明，无论是动态击穿还是重复浪涌退化，漏极尖峰电场均是主要诱因。因此，通过设计漏极场板（drain field plate, DFP）结构来抑制该尖峰电场，是提升器件浪涌电压下稳定性与鲁棒性的有效途径。本课题组针对 650 V p-GaN gate HEMT-on-Si 器件，系统比较了 3 种不同漏极场板结构在硬开关浪涌条件下的表现：基准器件 DUT1、引入浮空漏场板 DFP1 的 DUT2 以及采用延长漏场板 DFP2 的 DUT3，如图 10 所示[25]。

仿真结果（图 11）显示，相比于 DUT1，DUT3 中较长的 DFP2 将峰值电场向栅极侧推移，而 DUT2 中的浮空 DFP1 则有效削弱了漏极附近的电场强度。同时，漏极下方的正垂直电场（+E_y，指向衬底）和负横向电场（–E_x，指向栅极）对载流子输运方向起关键调控作用。得益于此，DUT2 和 DUT3 的动态击穿电压（Dyn. BV）较 DUT1 均提升约 100 V（图 12），这归因于场板边缘和漏极边缘峰值电场的有效缓解，从而抑制了灾难性失效的发生[25]。

图 13a 和 13b 给出了各 DUT 在 650 V 重复浪涌应力下 ΔV_{th}（@ I_D =1 mA）和 $\Delta V_{leakage}$（@ I_D = 1 uA）的演变。DUT3 中延长的 DFP2 加剧了退化，这是因为其将漏侧高电场推向栅极区，显著增强了热电子向缓冲层深能级陷阱的注入与俘获；随着应力循环增加，$\Delta V_{leakage}$ 迅速趋于饱和，表明缓冲层陷阱填充接近极限。相比之下，DUT2 的浮空 DFP1 通过大幅降低+E_y 电场分量，有效抑制了缓冲层电子俘获：10^5 次应力后 $\Delta V_{leakage}$ 约为 0.17 V，仅为 DUT1 和 DUT3 的一半。此时，DUT2 的 ΔV_{th} 主要源自横向电场–E_x 诱导的陷阱俘获，涉及 2DEG 沟道区附件的电子陷阱和栅金属/p-GaN 肖特基结区的电子陷阱。此外，DUT2 在多次应力后 3 分钟时观察到 ΔV_{th} 和 $\Delta V_{leakage}$ 均出现微小负漂移（图 13c），这源于高电场碰撞电离产生的空穴被栅金属/p-GaN 肖特基结的空穴陷阱和 p-GaN/AlGaN 界面的空穴陷阱所俘获。由于 p-GaN 肖特基栅结构中金属/p-GaN 肖特基结与 p-GaN/AlGaN/GaN 异质 PN 结呈反串联，脱陷空穴不易被有效抽走而滞留在 p-GaN 栅区，而脱陷电子则可被漏极

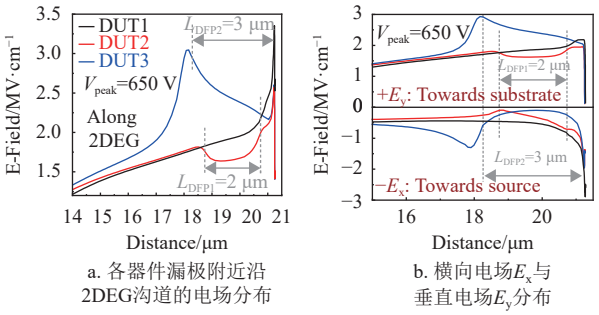
快速扫出；加之空穴本身迁移率较低，这种空穴滞留效应导致了恢复期的负 ΔV_{th}。如图 13d 所示，DUT2 在应力后 30 min 内即完全恢复至初始状态，而 DUT1 和 DUT3 的转移特性仍呈现正向漂移，表明后者的残余退化主要由位于 GaN 缓冲层且具有更深能级的电子陷阱主导[25]。



a. 剖面示意图　　b. DUT1

c. DUT2　　d. DUT3

图 10　所制备的 650 V p-GaN gate HEMT 剖面示意图，展示了 DUT1&2&3 的 3 种不同漏极场板结构



a. 各器件漏极附近沿2DEG沟道的电场分布　　b. 横向电场E_x与垂直电场E_y分布

图 11　V_{peak}=650 V 时的仿真结果

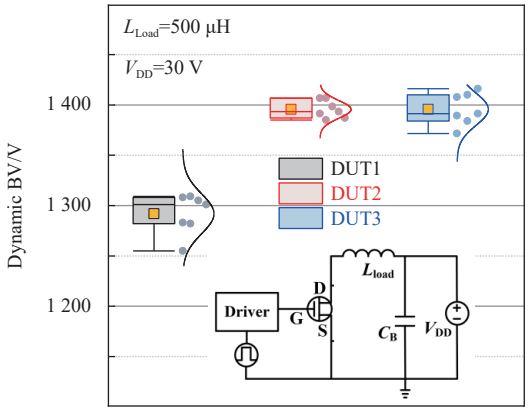
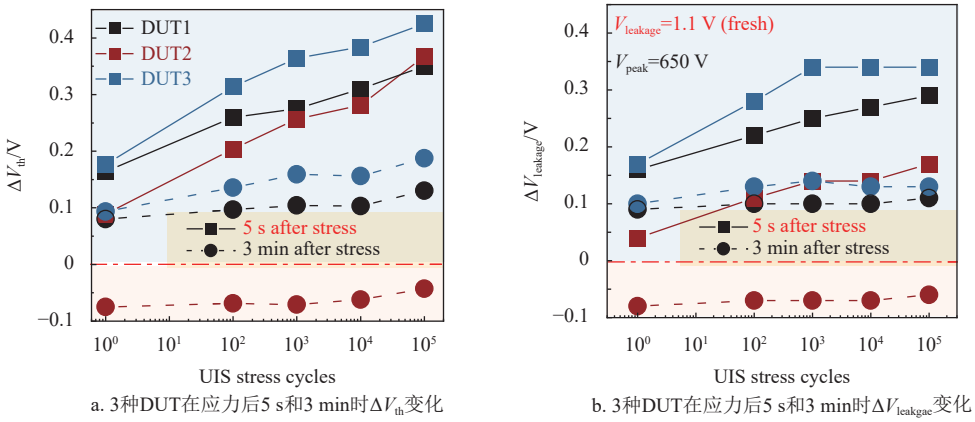
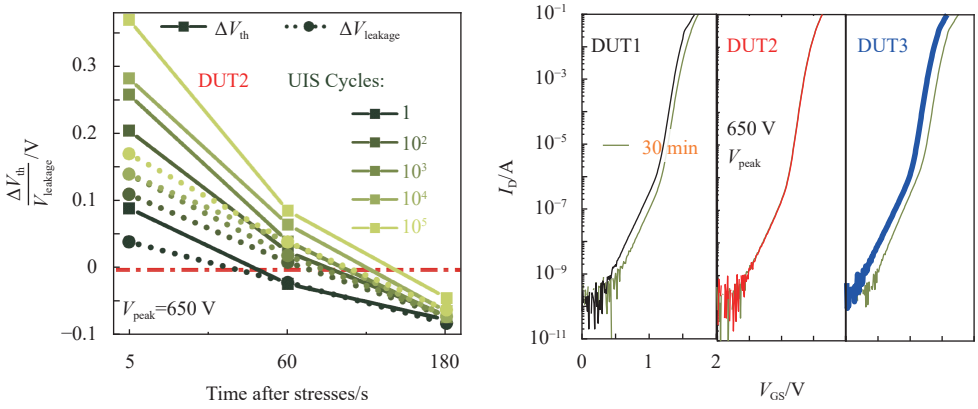


图 12　各器件动态击穿电压对比



a. 3种DUT在应力后5 s和3 min时ΔV_{th}变化　　b. 3种DUT在应力后5 s和3 min时$\Delta V_{leakgae}$变化



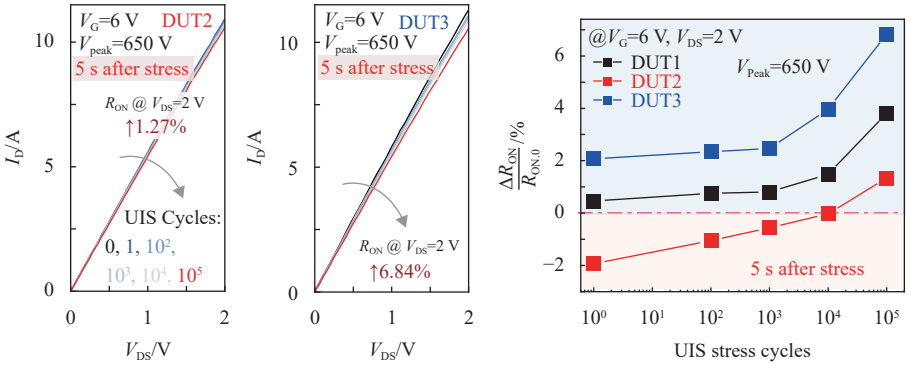
c. DUT2应力后ΔV_{th}和$\Delta V_{leakgaede}$的恢复特性

d. 3种DUT经10^{15}次650 V浪涌电压应力循环后30 min时的转移曲线恢复特性

图 13 不同 650 V 浪涌电压应力次数后的器件退化与恢复特性

进一步对比 R_{ON} 的退化，如图 14 所示，10^5 次 650 V 浪涌应力循环后，DUT3 的 R_{ON} 增加 6.84%，而 DUT2 仅增加 1.27%，展现出优异的输出特性稳定性。这说明，浮空漏场板设计通过优化电场分布，在重复浪涌应力下有效抑制了缓冲层深能级陷阱的持续俘获，从而大幅改善器件的长期可靠性[25]。

综上，漏极电场调制技术，特别是浮空场板结构，为 GaN 功率 HEMT 在严苛浪涌工况下的可靠性加固提供了重要思路。



a. DUT2&3在经历不同循环次数的650 V浪涌电压应力后R_{ON}退化对比

b. DUT1&2&3在不同650 V浪涌电压应力循环次数后5 s时的$\Delta R_{ON}/R_{ON,0}$

图 14 器件在不同 650 V 浪涌电压应力次数后的电阻退化比较

1.5 漏极分布式电荷补偿技术

前述分析表明，极端浪涌电压下缓冲层深能级陷阱的俘获效应对器件退化具有决定性影响。一种抑制该陷阱效应的策略是在器件漏极一侧引入与漏极相连的 p-GaN 层，利用关态高 V_{DS} 下漏极/p-GaN 与接地衬底及源极之间形成的电场，激发 p-GaN 中的空穴注入缓冲层，从而补偿被深能级陷阱俘获的电子，最终实现对器件动态导通电阻效应的补偿，如混合漏极栅注入晶体管 (HD-GIT)[9]。然而，在肖特基型 p-GaN gate HEMT 中直接引入类似 HD 结构时，p-GaN 区域会耗尽下方 2DEG，导致器件 R_{ON} 显著增加。减薄漏侧 p-GaN 层厚度虽可缓解其对 2DEG 的耗尽作用[26]，但在流片工艺中同步实现约 10 nm 超薄 p-GaN 层的刻蚀面临巨大挑战，这与当前主流的 p-GaN gate HEMT 功率器件制造工艺不兼容。为此，本研究团队基于目前主流的高压 p-GaN gate HEMT 功率器件工艺平台，提出了一种漏极具有分布式 p-GaN 岛（DPI）结构的高压 GaN HEMT 功率器件新结构[24]。通过将 p-GaN 设计为稀疏分布的岛状并使其与漏极交叠，在不增加器件 R_{ON} 保证器件具备良好导通能力的前提下，通过优化设计 p-GaN 岛宽度（W_P）与 p-GaN 之间漏极欧姆接触宽度（W_{Gap}）比为 1∶4（图 15），从而在不牺牲静态性能的同时实现了浪涌可靠性的显著提升[24]。

图 16 展示了 DPI-HEMT 与传统结构 Conv-HEMT 在单次浪涌电压瞬态下的 Dyn.BV 对比。多个样品的测试结果表明，无论在 25℃ 还是 150℃

下，DPI-HEMT 均能获得更高的 Dyn.BV。失效器件的截面 SEM 图像（图 17a）显示，损伤仍位于漏极侧，由高浪涌电压引发的逆压电效应触发了垂直贯穿击穿。如图 17b 所示，1 100 V 浪涌电压下的仿真电场分布进一步揭示，两种器件峰值电场均出现在漏极边缘，但 DPI 结构使该电场峰值有效降低 27.7%。由此，DPI-HEMT 增强的动态击穿能力主要归因于两个方面：一是漏极 p-GaN 岛直接降低了漏侧电场峰，抑制了由极端瞬态浪涌 V_{DS} 触发的灾难性击穿路径；二是 p-GaN 岛在高压下可向缓冲层有效注入空穴，补偿被深能级陷阱俘获的电子，从而缓解了瞬态电荷积累对击穿的加速作用。

为准确评估浪涌应力下的 R_{ON} 退化，本课题组利用前述板上原位 R_{ON} 在线监测方法对 4 种器件（DUT-A & DUT-B 分别为英飞凌和英诺赛科的商用器件）在固定浪涌峰值 V_{peak} = 900 V（约为被测器件 Dyn.BV 的 70%，与商用器件额定电压定义一致[10]）下的重复浪涌特性进行了表征。图 18a 和 18b 给出了 25 ℃ 和 150 ℃ 下、应力–测量间歇时间 T_{Inter} = 60 μs 和 V_{peak} = 900 V 时 4 种器件归一化原位 R_{ON} 随应力循环次数的演变。25 ℃ 下，所有器件均因热电子累积俘获而使原位 R_{ON} 上升，但 DPI-HEMT 增幅最小，10^6 次循环后归一化比值最高仅 1.14。150 ℃ 下，原位 R_{ON} 则随循环次数增加而降低，这源于两个因素：一是在超高浪涌电压下，碰撞电离产生的高迁移率电子被有效扫出漏极，空穴残留于缓冲层中；二是高温增强了陷阱中电子的脱陷速率。DPI 结构进一步通过 p-GaN 中镁受主电离增强实现更高效的空穴注入，使 DPI-HEMT 在整个应力循环中归一化比值始终小于 1，10^6 次后该比值较 Conv-HEMT 低 26%（如图 18b 所示）。当 T_{Inter} 缩短至 10 μs 时，25 ℃ 和 150 ℃ 下的退化规律与长间歇时一致，证实了载流子陷阱俘获与补偿效应的竞争关系仍主导退化行为，如图 18c 所示。在 25 ℃、短间歇条件下，DPI-HEMT 因更强的浪涌致结温升高，出现漏侧空穴注入增强与迁移率退化及陷阱累积俘获之间的竞争，导致归一化电阻随循环次数的依赖关系呈现出非单调特征。而在 150 ℃ 下（图 18d），DPI-HEMT 的漏侧空穴注入更为高效地中和了被俘获电子，使得 10^6 次循环后归一化原位 R_{ON} 低至 0.72，较性能最优的商用器件 DUT-A 还低 28%，显示出极佳的高温浪涌耐受能力。

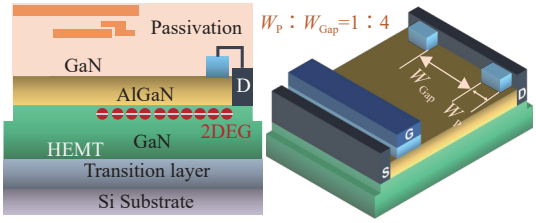


图 15　DPI-HEMT 器件结构示意图

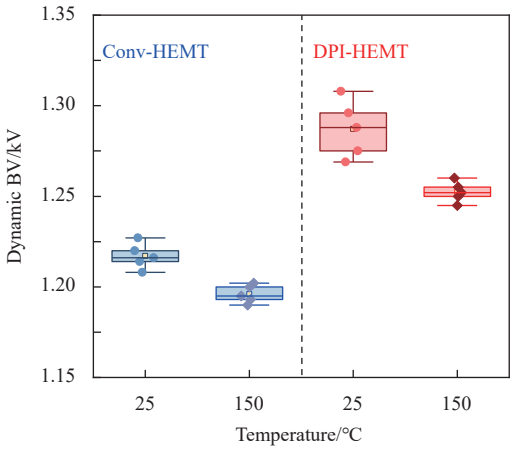
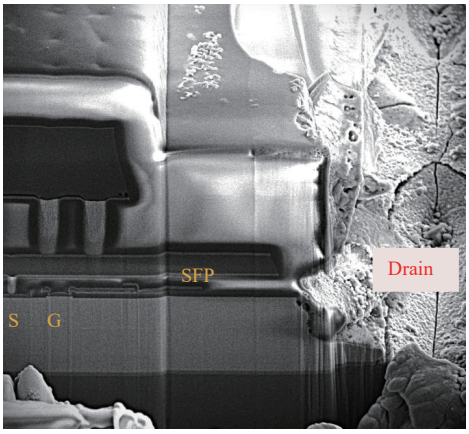
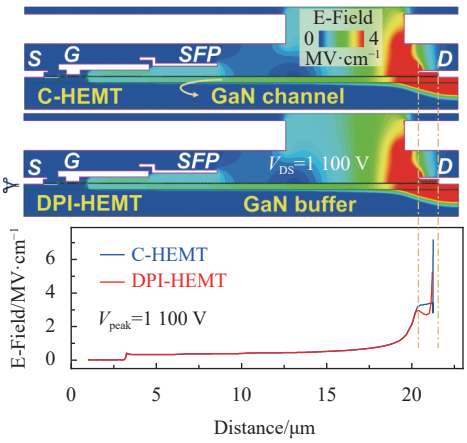


图 16　Conv.HEMT 与 DPI-HEMT 动态击穿电压对比



a. 动态击穿电压测试后DPI-HEMT的截面SEM图像



b. V_{Peak}=1 100 V时沿DPI-HEMT和C-HEMT 2DEG沟道的模拟电场分布

图 17　动态击穿电压下器件失效位置

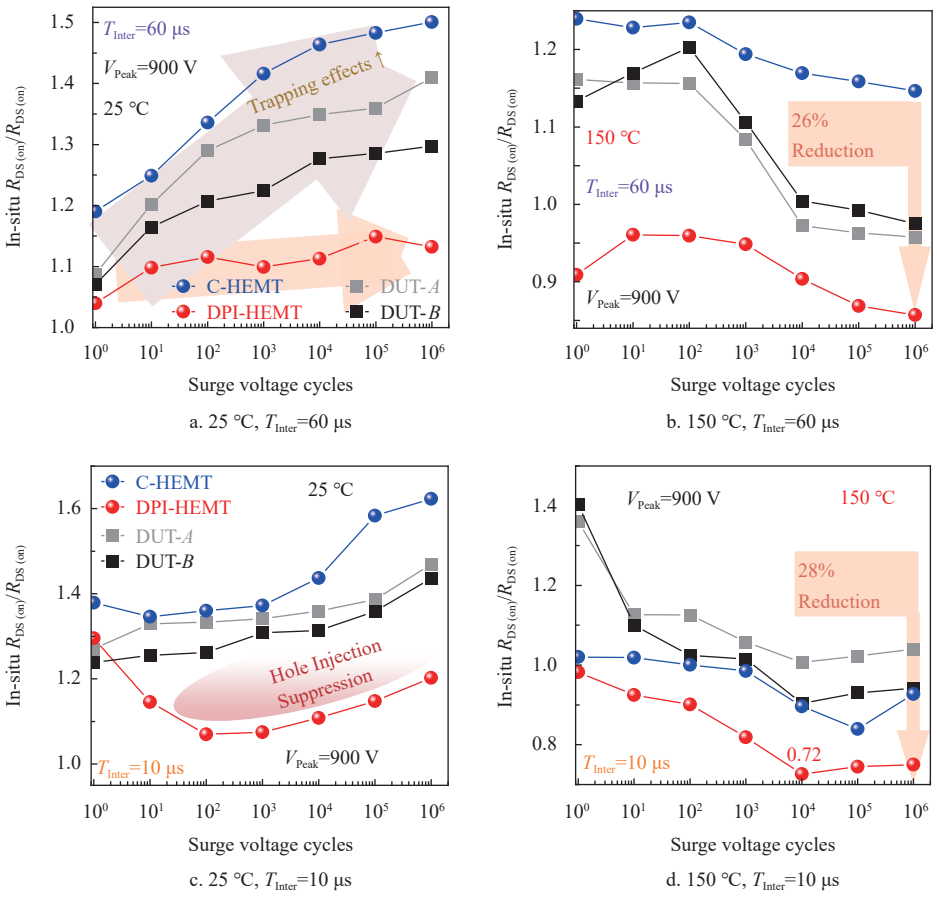


图 18 DPI-HEMT、C-HEMT 及 DUT-A、DUT-B 在 V_{peak}=900 V 重复浪涌电压应力下，原位 R_{ON}/静态 R_{ON} 随应力循环次数的变化对比

综上，漏极分布式 p-GaN 岛电荷补偿技术通过降低电场峰和动态注入空穴的双重机制，在不牺牲导通电阻的前提下，显著提升了肖特基 p-GaN 栅 HEMT 在重复浪涌电压下的可靠性，为高鲁棒性 GaN 功率器件的设计提供了有效途径。

1.6 浪涌应力下高稳定性 p-GaN 栅控功率二极管

在目前主流的 p-GaN gate HEMT-on-Si 单片集成平台上，功率二极管通常由 p-GaN gate HEMT 栅源短接构成的横向场效应整流器（L-FER）实现，其导通压降 V_T 取决于 p-GaN 控制的 2DEG 沟道及阈值电压。当此类 L-FER 用于功率转换系统的整流或续流时，其阴极（如半桥开关节点）可能承受高母线电压，因此器件在重复反向高压浪涌下的稳定性至关重要，直接关系到系统长期运行的鲁棒性。

针对上述需求，本研究团队基于商用 p-GaN/AlGaN/GaN-on-Si 平台，提出了一种新型 p-GaN 栅控功率二极管（p-GCD），其采用欧姆与凹槽肖特基混合阳极结构[27-28]。该器件的凹槽肖特基阳极与 p-GaN 栅金属叠层形成工艺自对准，与 p-GaN HEMT 完全兼容，适于实现单片集成，如图 19 所示。p-GCD 兼具可调的导通特性和反向阻断能力：最小开启电压 V_T 低至 0.56 V，击穿电压 V_{BV} 最高可达 2 020 V（图 20）。

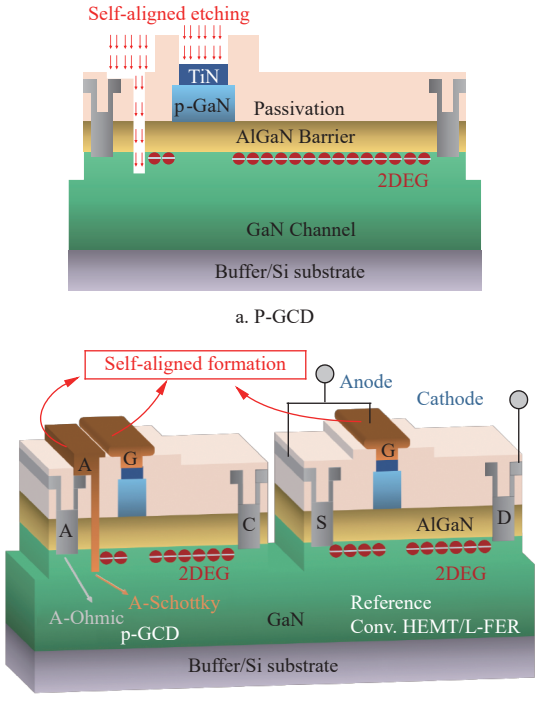
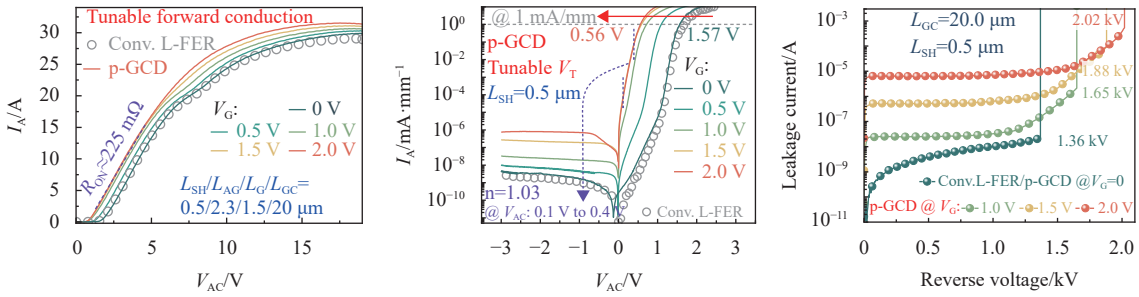


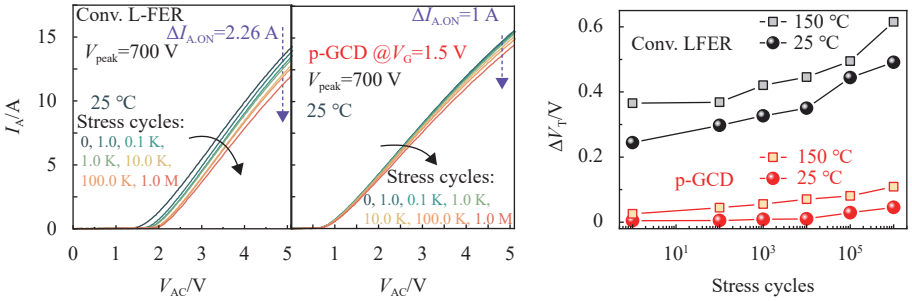
图 19 p-GCD 与传统 p-GaN 栅 HEMT/L-FER 的关键制备步骤对比



a. 正向导通　　b. 对数I_A-V_A特性　　c. 反相阻断

图 20　p-GCD 可调的正向导通与反向阻断特性

为评估实际工况下的导通稳定性，模拟半桥续流二极管的工作状态，对器件施加重复高压浪涌脉冲应力。图 21 显示，传统 L-FER 在 700 V 重复浪涌脉冲下，因高压诱导的 p-GaN 区电子俘获，其 V_T 随脉冲次数显著正漂。相比之下，p-GCD 通过在栅极施加适当偏置（V_G=1.5 V）调制电场，并利用 p-GaN 栅的空穴注入效应，表现出极为稳定的导通特性：在高达 10^6 次脉冲内，ΔV_T 仅约 0.04 V（图 21）。进一步在 150 ℃ 高温下进行 700 V 重复浪涌应力对比，p-GCD 的优势更为突出——经历 10^6 次浪涌脉冲后，ΔV_T 仍被限制在 0.1 V 以内，展现出卓越的高温导通稳定性。这一特性使 p-GCD 在高可靠、高功率密度 GaN 功率转换系统中应用潜力巨大[27]。



a. 正向导通特性退化比较　　b. 导通压降退化比较

图 21　Conv.L-FER 与 p-GCD 在 25 ℃ 和 150 ℃ 下经受 700 V 重复浪涌电压冲击后的导通特性退化对比

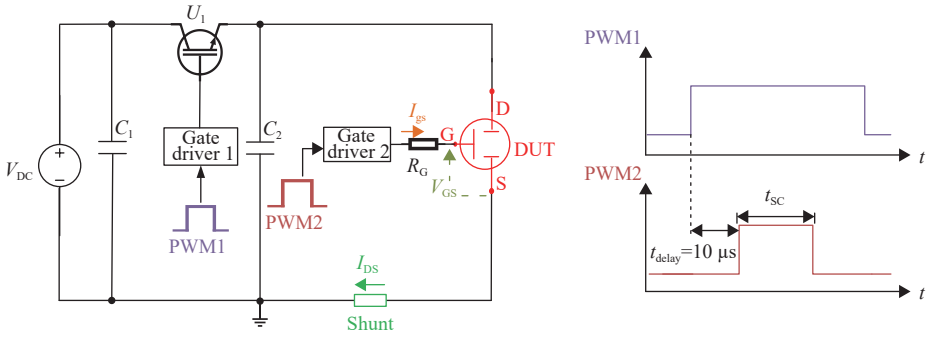
2　短路应力下器件可靠性

随着新能源汽车、可再生能源电力电子装备及人工智能数据中心供电等领域对高效率、高功率密度电能变换系统需求的持续攀升，GaN HEMTs 正加速在桥式变换器、逆变器及电机驱动等功率电子系统中获得工程应用。然而，在上述典型应用场景中，桥臂直通、负载短路、驱动异常、电磁干扰及控制误触发等故障无法完全规避。短路故障一旦发生，功率器件即进入短路状态，器件不可避免地承受着高压、大电流及剧烈自热效应叠加形成的极端瞬态电热耦合应力，此时瞬态功率可达数千瓦量级，温度变化率高达 10^8 K/s 量级[29]。因此，在上述短路期间所承受的极端瞬态电热耦合应力，极易在微秒级内诱发器件发生不可逆退化甚至灾难性失效，严重威胁功率变换系统的安全运行。然而，相较于硅基器件，GaN HEMT 本征短路耐受能力较差，在典型测试条件下（器件标称电压等级～70%偏置电压），单次耐受时间通常不足 10 μs，重复性耐受次数低于 10 次[30-31]，难以满足实际应用中对短路可靠性的指标需求。因此，短路耐受能力已成为制约 GaN 功率器件在关键领域高可靠应用的核心瓶颈之一，其退化失效的物理机制与加固技术是当前功率半导体可靠性研究的前沿议题。

2.1　氮化镓功率器件短路应力测试技术

依据短路故障的触发机制与系统工况，功率器件短路事件通常可分为 3 类：I 类硬开关故障（hard-switch fault, HSF）、II 类负载故障（fault under load, FUL）及 III 类闪络故障（flashover fault）[32]。尽管 3 类故障的电气诱发条件存在差异，但器件在短路期间所承受的极端电热耦合应力在物理本质上具有一致性，且不同故障类型对器件短路耐受能力的考核并无本质区别。因此，目前

GaN 功率器件短路可靠性研究普遍优先采用兼具良好可控性、可重复性和测试兼容性的 HSF 短路作为测试方案。如图 22 所示，硬开关短路测试电路通常采用半桥电路拓扑结构，被测器件（DUT）置于下桥臂，通过协调控制上下桥臂器件的栅极驱动信号时序，在母线电压作用下构建可控 I 类硬开关短路故障，并实现器件短路耐受能力及重复性短路稳定性的测试[33]。与此同时，上桥臂器件通常配置集成去饱和检测（desaturation detection）功能的驱动芯片，当检测到短路电流异常上升时，可迅速关断上桥臂器件，从而避免测试平台发生级联损坏，保证测试过程的安全性与可重复性。



a. 硬开关短路应力测试电路原理图　　b. 短路驱动控制信号时序

图 22　硬开关短路应力测试电路与控制时序

目前，Si 基功率器件已建立较为完善的短路动态测试体系。然而，传统 Si 基测试平台主要面向微秒级开关器件设计，其短路电流上升时间通常为 1～2 μs，难以满足 GaN 功率器件数十纳秒高速开关特性的测试需求，无法真实再现实际应用中的短路动态过程。针对 GaN 器件高速开关及高电流变化率（dI/dt）条件下寄生参数高度敏感的问题，研究人员通过优化测试板布局、采用开尔文（Kelvin）源极连接分离驱动回路与功率回路、在器件附近配置多容值低寄生去耦电容以及设计低寄生测试子板等措施，如图 23 所示，有效降低了回路寄生电感，构建了适用于 GaN 功率器件高速短路应力测试的低寄生专用测试平台，为短路失效机理分析及加固技术研究提供了可靠的实验基础。

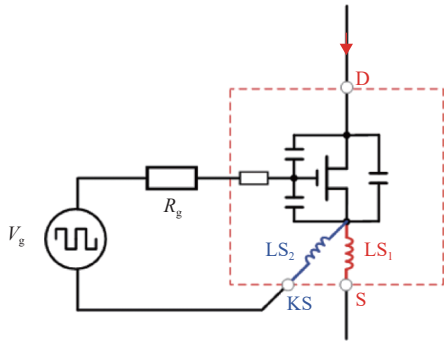


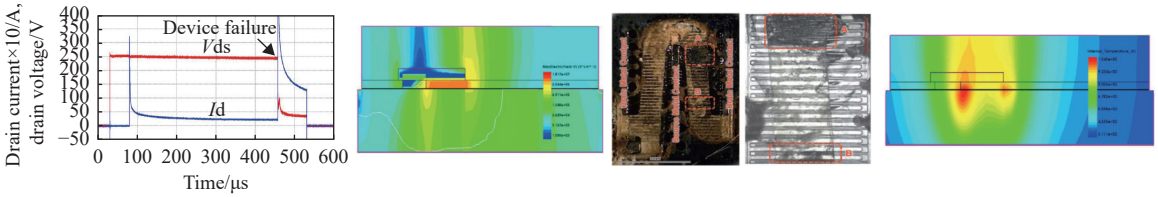
图 23　开尔文源级连接驱动回路示意图

2.2　氮化镓功率器件短路应力失效机制

短路耐受能力是评价 GaN 功率器件短路可靠性的核心指标，通常包括单次短路耐受能力和重复性短路耐受能力两个方面。其中，单次短路耐受能力通常采用短路耐受时间（short-circuit withstand time, SCWT）进行表征，即器件从发生短路故障到灾难性失效所能承受的最长持续时间，其直接决定了保护电路能否在短路事件期间完成检测与器件关断；重复性短路耐受能力则通常采用器件在特定短路应力条件下能够承受的最大短路循环次数进行评价，用于衡量器件长期抵御多次短路故障冲击的能力。由于 GaN HEMTs 具有独特的 p-GaN 栅结构及极化诱导 2DEG 导电机制，其短路过程中的电流演化、电热耦合及失效行为与传统 Si 功率器件存在显著差异，Si 器件建立的短路可靠性理论难以直接适用于 GaN 器件。因此，近年来围绕 GaN HEMTs 短路可靠性的研究主要集中于短路失效机理与短路退化机理两个方面。其中，短路失效机理主要针对器件在单次或重复性短路应力下的最终失效行为，重点揭示器件发生灾难性失效的物理过程及主导机制；短路退化机理则主要关注器件在重复性短路应力作用下关键电学参数的演化规律，阐明失效发生前性能退化及其物理机制。

单次短路失效是 GaN 功率器件短路可靠性研究最早关注的问题，其本质是在极端瞬态电热耦合应力作用下，器件局部结温超过材料热稳定极限，从而引发不可逆热失效。如图 24 所示，单次短路电流波形呈现出典型的“峰值—衰减—失效”演化过程：短路发生后，漏极电流迅速上升至峰值，随后随着结温快速升高，沟道载流子迁移率下降，短

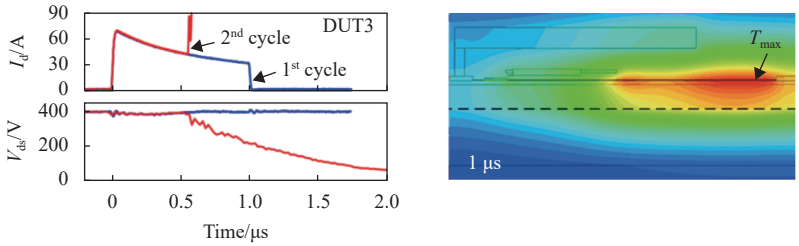
路电流逐渐衰减。当器件内部累积热量达到临界水平时，器件发生灾难性热失效[29]。器件失效后可观察到器件内部出现大面积烧毁，并伴随明显的金属熔融和材料喷溅现象（见图 24b），与短路波形所反映的热烧毁失效特征相一致。与此同时，器件单元胞电热耦合 TCAD 仿真结果表明，短路过程中漏极侧栅边缘附近形成局部电场峰值，同时该区域对应器件最高的功率密度及结温分布。局部高电场、高功率密度与高结温在空间上的集中分布，充分表明漏极侧栅边缘是短路过程中电热耦合作用最为剧烈的区域，也是器件发生热烧毁失效的关键位置。



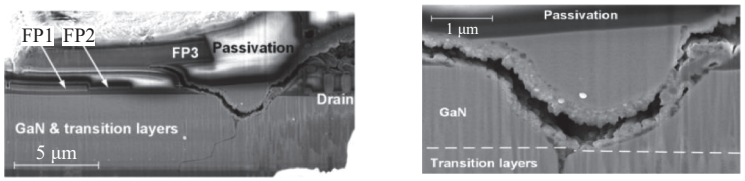
a. 低短路漏压应力单次短路失效波形　d. 短路应力下器件电场分布仿真结果　b. 器件短路失效形貌　c. 器件短路失效区域放大形貌　e. 短路应力下器件温度分布仿真结果

图 24　氮化镓功率器件短路失效特征及仿真结果

重复性短路失效主要受累计短路能量控制，而非固定的短路次数。器件经历重复短路应力时，每一次短路产生的瞬态温升都会引起 GaN 外延层、过渡层及 Si 衬底之间的热膨胀失配，在反复升温—降温过程中不断累积热机械应力，并逐渐诱发缓冲层与过渡层界面的热疲劳裂纹以及位错等晶体缺陷的形成与扩展[31]，如图 25 所示。因此，相较于单次短路耐受能力，GaN 功率器件的重复性短路耐受能力通常更为有限，往往在远低于单次短路失效能量的累计能量条件下即发生最终失效。



a. 重复性短路测试波形 (V_{gs}=6 V/0 V, t_p=1 μs)　b. 短路应力1 μs下的器件仿真温度分布



c. 重复性短路失效器件的FIB剖面图　d. 裂纹局部放大图

图 25　氮化镓功率器件重复性短路失效特征

2.3　氮化镓功率器件重复性短路应力退化机理

功率器件不仅需具备强健的短路耐受能力，亦需在重复短路故障过程中维持电学特性的稳定性，以保证功率转换系统长期安全运行。然而，在重复性短路应力作用下，器件循环性承受高电压、大电流及剧烈自热效应耦合形成的极端瞬态电热应力，其阈值电压（V_{TH}）、R_{ON} 及饱和漏极电流（I_D）等关键电学参数将发生不同程度的退化，进而影响器件的驱动裕度、导通损耗及系统的安全可靠性。

本研究团队从 GaN 器件在短路应力下的器件性能退化动态机制与失效机理出发，系统研究在短路电热耦合应力下造成器件退化与最终失效的底层物理机制，最终开发了目前公开报道的具有最高短路可靠性的高压 GaN HEMT 功率器件。本课题组采用短路应力—电学表征—短路应力（stress-characterization-stress）测试方案（见图 26），对 100 V 低压 p-GaN gate HEMTs 在重复性短路应力下的电学参数演化规律进行了系统研究[34-35]。结果表明，如图 27 所示，随着短路循环次数增加，器件表现出典型的单调退化特征：V_{TH} 持续正向漂

移， R_{ON} 逐渐增加，而 I_D 不断下降。可以看到，当栅极应力由 4 V 提高至 6 V 时，100 次短路后的 V_{TH} 漂移由 0.31 V 增加至 0.65 V，I_D 降幅由 9% 增加至 24%；当漏极应力由 40 V 提高至 70 V 时，V_{TH} 漂移幅度进一步增大至 0.77 V，I_D 对应降幅约为 23%。上述结果表明，低压 p-GaN gate HEMTs 在重复性短路应力下具有一致的单调退化规律，且退化程度随短路次数与应力强度增加而持续加剧。

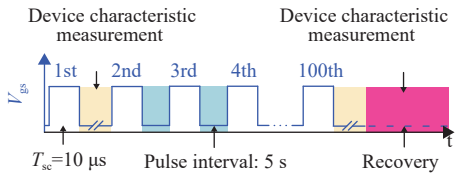
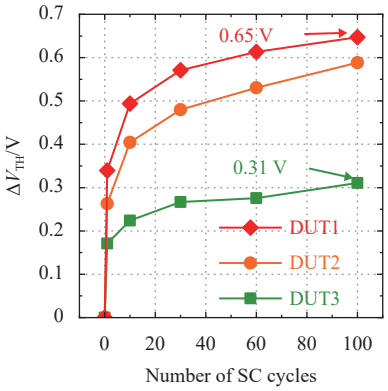
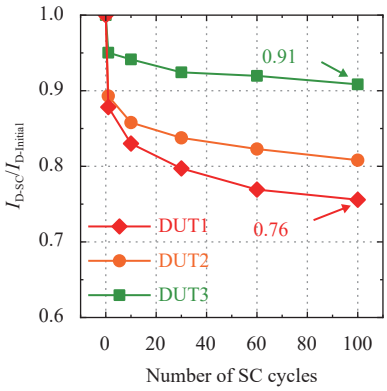


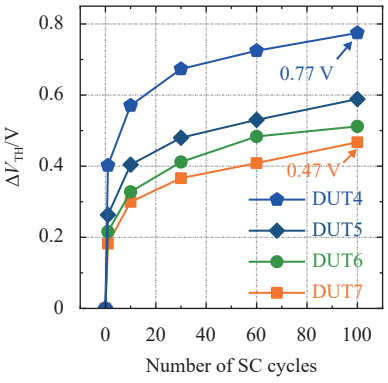
图 26 氮化镓功率器件重复性短路稳定性研究方案



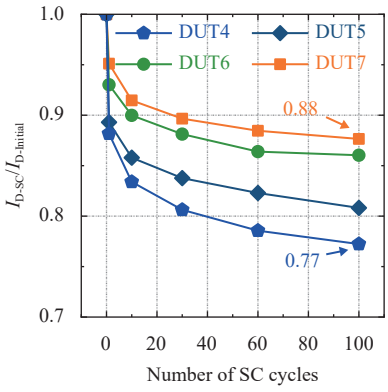
a. 变栅压应力 (V_{gs}=6, 5, 4 V, V_{dc}=60 V)下V_{TH}变化



b. 变栅压应力 (V_{gs}=6, 5, 4 V, V_{dc}=60 V)下I_D变化



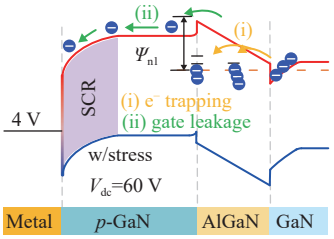
c. 变漏极电压应力 (V_{dc}=70, 60, 50, 40 V, V_{gs}=5 V)下V_{TH}变化



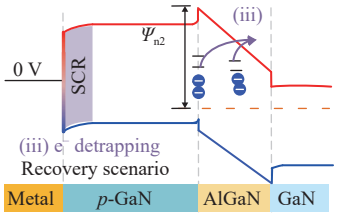
d. 变漏极电压应力 (V_{dc}=70, 60, 50, 40 V, V_{gs}=5 V)下I_D变化

图 27 低压氮化镓功率器件重复性短路稳定性实验结果

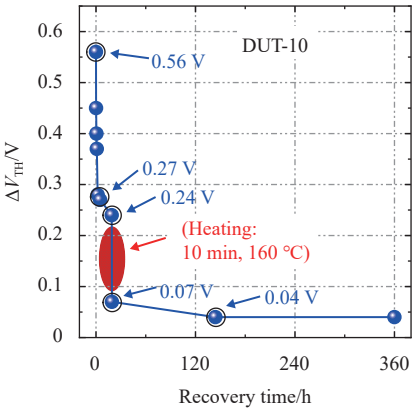
结合短路应力后器件特性恢复监测结果与 TCAD 仿真分析，器件在重复性短路应力下的单调退化主要受电子俘获过程主导。在短路应力条件下，漏侧栅边缘及场板边缘形成局部峰值电场，峰值电场加速沟道电子获得能量越过 AlGaN 势垒，并分别被俘获于 p-GaN/AlGaN 界面及 AlGaN 势垒层陷阱中，如图 28 所示。栅极区域电子俘获导致栅堆栈结构内负电荷逐渐累积，导致 2DEG 耗尽，从而引起 V_{TH} 持续正向漂移。与此同时，栅漏接入区陷阱电荷形成类似“虚拟栅（virtual gate）”的调制效应，进一步降低沟道载流子浓度，导致 R_{ON} 增加和 I_D 进一步地下降。随着重复性短路应力持续累积，陷阱态逐渐趋于填充饱和，器件电学参数最终表现出逐渐饱和的单调退化特征。恢复监测进一步证实了上述退化机制。在温和短路应力（V_{GS}≤5 V, V_{DS}<60 V）下，器件退化后的电学参数经室温恢复及高温处理后能够基本恢复至初始状态，表明该阶段退化主要来源于可逆电子俘获与去俘获过程。而随着短路栅压或漏压应力进一步提高，局部峰值电场显著增强，持续的高能热电子注入不仅加剧界面及势垒层电子俘获，同时不断轰击 p-GaN/AlGaN 界面及栅漏接入区，诱导界面缺陷生成及晶格损伤，形成稳定的固定负电荷，如图 29 所示。由于该结构损伤难以通过电子去俘获过程消除，即使经过长时间室温恢复及高温处理，器件仍存在不可恢复的 V_{TH} 漂移和 I_D 退化。



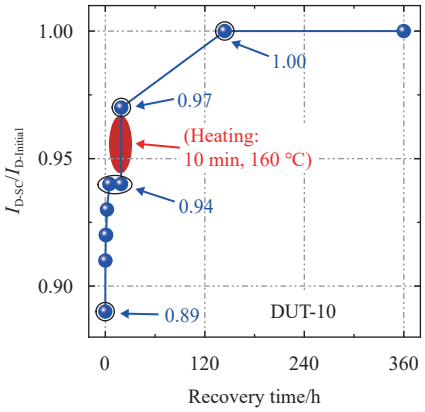
a. 短路应力下P-GaN栅极区域载流子输运



b. 恢复过程中P-GaN栅极区域载流子输运

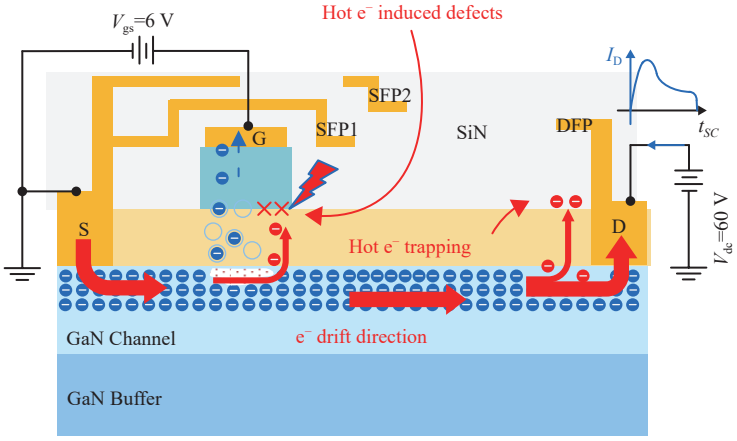


c. V_{gs}=5 V, V_{dc}=40 V下DUT-10的V_{TH}动态恢复

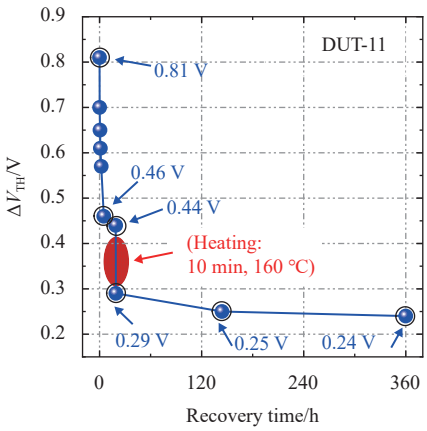


d. V_{gs}=5 V, V_{dc}=40 V下DUT-10的I_D动态恢复

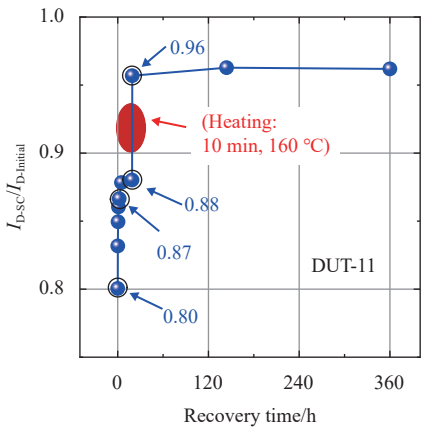
图 28　氮化镓功率器件重复性短路可恢复退化物理机理示意图



a. 严苛短路应力下器件电荷转移示意图



b. V_{gs}=5V, V_{dc}=70 V下DUT-11的V_{TH}动态恢复



c. V_{gs}=5V, V_{dc}=70 V下DUT-11的I_D动态恢复

图 29　氮化镓功率器件重复性短路永久性退化物理机理示意图

本课题组进一步针对 650 V 高压 p-GaN gate HEMTs 开展了系统的重复性短路退化机理研究，发现了其电学参数演化规律与低压器件存在显著差异[32, 36]。研究表明，在低短路应力条件下，器件表现出与低压 p-GaN gate HEMTs 一致的单调退化特征。如图 30 所示，在 V_{GS} = 4 V、V_{DS} = 100 V 条件下，经过 100 次重复性短路应力后，器件 V_{TH} 正向漂移 0.65 V，R_{ON} 增加约 40%，表明此时器件退化主要表现为 V_{TH} 正向漂移及导通能力持续衰减。然而，在更高栅压和漏压短路应力下，V_{TH} 正向漂移及 R_{ON} 增幅并未持续加剧，反而呈现显著减弱趋势。当短路应力进一步提高至 V_{GS} = 6 V、V_{DS} = 300 V 时，V_{TH} 由正向漂移逆转为−0.04 V 的负向漂移，R_{ON} 增幅亦同步降至约 3%。上述结果表明，高压 p-GaN gate HEMTs 在重复性短路应力下表现出区别于低压器件单调退化规律的非单调参数演化特征。此外，图 31 展示了不同环境温度下的短路重复性实验，结果表明在相同短路应力条件下，提高环境温度同样能够显著抑制 V_{TH} 漂移及 R_{ON} 增加，说明器件退化不仅受局部峰值电场控制，还与短路过程中的结温密切相关。

进一步结合 TCAD 仿真与恢复行为监测，对高压 p-GaN gate HEMTs 重复性短路退化的物理机制进行了系统研究，研究发现，在温和短路应力条件下，器件退化规律与低压器件基本一致，主要由瞬态电热耦合应力驱动的电子俘获所主导（如图 28 和图 29 所示）。随着短路应力进一步增强，器件内部局部峰值电场和结温进一步升高，器件退化机制由热电子俘获主导逐渐演变为热电子俘获与空穴注入相互竞争。TCAD 仿真结果表明，在高栅压短路应力下，源极栅边缘形成近似垂直于 2DEG 沟道的电场，可有效降低 p-GaN 层与 AlGaN/GaN 异质结之间的价带势垒，从而促进 p-GaN 层空穴向 AlGaN/GaN 异质结注入。如图 32a 和图 32b 所示，更高强度的短路应力增强器件自热效应使栅极区域结温，由温和应力下约 125 ℃ 升高至严苛应力下约 274 ℃，进一步促进 Mg 受主热激活并增强空穴注入。注入空穴被 AlGaN 势垒层及 GaN 缓冲层陷阱俘获后，如图 32c 和 32d 所示，可补偿热电子俘获形成的负电荷积累。同时，高结温对热电子产生具有一定抑制作用，两种效应共同削弱了 V_{TH} 正向漂移及 R_{ON} 增加。恢复行为监测进一步证实了上述竞争机制：随着短路应力增强，器件参数恢复轨迹由单向恢复逐渐转变为双向演化，V_{TH} 和 R_{ON} 在恢复过程中均出现负向退化趋势，进一步表明高温诱导的空穴注入逐渐占据主导地位。因此，器件电学参数随短路应力增强并未呈现持续退化趋势，而是表现出区别于低压器件单调退化规律的非单调演化特征，表明短路高结温诱导的空穴注入能够在一定程度上补偿热电子俘获引起的负电荷积累，从而抑制电学参数的持续退化，有助于提高器件在重复性短路应力下的电学稳定性。

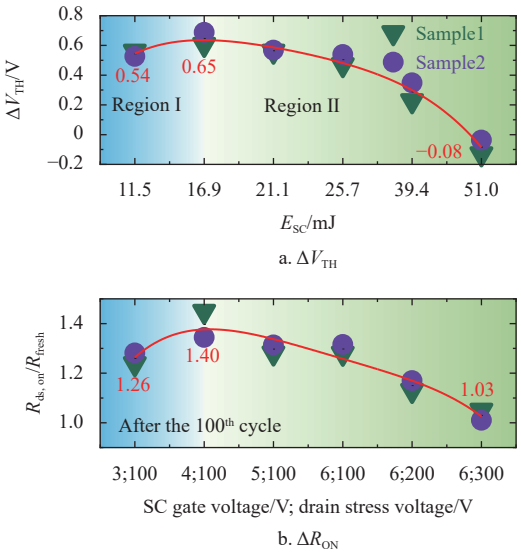


图 30 不同短路应力电压（能量）下器件承受 100 次短路应力后的电学参数退化

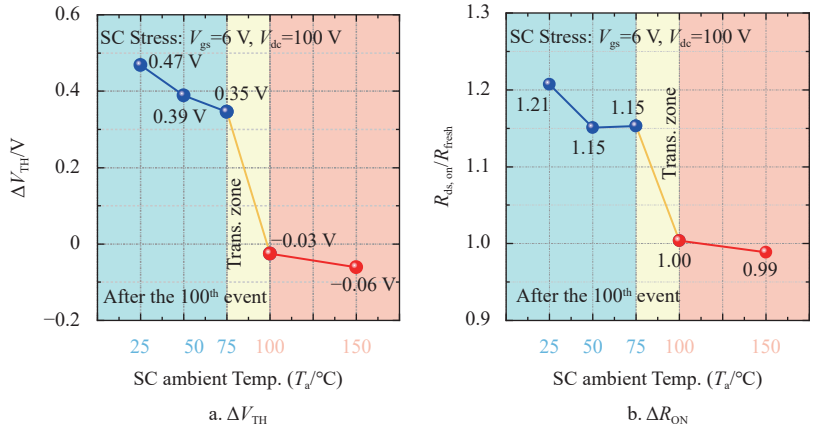
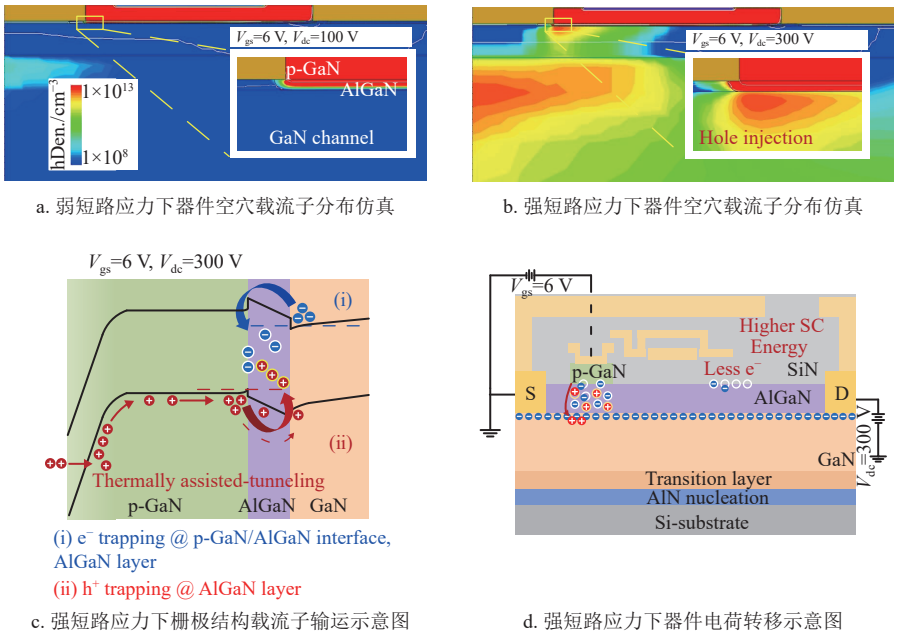


图 31 不同环境温度下器件经 100 次短路应力后的参数退化



a. 弱短路应力下器件空穴载流子分布仿真　　b. 强短路应力下器件空穴载流子分布仿真

c. 强短路应力下栅极结构载流子输运示意图　　d. 强短路应力下器件电荷转移示意图

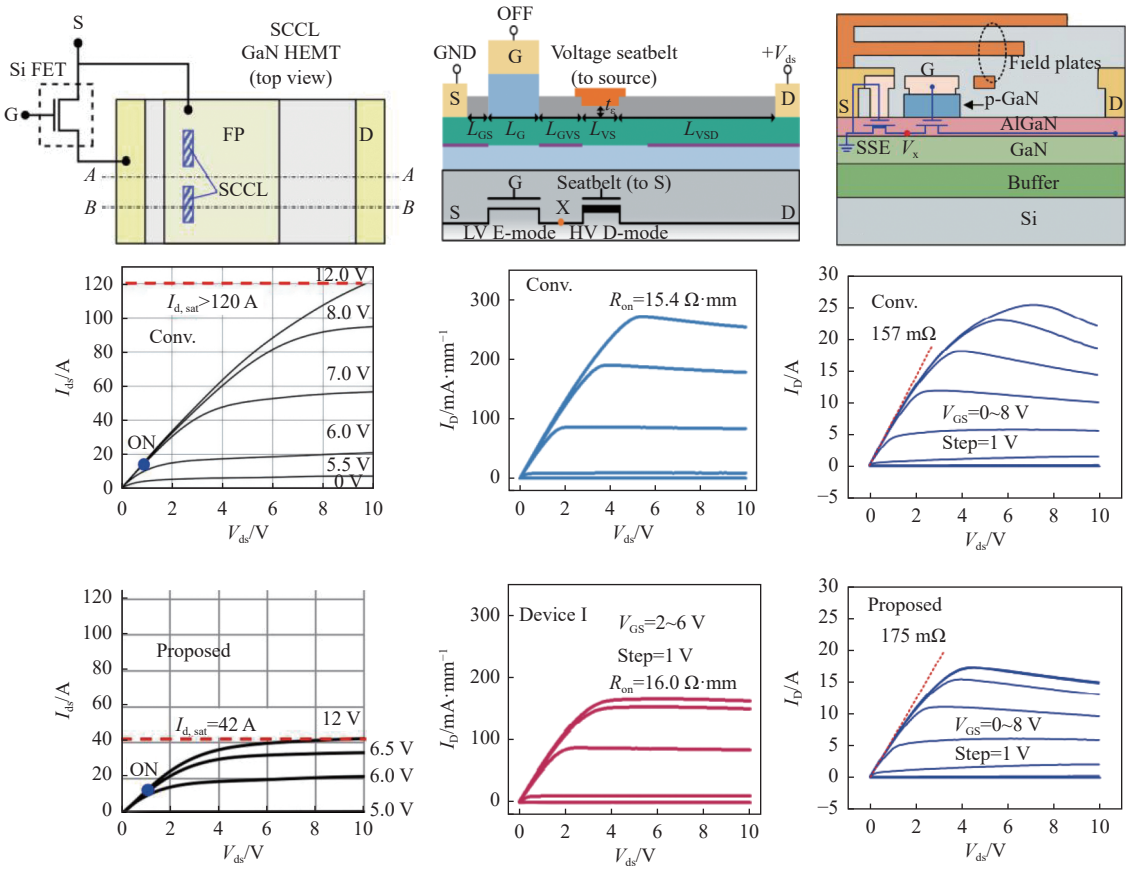
图 32　高压器件短路应力下双向退化物理机理示意图

2.4　氮化镓功率器件本征短路增强研究进展

针对短路过程中极端电热耦合应力导致的热失控烧毁问题，降低短路电流以抑制瞬态功耗，已成为提升功率器件短路可靠性的有效途径。借鉴 Si 基功率器件通过限流设计增强本征短路能力的设计理念，近年来研究者提出了多种面向 GaN 功率器件的本征限流短路加固方案。文献 [37-39] 分别提出了 3 种基于不同器件结构设计的限流短路加固方案（如图 33 所示），通过降低二维电子气（2DEG）浓度或引入等效串联耗尽型晶体管以提前夹断沟道，从而实现器件本征限流与短路耐受能力的提升。其中，文献 [37] 采用阵列刻蚀 AlGaN 势垒层的结构，在 V_{DS}=400 V 条件下实现了超过 3 μs 的单次短路耐受时间；文献 [38] 将器件的短路失效电压从 239 V 提高至 401 V；文献 [39] 则将短路耐受时间由初始的 115 μs 延长至 190 μs。然而，上述短路加固方案均以导通性能的显著退化为代价：文献 [37] 中饱和电流下降逾 65%，导通电阻增加 35%；文献 [38-39] 中饱和电流能力亦降低约 34%～38%。总体而言，静态限流短路加固设计预先固定器件结构参数，导致器件正常导通与短路应力下均表现为相同的电流调控特性。因此，在短路可靠性提升的同时，难以避免地需要对导通电阻、输出电流能力等性能指标进行一定的折中。

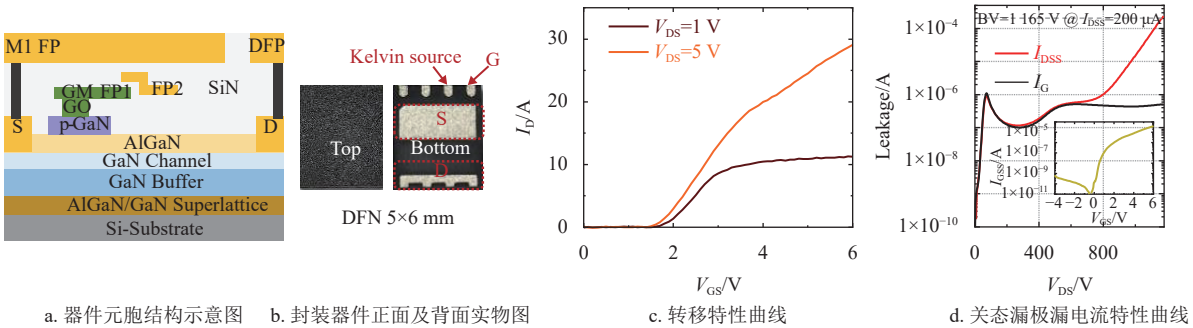
与上述基于器件结构静态限流的短路加固思路不同，短路瞬态栅极电流（transient gate current）负反馈调控有效栅极电压为 p-GaN gate HEMTs 本征短路加固提供了另一种物理实现途径。由于 p-GaN gate HEMTs 具有独特的金属/p-GaN/AlGaN/GaN 栅极结构，其栅极可等效为背靠背串联的肖特基结与 p-i-n 结，在正常工作状态下能够有效抑制载流子向栅极的输运，因此静态栅极漏电流通常仅为微安量级。然而，在短路瞬态极端电热耦合应力作用下，漏极栅边缘处形成局部电场峰值。沟道电子在该高电场中获得足够能量并翻越 AlGaN 势垒层，与注入至 p-GaN 层的空穴发生复合，从而产生毫安级瞬态栅极电流[33]。该瞬态电流流经外部栅极驱动电阻时形成显著压降，导致器件实际承受的有效栅压在短路过程中动态降低。有效栅压的降低会削弱沟道导通能力，进而限制短路电流并抑制热积累，形成器件的自适应短路保护机制。因此，充分利用 p-GaN gate HEMTs 短路瞬态栅极电流对有效栅压的动态调控作用，为器件本征短路增强提供了一条区别于传统静态限流方案的新型技术路径。基于上述瞬态栅极电流对有效栅压的动态负反馈调控机制，本研究团队提出了薄 AlGaN 势垒本征增强型 650 V 肖特基型 p-GaN gate HEMT[33]，如图 34a 所示。该器件保持了常规肖特基型 p-GaN gate HEMT 的基本结构，仅将 AlGaN 势垒层厚度减薄至约 11 nm，并结合单栅场板及双源场板优化器件电场分布，无须增加额外器件结构设计并兼容现有工

艺流程。如图 34 和图 35 所示，该器件击穿电压为 1 165 V，V_{TH} 约 1.15 V，R_{ON} 约 89 mΩ，饱和漏极电流约 31.5 A，各项静态电学性能与同等级商用 650 V 肖特基型 p-GaN gate HEMT（DUT-A & DUT-B）相当，表明减薄 AlGaN 势垒层并未对器件正常导通能力造成明显影响。



a. 集成SCCL的级联常关型GaN器件　b. 集成电压限位器的GaN器件　c. 源级肖特基拓展的GaN器件

图 33　限流法短路加固 GaN 功率器件结构示意图

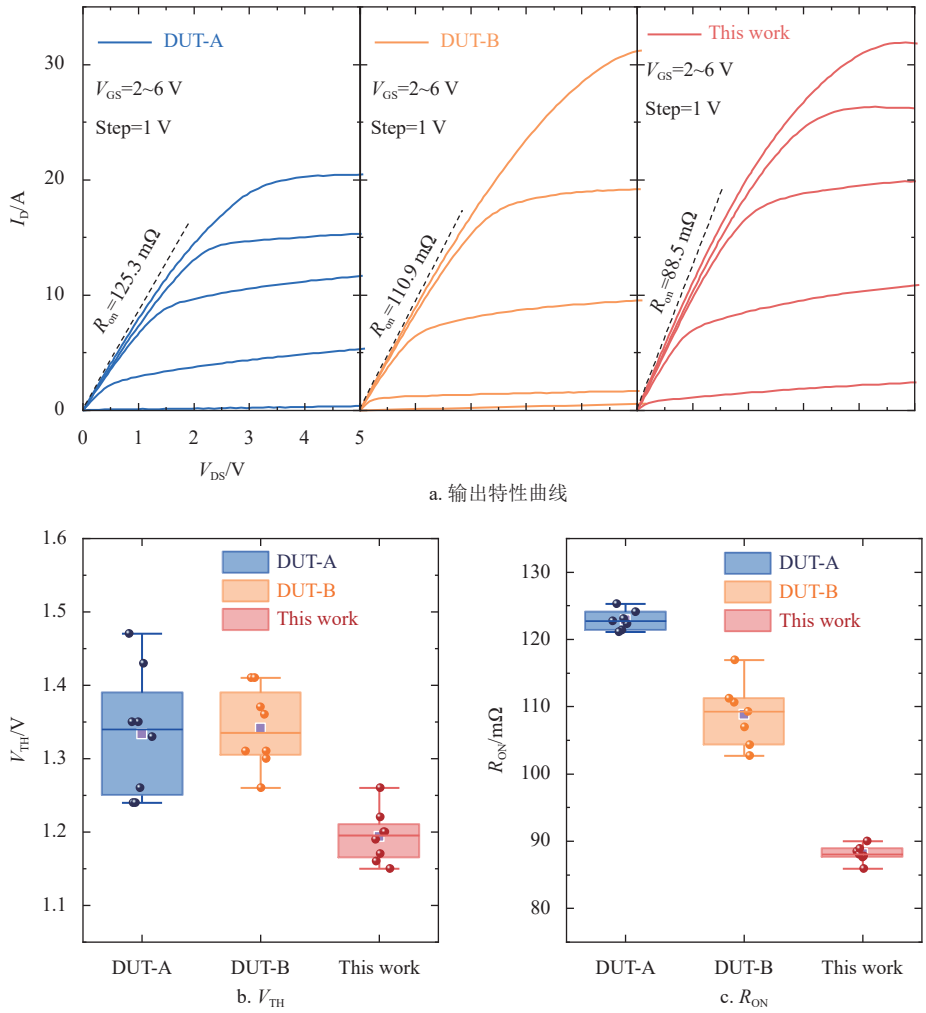


a. 器件元胞结构示意图　b. 封装器件正面及背面实物图　c. 转移特性曲线　d. 关态漏极漏电流特性曲线

图 34　650 V 薄 AlGaN 势垒 GaN HEMT 器件结构及静态电学特性

然而，薄 AlGaN 势垒结构对短路瞬态栅极电流具有显著增强作用。如图 36 所示，在 V_{DS}=450 V、V_{GS}=6 V、t_{pulse} = 10 μs 条件下，所研制器件的短路瞬态栅极电流值达到约 50 mA，显著高于两款商用 p-GaN gate HEMTs 的约 27 mA（DUT-A）和约 5 mA（DUT-B）。该短路瞬态栅电流增强效应源于薄 AlGaN 势垒层有效降低了沟道电子跨越势垒的难度：一方面，极端电热耦合应力中的高能量电子更容易翻越减薄的 AlGaN 势垒层输运至栅极；另一方面，短路高漏极电压产生的强电场促进热电子形成，并进一步增强其穿越薄 AlGaN 势垒与 p-GaN 层空穴复合的过程。上述两种载流子输

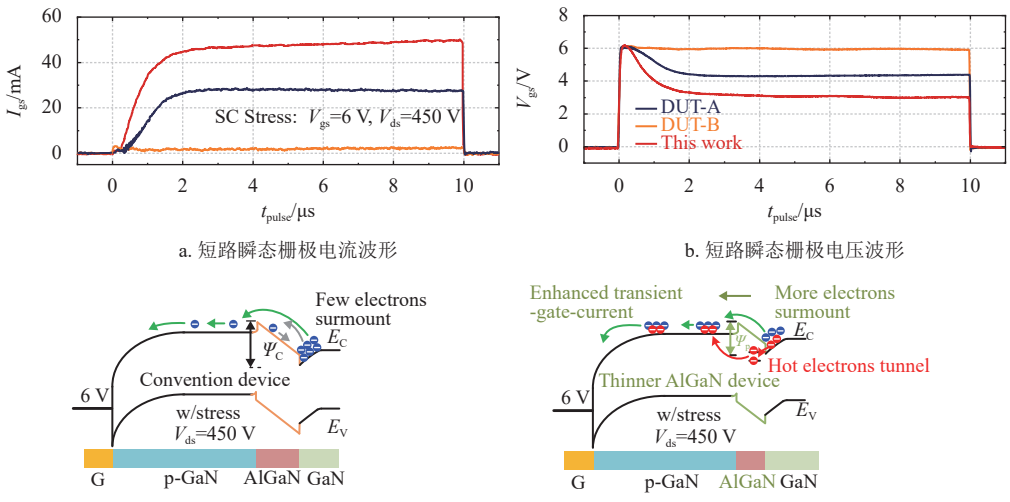
运机制共同增强了短路瞬态栅极电流，进而在外部栅极电阻上产生更大的电压降，使短路期间有效栅压进一步降低，实现对沟道导通能力的自适应调控，从而有效抑制短路电流及热积累。



a. 输出特性曲线

b. V_{TH}　　c. R_{ON}

图 35　650 V 薄 AlGaN 势垒 GaN HEMT 与商用器件静态电学性能对比

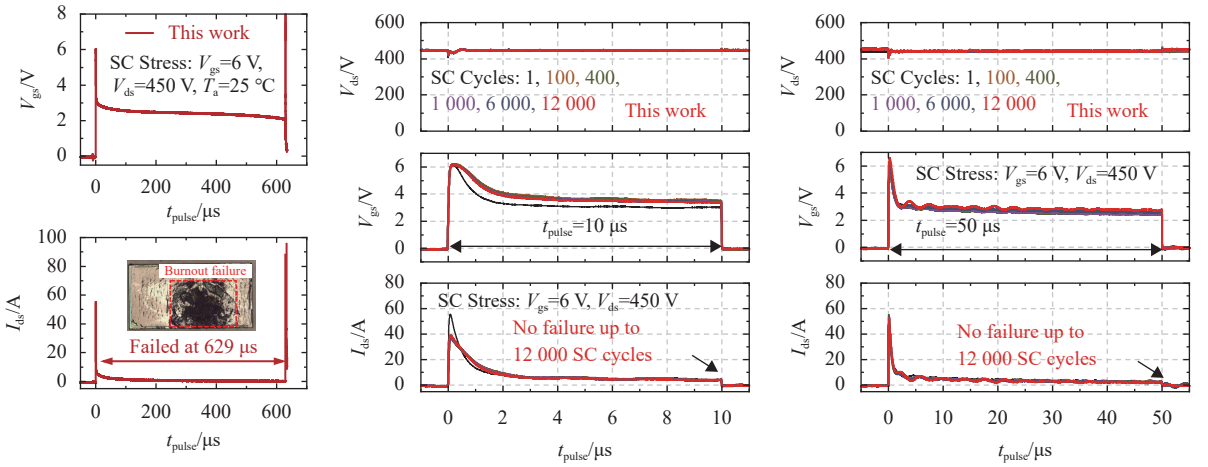


a. 短路瞬态栅极电流波形　　b. 短路瞬态栅极电压波形

c. 常规器件短路条件下栅极能带示意图　　d. 薄AlGaN势垒器件短路条件下栅极能带示意图

图 36　薄 AlGaN 势垒器件增强短路瞬态栅极电流机理

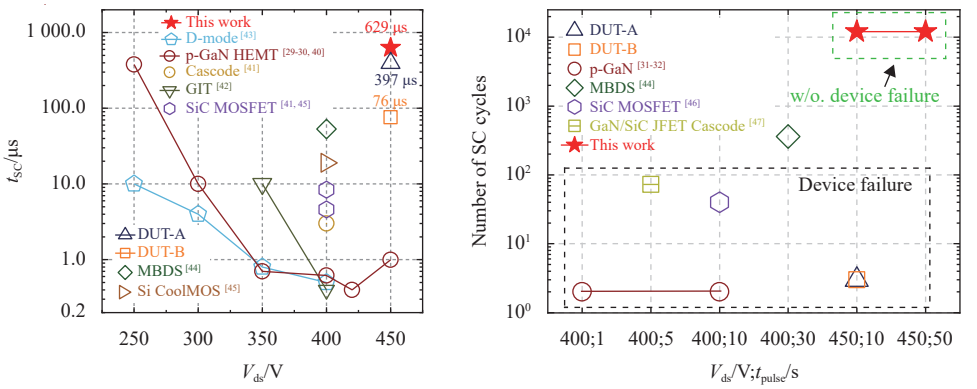
在此基础上，对器件单次及重复性短路能力进行了系统验证，如图 37 所示，薄 AlGaN 势垒 p-GaN gate HEMTs 表现出优异的短路耐受能力。在更高母线电压 450 V 下，器件实现了长达 629 μs 的单次短路耐受时间，较同等级商用 p-GaN gate HEMTs 分别提升了约 232 μs 和 553 μs，为目前 650 V 级 GaN 功率器件公开报道中的最高水平。重复性短路测试进一步验证了器件优异的短路可靠性：在 V_{DS}=450 V 和 t_{pulse}=10 μs 短路脉冲条件下，两款商用器件均在第 3 次短路冲击后失效，而所研制的薄 AlGaN 势垒器件可稳定承受高达 12 000 次重复性短路冲击且未发生失效；即使将短路脉宽进一步增加至 50 μs，器件仍可稳定承受 12 000 次重复性短路冲击。该结果突破了现有 650 V 等级 GaN 功率器件的重复性短路能力极限，体现出优异的本征短路鲁棒性，如图 38 所示。



a. 单次短路耐受能力　b. 10 μs短路脉冲下的重复性短路耐受能力　c. 50 μs短路脉冲下的重复性短路耐受能力

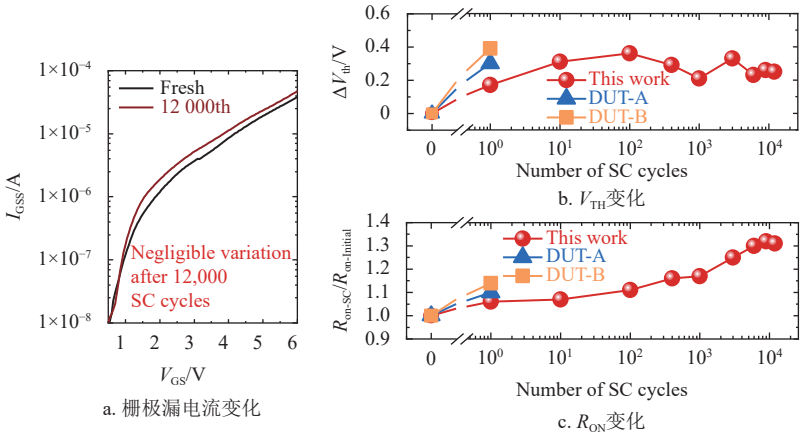
图 37　薄 AlGaN 势垒器件短路耐受能力

值得注意的是，尽管短路期间瞬态栅极电流显著增大，但该电流仅存在于短路瞬态过程，并不会对器件栅极结构造成额外损伤。如图 39 所示，器件经历 12 000 次重复性短路冲击后，静态栅极漏电流基本保持不变，表明薄 AlGaN 势垒设计能够在增强短路瞬态栅极电流的同时保持良好的栅极结构完整性。进一步考察重复性短路后的电学参数稳定性，器件 V_{TH} 在 12 000 次短路冲击后始终稳定于 0.17～0.36 V 范围内，R_{ON} 增幅约 31%，均显著优于已有同类 650 V p-GaN gate HEMT 的报道结果。上述结果表明，该自适应短路保护机制不仅显著提升了器件的短路耐受能力，亦兼顾了长期重复性短路稳定性与正常工作性能，为 650 V p-GaN gate HEMT 本征短路增强提供了新的设计思路，充分证实了基于瞬态栅极电流−有效栅压负反馈调控机制的本征短路增强策略在短路鲁棒性与工程应用方面的潜力。



a. 600~650 V GaN HEMT、Si CoolMOS及SiC MOSFET单次短路耐受能力[29-30, 40-45]　b. 650 VGaN HEMT、GaN/SiC级联JFET及1.2 kV SiC MOSFET重复性短路耐受能力[31-32, 44, 46-47]

图 38　短路耐受能力对比



a. 栅极漏电流变化　　b. V_{TH}变化　　c. R_{ON}变化

图 39　12 000 次重复性短路应力前后 V_{DS}= 450 V、V_{GS}= 6 V、t_{pulse} = 10 μs，薄 AlGaN 势垒器件重复性短路稳定性

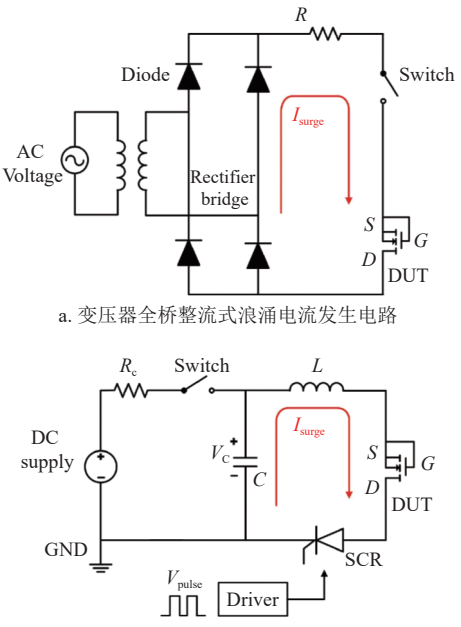
3　极端瞬态浪涌电流下器件可靠性

在逆变器及 DC/DC 转换器等应用中，GaN HEMT 的反向导通特性已得到广泛验证，其应用潜力获业界充分认可[48-49]。然而，在实际运行工况下，器件在反向导通期间往往需承受远超额定值的浪涌电流冲击[50-51]。受限于较短的商业化周期，目前关于 GaN HEMT 浪涌电流下的失效机理尚不明确，其抗浪涌能力亦未得到系统性评估。由于结构及工艺上的本质差异，现有的 Si/SiC MOSFET 浪涌可靠性理论无法直接外推至 GaN 器件。因此，深入剖析 GaN HEMT 在浪涌电流冲击下的电热退化行为与失效机理，已成为提升器件可靠性及优化系统防护设计的当务之急，并为未来实现器件抗浪涌能力的量化设计与性能提升明确了核心研究方向。

3.1　极端瞬态浪涌电流应力测试技术

目前，浪涌电流测试拓扑主要分为变压器全桥整流与 LC 振荡放电两大类。图 40a 所示的变压器全桥整流方案由交流电网供电，经调压变压器与整流桥截取正弦半波产生浪涌电流应力。该方案电路结构简单，易于实现连续脉冲测试，能较好地模拟工频重复过流等实际应用场景。然而，该方案的缺陷在于其输出波形极易受到电网谐波与电压波动的干扰；同时，工频变压器体积笨重、设备集成度低，且浪涌电流脉宽严格受限于工频周期（10 ms/8.3 ms），无法根据测试需求实现脉宽的独立调节。

相比之下，图 40b 所示的 LC 振荡放电方案具备更高的灵活性与可控性，已成为半导体器件浪涌可靠性定量表征与失效分析的主流选择。该方案通过直流电源对储能电容进行预充电，随后通过受控主开关触发 LC 瞬态谐振放电，从而生成半正弦大电流脉冲。其优势在于：测试回路与交流电网完全隔离，抗干扰能力强；浪涌电流峰值与脉宽可分别通过调节充电电压与 LC 回路参数进行精准、独立解耦控制；平台结构紧凑，极具实验室环境下开展定量应力测试与高重复性评估的便利性。



a. 变压器全桥整流式浪涌电流发生电路

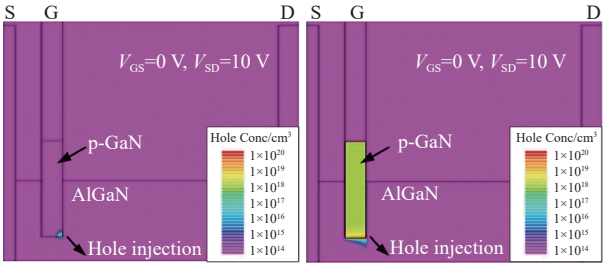
b. LC振荡式浪涌电流发生电路

图 40　变压器全桥整流式浪涌电流发生电路 LC 振荡式浪涌电流发生电路

3.2　浪涌电流应力下的退化行为与失效机理

依托上述精准可控的浪涌测试平台，研究人员在不同应力模式（如单次大脉冲、长期重复浪涌、不同脉宽与温度）下对 GaN HEMT 进行系统的浪涌电流应力下的退化行为表征与失效分析。文献 [52-53] 研究表明，当 GaN HEMT 工作在第三象限反向导通模式时，其电流传导机制不仅依赖 2DEG 沟道的电子输运，还高度取决于 p-GaN

栅极对沟道的空穴注入行为，且栅极接触结构对器件的浪涌电流性能具有决定性影响。如图 41 所示，相较于肖特基接触，欧姆型 p-GaN 接触能够显著提升空穴注入效率，增加参与导电的载流子浓度，并有效降低第三象限等效导通电阻。这种增强的空穴注入效应极大地改善了器件在第三象限的大电流导通能力，从而显著提升了其浪涌电流耐受水平。



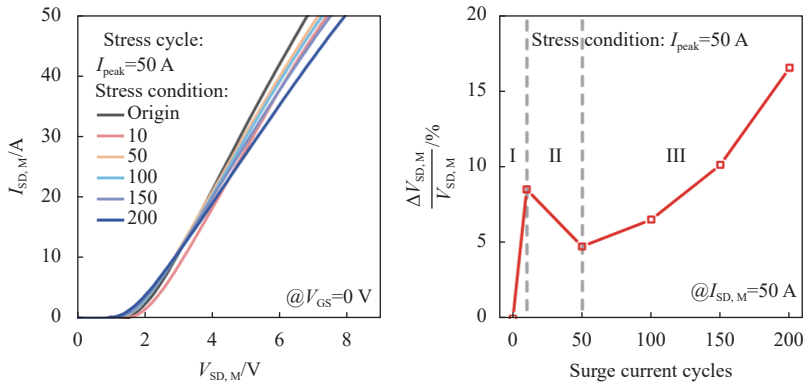
a. 肖特基型栅接触　　b. 欧姆型栅接触

图 41　不同 p-GaN 接触结构 E-HEMT 在第三象限 V_{GS} = 0 V, V_{SD} = 10 V 条件下的空穴浓度分布

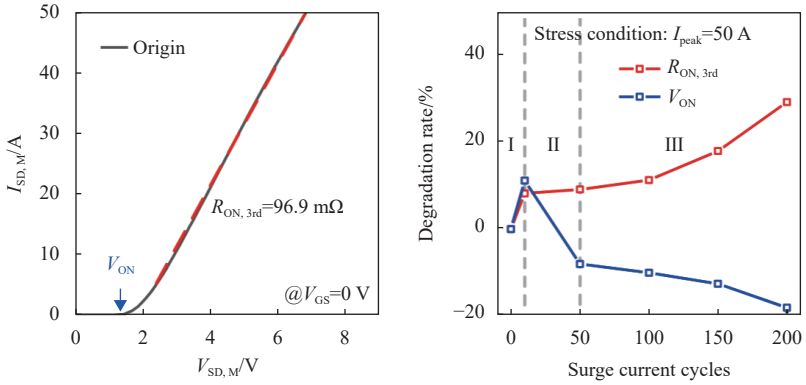
尽管欧姆型栅极具备更高的抗浪涌上限，但目前商业化应用广泛的肖特基型 p-GaN gate HEMT 在重复浪涌电流冲击下，呈现出了较为复杂的动态电学参数退化现象。本团队研究表明，在重复浪涌电流应力作用下，肖特基型 p-GaN 栅器件的退化呈现出典型的多机制竞争演变特征，且其退化轨迹与浪涌电流峰值及循环次数密切相关[54]。在低峰值浪涌下，退化过程主要由电子俘获效应主导。被俘获的电子调制了栅下区域的电势分布与载流子输运，引发 V_{TH} 等器件参数漂移；随着浪涌峰值与循环次数提升，空穴俘获效应逐渐超越电子俘获占据主导地位，致使 V_{TH}、栅漏电流（I_{GSS}）及关态漏电流（I_{DSS}）的退化趋势发生转变；当承受超高峰值浪涌冲击时，栅极强电场与高热应力会在栅区诱生新的施主型陷阱，造成 V_{TH} 永久性负向漂移[54]。

与此同时，长期重复的浪涌电流应力会导致器件第三象限导通能力逐渐下降，使得在后续浪涌冲击过程中器件两端的导通压降不断抬升，如图 42 所示。肖特基型 p-GaN 栅极可等效于两个背靠背串联的二极管。如图 43 所示，在浪涌电流应力作用下，反偏肖特基结 D1 承受了绝大部分导通压降（V_{GD}），导致 p-GaN 层几乎完全耗尽。浪涌导通电压的抬升进一步加剧了栅漏间的电压应力与肖特基结 D1 的局部电场强度，当电场达到临界阈值时，将引发肖特基结击穿并导致器件失效[55]。此外，高峰值重复浪涌还会诱发肖特基型 p-GaN gate HEMT 出现独特的双向不可恢复栅漏电流退化行为，如图 44 所示。高电场与高自热环境在 p-GaN 栅区内部同时激发生成施主型与受主型陷阱，其中受主型陷阱提高电子势垒以抑制低栅压下的栅漏电流，而施主型陷阱则通过缺陷辅助隧穿（DAT）效应加剧高栅压下的栅漏电流。由于部分被捕获的深能级电荷在应力解除后无法完全释放，器件最终表现出不可逆的电学性能退化[56]。

除浪涌电流峰值与循环次数外，外部工作环境（环境温度、浪涌脉宽）及电路偏置条件亦对器件的浪涌响应与退化速率具有显著的调制作用。本课题组研究表明，随着环境温度升高或浪涌脉冲宽度增加，器件内部热积累加剧，引发强烈的自热效应，导致沟道迁移率下降及电场分布恶化，使器件的浪涌耐受能力急剧下降[57]。在高浪涌电流密度下，源极金属接触电阻及寄生电阻会引发源极电位抬升。由此产生的额外内部压降会削弱栅极的有效偏置电压，如图 45 所示。对于欧姆型 p-GaN gate HEMT，由于其良好的欧姆接触特性与强空穴注入能力，源极电位抬升带来的影响相对有限。但对于肖特基型 p-GaN gate HEMT，栅压波动会直接改变肖特基结承受的实际动态电场应力，从而诱发栅极漏电流的动态偏移与非线性漂移[58]。

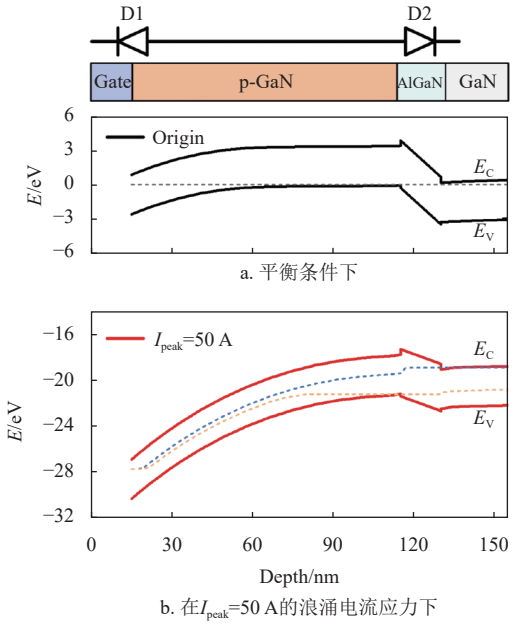


a. $I_{SD,M}$–$V_{SD,M}$特性曲线　　b. $V_{SD,M}$变化率



c. V_{ON}及$R_{ON,\ 3rd}$提取示意图　　d. V_{ON}及$R_{ON,\ 3rd}$的退化率

图 42　DUT 在 I_{peak} = 50 A 重复浪涌应力下的性能变化

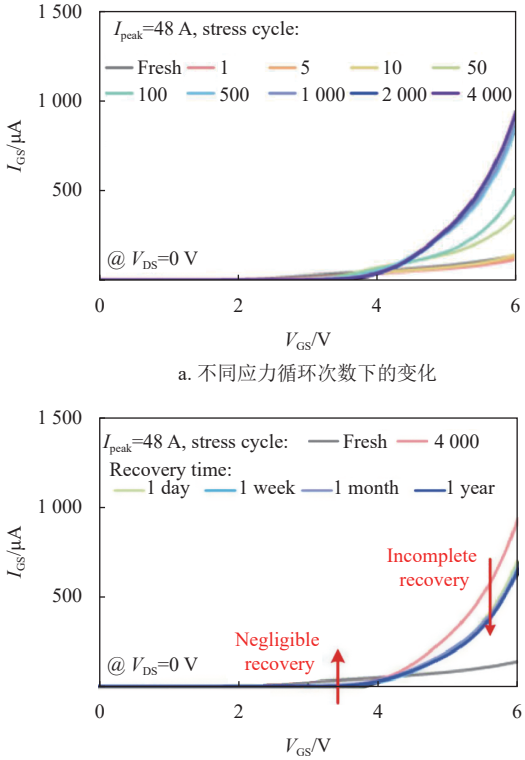


a. 平衡条件下

b. 在I_{peak}=50 A的浪涌电流应力下

图 43　肖特基型 p-GaN gate HEMT 栅极能带图

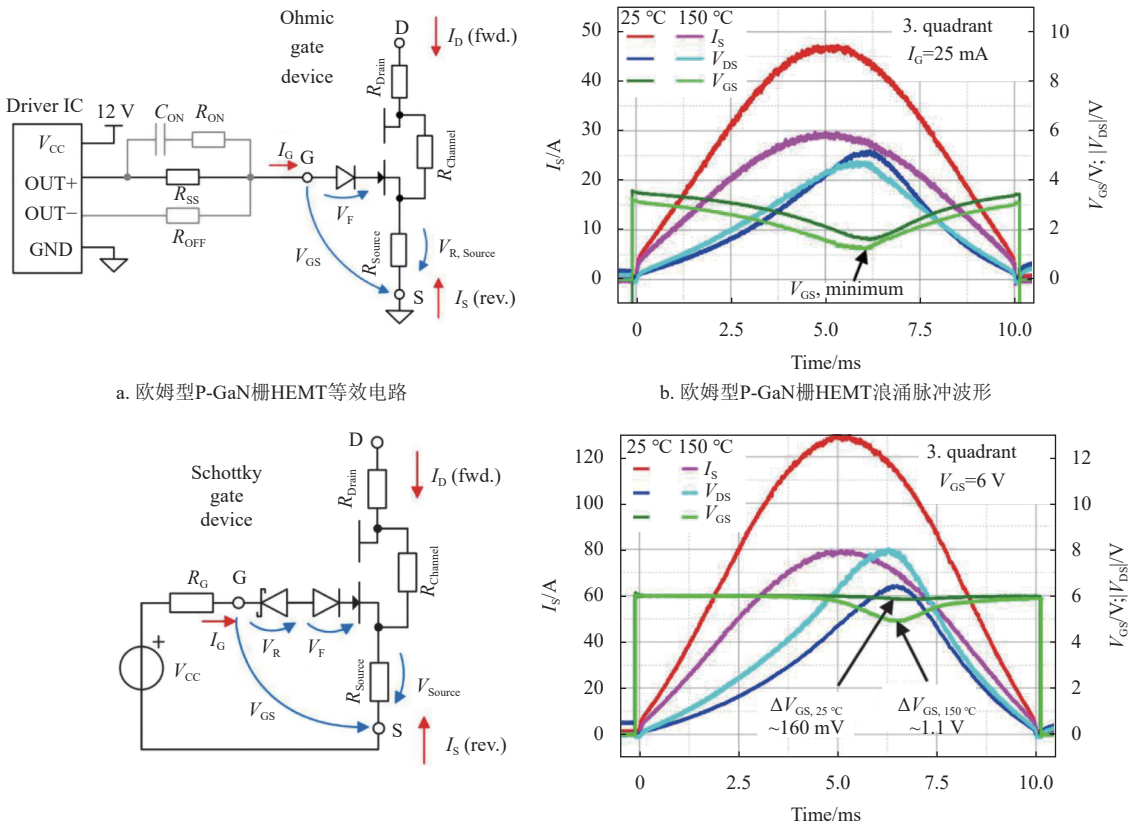
针对浪涌电流应力失效的物理机制，学术界展开了深入探索。本研究团队利用 TCAD 仿真揭示，栅区电热损伤是浪涌失效演化中的关键环节，其形成与热辅助空穴隧穿机制密切相关[59]。在大浪涌电流与高电压的强电热耦合作用下，器件栅极边缘与局部区域同时遭遇极端高温升与强电场约束，这极大地促进了空穴跨越栅区势垒向关键敏感区域（如 AlGaN/GaN 界面及栅边缘）注入，如图 46 所示。注入的空穴引发新的缺陷生成与持续损伤累积，最终诱发栅极结构的电击穿与退化。这一发现证实，肖特基型器件的浪涌失效并非由大电流单向驱动，而是栅极局部强电场、高热积累以及动态空穴输运过程高度耦合的结果。进一步地，本课题组结合多款失效器件的物理解剖与微观显微分析，总结归纳出 GaN HEMT 在浪涌冲击下的两大典型物理失效模式：一是由局部热积累引发的上层金属熔融短路失效；二是浪涌期间高栅极电流诱发的栅极金属电迁移失效[60]，如图 47 所示。综上所述，p-GaN gate HEMT 在浪涌电流应力下的可靠性退化与最终失效，是电流拥挤、浪涌能量诱导的局部高温升以及栅区强电场/空穴注入等物理场因素协同作用的复杂表现。这不仅要求在器件设计层面对栅区电场与热耗散进行优化，也对系统层面的浪涌过流保护设计提出了更加精准的限制条件。



a. 不同应力循环次数下的变化

b. 经历4 000 次应力循环后，在不同恢复时间下的恢复情况

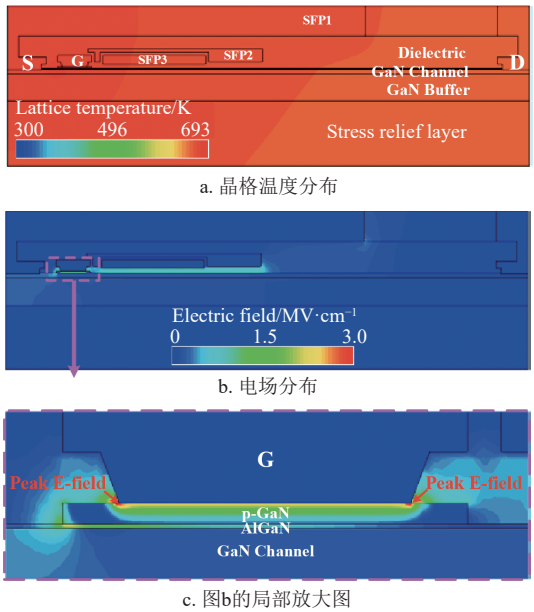
图 44　重复浪涌电流应力下 I_{GSS} 特性的演变



a. 欧姆型P-GaN栅HEMT等效电路　b. 欧姆型P-GaN栅HEMT浪涌脉冲波形

c. 肖特基型P-GaN栅HEMT等效电路　d. 肖特基型P-GaN栅HEMT浪涌脉冲波形

图 45　欧姆型与肖特基型 p-GaN 栅 HEMT 的等效电路与浪涌脉冲波形

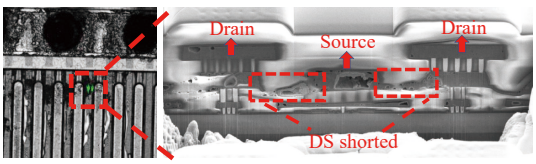


a. 晶格温度分布

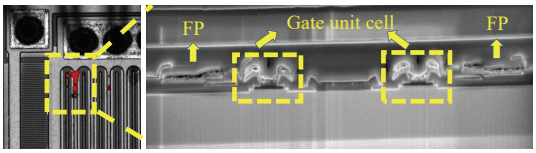
b. 电场分布

c. 图b的局部放大图

图 46　在 Ipeak = 53 A 条件下的器件仿真结果



a. 金属熔融短路失效



b. 栅极金属电迁移失效

图 47　浪涌电流冲击下的两种典型物理失效模式

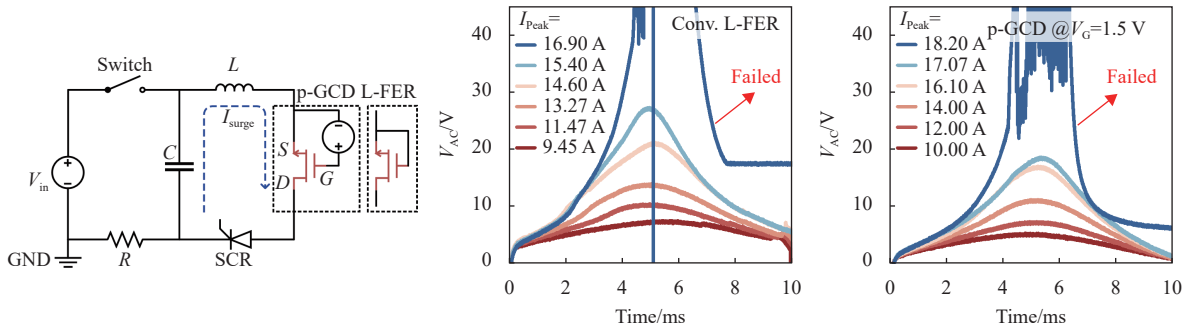
3.3　具有高浪涌可靠性的栅控功率二极管新结构

在功率转换系统的整流应用中，GaN 基功率二极管的浪涌电流耐受能力对系统故障容限和安全运行至关重要。图 48a 给出了浪涌电流测试电路，包含充电回路与放电回路两部分。放电阶段由 LC 振荡产生脉宽为 10 ms 的半波正弦浪涌电流波形，通过调节充电电压 V_{in} 实现对峰值浪涌电流 I_{peak} 的精确控制，以评估器件的极限耐受能力。

图 48b 的对比分析表明，在相同 V_{in} 条件下，当施加正向栅极偏置时，前述 p-GaN 栅控功率二极管（p-GCD）的浪涌电流耐受能力显著优于栅源短接的传统横向场效应整流器（Conv. L-FER）。这一增强效果源于正向栅压下 p-GaN 栅极向 AlGaN 势垒层注入空穴，进而诱导更多电子以维持电中

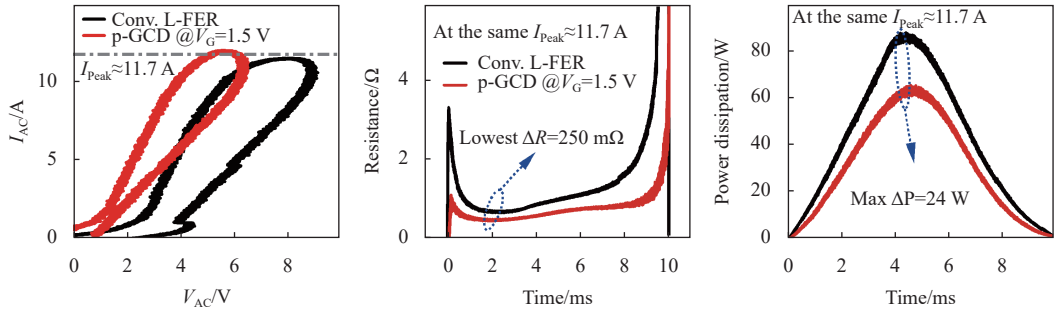
性，从而提升 2DEG 沟道的电导率和器件的浪涌电流承载能力。

浪涌电流冲击期间，器件因自热效应而表现出显著的阳极电流−阳极电压（I_A-V_{AC}）特性滞回现象（图 49a）。重要的是，通过与同一晶圆上制备的 Conv. L-FER 的对比发现，在相同 I_{peak} 条件下，p-GCD 通过栅极正向偏置可有效降低导通电阻，从而显著缓解大电流应力下的自热效应。图 49b 进一步给出了持续浪涌电流应力下导通电阻的实时演变过程。得益于正向栅压增强的空穴注入，p-GCD 在浪涌冲击下的导通电阻增量远小于 Conv. L-FER，导通电阻最低可降低约 250 mΩ。相应地，图 49c 显示在相同浪涌电流条件下，p-GCD 的功率耗散降低了 28%。上述结果全面表明，p-GCD 兼具优异的浪涌电流鲁棒性与更低的浪涌功耗，是高可靠性功率整流应用的理想候选器件。



a. 浪涌电流测试电路　　b. p-GCD与Conv.L-FER浪涌电流耐受能力对比

图 48　基于浪涌电流的测试平台与器件测试特性



a. I_{AC}-V_{AC}　　b. 电阻变化　　c. 功耗对比

图 49　p-GCD 与 Conv.L-FER 在相同浪涌峰值电流条件下的特性比较

4　高频高压下的阈值电压动态漂移

在 p-GaN gate HEMT 功率器件的研究中，阈值电压（V_{TH}）的动态稳定性已成为决定系统栅极可靠性与抗干扰裕度的核心指标。在高频高压开关工况下，漏极关态应力与栅极正/负驱动脉冲的交替作用会引发 V_{TH} 动态漂移。不同于静态测试下的固定值，动态 V_{TH} 漂移本质上是栅极堆叠结构及 AlGaN/GaN 异质结界面处载流子动态俘获与释放的非平衡过程。深入揭示其漂移机制、开发精准表征手段并评估其对应用系统的影响，对提升 GaN 功率器件的实际应用可靠性具有重要意义。

4.1　阈值电压不稳定性

如图 50 所示，肖特基型 p-GaN HEMT 栅极堆栈由一个金属/p-GaN 肖特基结与一个 p-GaN/AlGaN/ GaN p-i-n 结背靠背串联而成。在快速开关过程中，由于这两个结的偏置状态始终相反，p-GaN 层中的电荷无法被有效注入或抽取，从而呈现出物理上的“浮动”状态。当器件承受关态漏压应力（$V_{DS,OFF}$）时，栅堆栈内的 p-i-n 结反向偏置，促使电子在 p-GaN/AlGaN 界面处积聚。同时，正向偏置的金属/p-GaN 肖特基结则致使 p-GaN 层中的空穴向栅极金属溢出。当器件变为导通状态时，肖特基结转为反偏，使得缺失的空穴难以快速恢复，最终引发 V_{TH} 正向漂移[61-62]。研究表明，V_{TH} 正向漂移程度随 $V_{DS,OFF}$ 及开关频率的升高而进一步加剧[63]。相比之下，采用欧姆接触的栅

注入晶体管（gate-injection transistor, GIT）由于具备高效的电荷抽运能力，能够维持 V_{TH} 的动态稳定性。

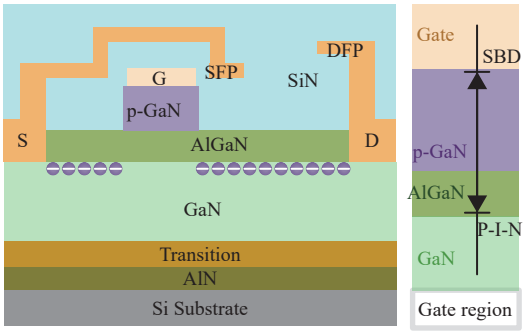
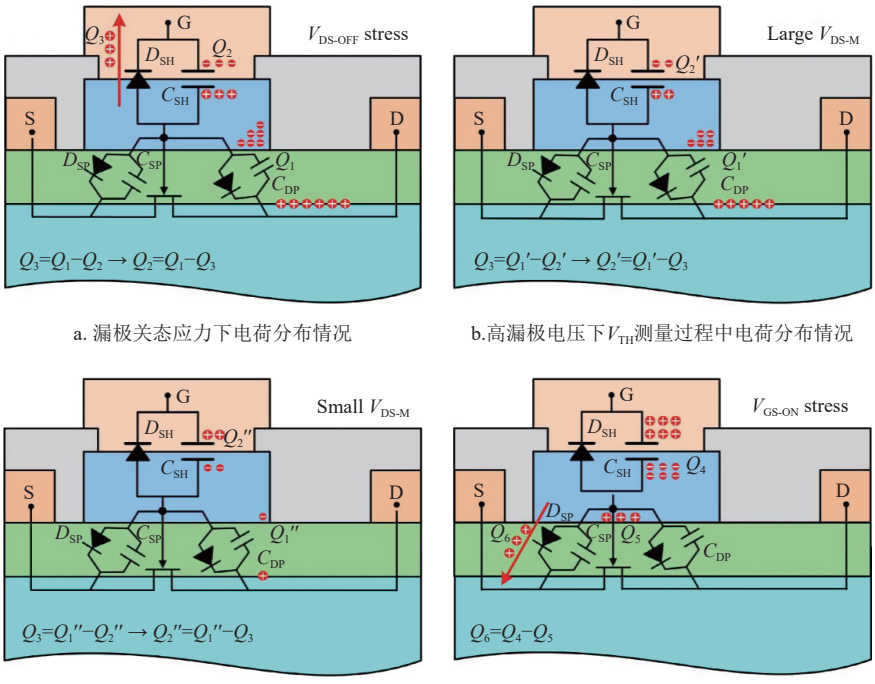


图 50 肖特基型 p-GaN gate HEMT 栅极堆栈结构示意图

文献 [64] 指出，随着 $V_{DS,OFF}$ 的升高，漏极与 p-GaN 层之间的电容耦合会抬高 p-GaN 层的局部电位，触发栅漏耦合势垒降低（gate drain coupled barrier lowering, GDCBL）效应，进而导致 V_{TH} 发生负向漂移，如图 51 所示。由于金属/p-GaN 肖特基结导通电压的钳位作用，V_{TH} 负向漂移最终会达到饱和。此外，正栅极应力（V_{GS}）亦会引发 V_{TH} 的双向漂移现象[65]。如图 52 所示，在较低栅压下（V_{GS} < 6 V），由 2DEG 沟道注入的电子被 p-GaN/AlGaN 界面或体层中的受主陷阱（如 Mg 相关缺陷）捕获，表现为 V_{TH} 正向漂移；而在高栅压下（V_{GS} > 6 V），空穴由金属侧注入并在 AlGaN 势垒层积累，正电荷的聚集导致 V_{TH} 负向漂移。



a. 漏极关态应力下电荷分布情况　b.高漏极电压下V_{TH}测量过程中电荷分布情况

c.低漏极电压下V_{TH}测量过程中电荷分布情况　d. 栅极导通应力下电荷分布情况

图 51 不同动态应力下电荷分布情况

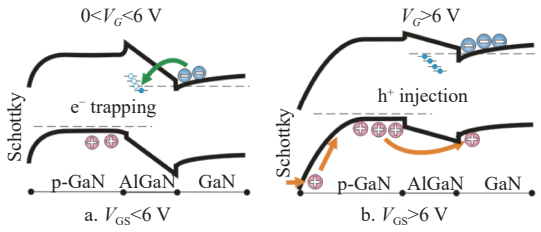


图 52 不同栅极偏置下 p-GaN 栅极区域的能带演化及动态电荷转移机制

值得注意的是，本课题组进一步揭示了关态应力下肖特基型 p-GaN gate HEMT 正向（第一象限）与反向（第三象限）V_{TH} 的非对称漂移行为[66-67]，如图 53 所示。研究内容指出，关态应力引发的栅堆栈内 p-GaN 层空穴缺失虽促使正向与反向 V_{TH} 均发生正向漂移，但高漏压诱发的“非对称势垒降低（ABLE）效应”仅局域作用于栅极靠漏侧，导致反向 V_{TH} 呈现出非单调漂移，而正向 V_{TH} 则保持单调正漂，如图 54 所示。这一跨象限的机制解耦表明，传统仅依赖第一象限评估 V_{TH} 漂移的方法，无法真实反映器件在第三象限死区续流过程中的动态退化。

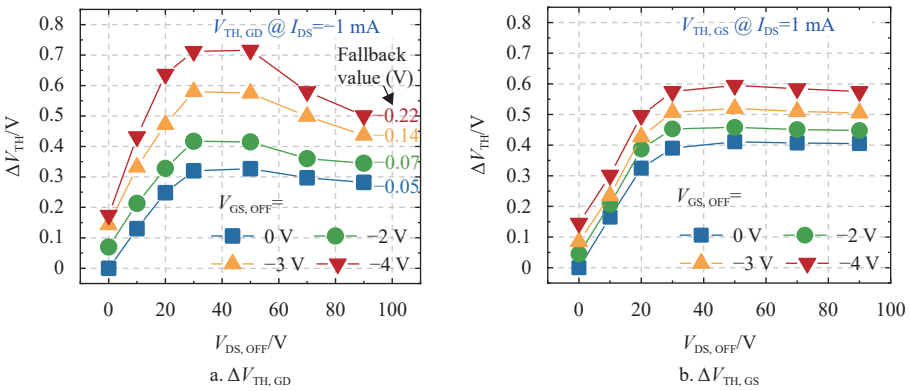
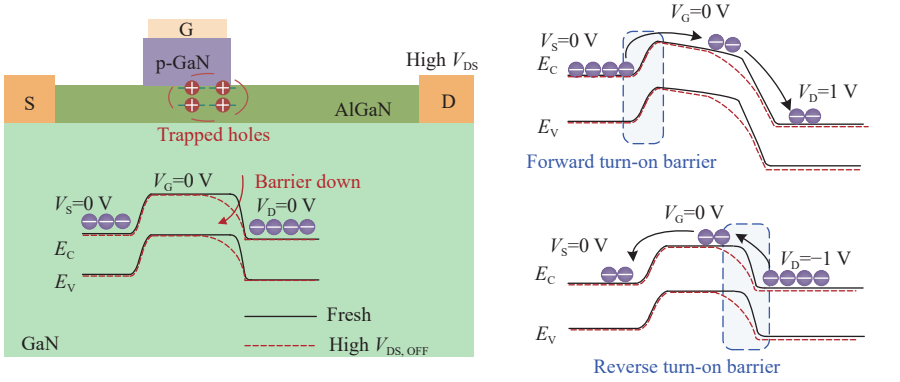


图 53　在关断状态应力条件下（$V_{DS,OFF}$ = 0～90 V 及 $V_{GS,OFF}$ = −4～0 V）提取的 $\Delta V_{TH,GD}$ 和 $\Delta V_{TH,GS}$

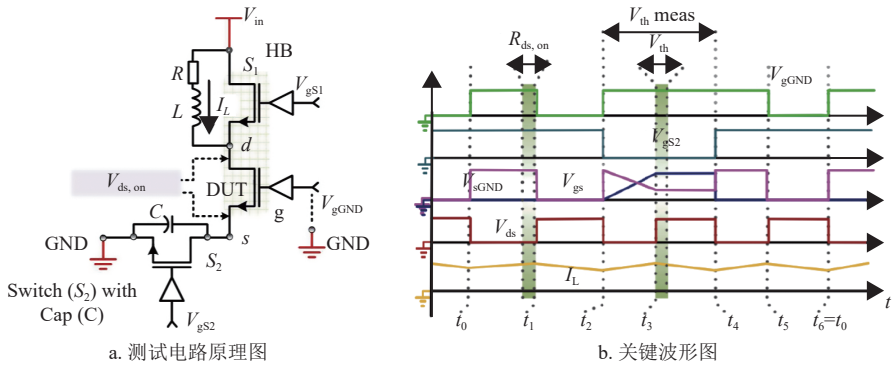


a. 关态应力下栅极示意性横截面图和能带图　　b. 捕获空穴对正向导通和反向导通过程的影响

图 54　关态应力下 ABLE 效应导致的 p-GaN HEMT 正反向导通势垒变化

4.2　动态阈值电压表征方法

近年来，动态 V_{TH} 的提取与表征技术得到了广泛关注与深入研究。传统的脉冲 I-V 或快速扫描技术因受限于测量仪器的量程切换，存在长达数秒的“应力–测量”延迟[62, 68]，难以捕捉具有毫秒至微秒级快速恢复时间常数的 V_{TH} 恢复过程。基于硬开关 V_{GS} 和 I_{DS} 瞬态波形的提取方法虽具备较高的实时性，但通常需要接入数百至数千欧姆的大栅极电阻来人为减缓开关速率[69-70]，这与实际 GaN 电源转换器中纳秒级的高速开关轨迹存在根本性偏差。此外，文献 [63, 71] 基于 L-FER 模式利用反向导通特性提取 V_{TH}，其前提假设为正向与反向导通状态下的 V_{TH} 保持一致。然而近期研究表明，高压应力下的 V_{TH} 漂移在正/反向导通时呈现出显著的非对称性[67]，导致利用反向测量值等效替代正向 V_{TH} 会引入明显误差。对于恒流注入等高精度提取方法，其应用场景又主要局限于关断状态下的离线应力分析[72]。近期，文献 [73-74] 提出了基于源极辅助电容法的连续开关动态测试技术，在器件导通阶段通过对源极辅助电容充电提升源极电位，从而将 V_{GS} 动态钳制于 V_{TH}，如图 55 所示。但在该方法的提取阶段，漏极偏置电压始终存在，无法实现漏极零偏条件下的标准化 V_{TH} 提取。



a. 测试电路原理图　　b. 关键波形图

图 55　源极辅助电容法动态阈值电压测方案

4.3 阈值电压漂移对功率转换系统的影响

V_{TH} 的动态漂移对高频、高功率密度系统的稳定性与可靠性构成了多维度的严峻挑战。尽管肖特基 p-GaN 栅极 HEMT 成功将阈值电压提升至正值区间，但其绝对值与传统 Si/SiC MOSFET 相比仍处于较低水平，使得半桥及图腾柱等主流拓扑对 V_{TH} 的动态漂移极其敏感。一方面，当器件经历长时间高压阻断后发生负向 V_{TH} 漂移，其抗噪声裕度将被大幅削弱，强 dV/dt 下通过米勒电容（C_{GD}）耦合至栅极产生的电压尖峰极易触发误导通，进而引发桥臂直通并导致器件短路烧毁[75]。另一方面，正向 V_{TH} 漂移则会显著劣化系统损耗与驱动策略。当发生正向漂移时，不仅导致死区时间内反向（第三象限）导通压降上升并剧烈增加死区损耗[76]，还要求更高的正向栅极驱动电压以维持较低的导通电阻，这进一步压缩了肖特基栅极本身的栅极破坏电压与长期可靠性裕度，形成驱动设计上的两难。

此外，在大电流多芯片并联应用中，各芯片因寄生参数、散热条件及局部应力的微小差异会经历非均匀的 V_{TH} 漂移[77-79]。V_{TH} 漂移量较小的芯片会率先开启并承受更大的电流份额，诱发更高的局部结温，而结温升高又会反过来改变其动态电荷俘获行为，导致动态不均流加剧并陷入“热–电”恶性循环，最终诱发局部热击穿。综上所述，动态 V_{TH} 漂移不仅破坏了器件本身的稳态与动态安全工作区，还大幅增加了驱动设计与热管理的复杂性，是制约 GaN 功率器件在电力电子系统中高可靠应用的核心瓶颈之一。

5 结束语

本文系统探讨了横向 GaN 功率 HEMT 在浪涌电压、短路、浪涌电流等极端电热耦合应力下的阈值电压、导通电阻等器件关键性能参数的高速、高精度表征技术及器件特性退化、失效机理与可靠性加固技术。虽然业界对 GaN 功率 HEMT 器件在单一应力下的失效机制已较为清晰，然而在实际应用工况下所面临的多应力耦合效应、缺陷动态演化规律及其与器件寿命的定量关联仍是可靠性领域悬而未决的关键问题。未来，突破多物理场协同仿真、发展原位高时空分辨表征手段，并在此基础上构建“材料–器件–电路”跨层级协同的器件可靠性加固策略，是推动氮化镓功率器件从“可用”迈向“好用”和“耐用”以及实现规模化工业应用的必然路径。

参 考 文 献

[1] Amano H, Baines Y, Beam E, et al. The 2018 GaN power electronics roadmap[J]. Journal of Physics D: Applied Physics, 2018, 51(16): 163001.

[2] Meneghini M, De Santi C, Abid I, et al. GaN-based power devices: Physics, reliability, and perspectives[J]. Journal of Applied Physics, 2021, 130(18): 181101.

[3] Wei Jin, Zheng Zheyang, Tang Gaofei, et al. GaN power integration technology and its future prospects[J]. IEEE Transactions on Electron Devices, 2024, 71(3): 1365-1382.

[4] 周靖贵, 陈匡黎, 周琦, 等. 氮化镓基单片功率集成技术[J]. 电子科技大学学报, 2024, 53(5): 685-697.
Zhou Jinggui, Chen Kuangli, Zhou Qi, et al. GaN-based single-chip power integration technology[J]. Journal of University of Electronic Science and Technology of China, 2024, 53(5): 685-697. (in Chinese).

[5] Mishra U K, Birkhahn R, Bisi D, et al. Gallium nitride: Past, present and future in an ever-changing market [C]//2025 37th International Symposium on Power Semiconductor Devices and ICs. Kumamoto: IEEE, 2025: 1-4.

[6] Favero D, Marcuzzi A, De Santi C, et al. GaN-on-Si power HEMTs for automotive: Current status and perspectives[C]//2023 AEIT International Conference on Electrical and Electronic Technologies for Automotive. Modena: IEEE, 2023: 1-6.

[7] Yang Zineng, Yang Xin, Liu Jingcun, et al. Plenty of room at the bottom and top: Future perspectives on GaN power devices and applications[J]. IEEE Transactions on Power Electronics, 2026, 41(8): 12515-12539.

[8] Zhang Hengbo, Huang Yifei, Cui Hongchang, et al. GaN power devices for electrified transportation: Status, challenges, and perspectives[J]. IEEE Transactions on Electron Devices, 2026, 73(6): 3224-3235.

[9] Kozak J P, Zhang Ruizhe, Porter M, et al. Stability, reliability, and robustness of GaN power devices: A review[J]. IEEE Transactions on Power Electronics, 2023, 38(7): 8442-8471.

[10] Infineon. 650 V E-mode GaN transistor. GS-065-014-6-L-TR[EB/OL]. [2025-12-12]. https://www.alldatasheet.com/datasheet-pdf/pdf/1935239/GAN/GS-065-014-6-L-TR.html.

[11] Zhang R, Kozak J P, Song Q, et al. Dynamic breakdown voltage of GaN power HEMTs[C]//2020 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2020: 23.3.1-23.3.4.

[12] Liu Siyang, Li Sheng, Zhang Chi, et al. Single pulse unclamped-inductive-switching induced failure and

analysis for 650 V p-GaN HEMT[J]. IEEE Transactions on Power Electronics, 2020, 35(11): 11328-11331.

[13] Huang Qihang, Ma Luanxi, Nie Yanyu, et al. The UIS withstand capability and device failure mechanism of 650 V p-GaN gate HEMTs[C]//2024 IEEE 17th International Conference on Solid-State & Integrated Circuit Technology. Zhuhai: IEEE, 2024: 1-3.

[14] Saito W, Nishizawa S I. Impact of p-gate contact in GaN-HEMTs on overvoltage stress failure[J]. IEEE Transactions on Electron Devices, 2024, 71(6): 3590-3595.

[15] Zhang Ruizhe, Song Qihao, Li Qiang, et al. Overvoltage robustness of p-gate GaN HEMTs in high frequency switching up to megahertz[J]. IEEE Transactions on Power Electronics, 2023, 38(5): 6063-6072.

[16] Saito W, Nishizawa S I. Effect of substrate bias in Ohmic p-gate GaN-HEMTs on unclamped inductive switching capability[J]. IEEE Transactions on Electron Devices, 2025, 72(10): 5351-5358.

[17] Zhang Chi, Li Sheng, Liu Weihao, et al. Unclamped-inductive-switching behaviors of p-GaN HEMTs at cryogenic temperature[J]. IEEE Transactions on Power Electronics, 2022, 37(10): 11507-11510.

[18] Zhao Yaopeng, Luo Pan, Li Jiamao, et al. Device model and energy loss mechanism of enhancement-mode p-GaN HEMTs under unclamped-inductive-switching stress[J]. IEEE Transactions on Electron Devices, 2024, 71(7): 4066-4071.

[19] Li Sheng, Liu Siyang, Zhang Chi, et al. Comparison investigations on unclamped-inductive-switching behaviors of power GaN switching devices[J]. IEEE Transactions on Industrial Electronics, 2022, 69(5): 5041-5049.

[20] Kozak J P, Zhang Ruizhe, Song Qihao, et al. True breakdown voltage and overvoltage margin of GaN power HEMTs in hard switching[J]. IEEE Electron Device Letters, 2021, 42(4): 505-508.

[21] Li Sheng, Liu Siyang, Zhang Chi, et al. Investigations on electrical parameters degradations of p-GaN HEMTs under repetitive UIS stresses[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(2): 2227-2234.

[22] Kozak J P, Song Qihao, Zhang Ruizhe, et al. Degradation and recovery of GaN HEMTs in overvoltage hard switching near breakdown voltage[J]. IEEE Transactions on Power Electronics, 2023, 38(1): 435-446.

[23] Liu Yuqi, Zhou Jinggui, Qiu Binju, et al. Anomalous degradation and recovery of p-GaN Gate HEMTs under repetitive surge voltage stresses within the quantized voltage levels[C]//2025 22nd China International Forum on Solid State Lighting & 2025 11th International Forum on Wide Bandgap Semiconductors. Xiamen: IEEE, 2025: 1-4.

[24] Zhou Jinggui, Lei Juan, Zhou Qi, et al. p-GaN HEMTs with distributed drain-connected p-GaN islands for improved in-situ-$R_{DS(on)}$ stability under surge voltage[C]//2026 IEEE 38th International Symposium on Power Semiconductor Devices and ICs. Las Vegas: IEEE, 2026: 37-40.

[25] Zhou Jinggui, Lei Juan, Liu Yuqi, et al. Drain field plate effects in p-GaN HEMTs during surge voltage hard switching[J]. IEEE Transactions on Device and Materials Reliability, 2026, 26(1): 309-314.

[26] Wang Wenfeng, Zhou Feng, Qian Junfan, et al. Suppression of dynamic resistance degradation in 1200-V GaN-on-sapphire E-mode GaN HEMTs by drain-side thin p-GaN design[J]. IEEE Transactions on Electron Devices, 2025, 72(3): 1537-1540.

[27] Zhou Jinggui, Huang Shuting, Duan Enchuan, et al. p-GaN gate-controlled AlGaN/GaN diode with self-aligned hybrid anode for tunable turn-on voltage and 2-kV breakdown voltage[J]. IEEE Transactions on Electron Devices, 2026, 73(6): 3348-3354.

[28] Zhou Jinggui, Huang Shuting, Zhu Jianggen, et al. Self-aligned p-GaN gate controlled diodes with tunable forward conduction/reverse blocking properties for high efficiency buck converter[C]//2025 37th International Symposium on Power Semiconductor Devices and ICs. Kumamoto: IEEE, 2025: 197-200.

[29] Abbate C, Busatto G, Sanseverino A, et al. Failure analysis of 650 V enhancement mode GaN HEMT after short circuit tests[J]. Microelectronics Reliability, 2018, 88/89/90: 677-683.

[30] Li He, Li Xiao, Wang Xiaodan, et al. Robustness of 650-V enhancement-mode GaN HEMTs under various short-circuit conditions[J]. IEEE Transactions on Industry Applications, 2019, 55(2): 1807-1816.

[31] Sun Jiahui, Wei Jin, Zheng Zheyang, et al. Short circuit capability characterization and analysis of p-GaN gate high-electron-mobility transistors under single and repetitive tests[J]. IEEE Transactions on Industrial Electronics, 2021, 68(9): 8798-8807.

[32] Wang Long, Zhou Jinggui, Yang Ning, et al. Nonmonotonic instability of V_{TH} and $R_{ds,\ on}$ in 650 V Schottky-type p-GaN gate HEMTs under short-circuit: The effect of electric field and thermal dynamics[J]. IEEE Transactions on Electron Devices, 2026, 73(1): 492-499.

[33] Yang Ning, Xing Yunxiang, Qiu Binju, et al. p-GaN

HEMTs with thin AlGaN-barrier achieving record short-circuit robustness of t_{SC}>600 μs & 12000cycle/50 μs repetitive short-circuit capability[J]. IEEE Transactions on Power Electronics, doi: 10.1109/TPEL.2026.3711894.

[34] Pan Chaowu, Zhou Qi, Wu Zhonghua, et al. Physical mechanism of device degradation & its recovery dynamics of p-GaN gate HEMTs under repetitive short circuit stress[C]//2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICs. Vancouver: IEEE, 2022: 313-316.

[35] Yang Ning, Pan Chaowu, Wu Zhen, et al. Study of the short-circuit capability and device instability of p-GaN gate HEMTs by repetitive short-circuit stress[J]. IEEE Transactions on Power Electronics, 2024, 39(2): 2247-2257.

[36] Wang Long, Yang Ning, Huang Shuting, et al. The non-monotonic instability of V_{TH} and $R_{ds,on}$ in p-GaN Gate HEMTs under repetitive short-circuit stress: The role of electric-field & self-heating effect[C]//2024 IEEE 17th International Conference on Solid-State & Integrated Circuit Technology. Zhuhai: IEEE, 2024: 1-3.

[37] Bisi D, Gritters J, Hosoda T, et al. Short-circuit capability demonstrated for GaN power switches[C]//2021 IEEE Applied Power Electronics Conference and Exposition. Phoenix: IEEE, 2021: 370-375.

[38] Chen Junting, Chen Haohao, Cheng Yan, et al. Suppression of drain-bias-induced V_{TH} instability in Schottky-type p-GaN gate HEMTs with voltage seatbelt[J]. IEEE Transactions on Electron Devices, 2025, 72(3): 1041-1046.

[39] Lao Yunhong, Yu Jingjing, Zheng Qian, et al. 10000-cycle/10-μs short circuit operation in 650-V E-mode p-GaN gate HEMT with Schottky source extension[J]. IEEE Transactions on Electron Devices, 2026, 73(3): 1545-1550.

[40] Riccio M, Romano G, Maresca L, et al. Short circuit robustness analysis of new generation enhancement-mode p-GaN power HEMTs[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs. Chicago: IEEE, 2018: 104-107.

[41] Badawi N, Awwad A E, Dieckerhoff S, et al. Robustness in short-circuit mode: Benchmarking of 600V GaN HEMTs with power Si and SiC MOSFETs[C]//2016 IEEE Energy Conversion Congress and Exposition. Milwaukee: IEEE, 2016: 1-7.

[42] Fernández M, Perpiñà X, Roig J, et al. P-GaN HEMTs drain and gate current analysis under short-circuit[J]. IEEE Electron Device Letters, 2017, 38(4): 505-508.

[43] Huang Xing, Lee D Y, Bondarenko V, et al. Experimental study of 650V AlGaN/GaN HEMT short-circuit safe operating area (SCSOA)[C]//2014 IEEE 26th International Symposium on Power Semiconductor Devices & ICs. Waikoloa: IEEE, 2014: 273-276.

[44] Cui Hongchang, Liu Xiaoming, Yang Xin, et al. Intrinsically exceptional short-circuit robustness (t_{SC} > 30 μs, ISC > 230 A) in monolithic bidirectional GaN-on-Si power HEMTs[C]//2025 IEEE International Electron Devices Meeting. San Francisco: IEEE, 2025: 1-4.

[45] Agarwal A, Kanale A, Baliga B J. Advanced 650 V SiC power MOSFETs with 10 V gate drive compatible with Si superjunction devices[J]. IEEE Transactions on Power Electronics, 2021, 36(3): 3335-3345.

[46] Yu Renze, Jahdi S, Mellor P, et al. Determination of short-circuit safe operating area of trench SiC MOSFETs under repetitive stress conditions[J]. IEEE Transactions on Electron Devices, 2025, 72(8): 4298-4306.

[47] Sun Jiahui, Zhong Kailun, Zheng Zheyang, et al. Short-circuit failure mechanisms of 650-V GaN/SiC cascode devices in comparison with SiC MOSFETs[J]. IEEE Transactions on Industrial Electronics, 2022, 69(7): 7340-7348.

[48] Kloetzer S, Mueter U, Fahlbusch S, et al. Compact diode-less bidirectional GaN based buck converter for mobile DC-DC applications[C]//International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg: IEEE, 2017: 1-8.

[49] Lin W S, Bakeroot B, Huang Zhenhong, et al. Toward understanding the failure mechanism in p-GaN gate HEMTs operating in reverse conduction diode mode[J]. IEEE Transactions on Electron Devices, 2024, 71(8): 4874-4878.

[50] Kitamura Y, Yano H, Iwamuro N, et al. Demonstration of the surge current capability of embedded SBDs in SiC SBD-integrated trench MOSFETs with a thick Cu block[C]//2022 IEEE 34th International Symposium on Power Semiconductor Devices and ICs. Vancouver: IEEE, 2022: 109-112.

[51] Li Sheng, Liu Siyang, Zhang Chi, et al. Reliability concern of 650-V normally-off GaN devices under reverse freewheeling stress[J]. IEEE Transactions on Electron Devices, 2020, 67(8): 3492-3495.

[52] Liu Yinxiang, Han Shaowen, Yang Shu, et al. Surge current capability of GaN E-HEMTs in reverse conduction mode[C]//2019 31st International Symposium on Power Semiconductor Devices and ICs. Shanghai: IEEE, 2019: 439-442.

[53] Liu Yinxiang, Yang Shu, Han Shaowen, et al.

Investigation of surge current capability of GaN E-HEMTs in the third quadrant: The impact of p-GaN contact[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2019, 7(3): 1465-1474.

[54] Wang Xiaoming, Chen Wanjun, Sun Ruize, et al. Degradation behavior and mechanism of GaN HEMTs with p-type gate in the third quadrant under repetitive surge current stress[J]. IEEE Transactions on Electron Devices, 2022, 69(10): 5733-5741.

[55] Wang Xiaoming, Chen Wanjun, Sun Ruize, et al. Failure behavior and mechanism of p-GaN gate AlGaN/GaN HEMTs in the third quadrant under repetitive surge current stress[J]. IEEE Transactions on Electron Devices, 2024, 71(3): 1694-1701.

[56] Wang Xiaoming, Chen Wanjun, Shi Yu, et al. Abnormal degradation of gate leakage current of Schottky-type p-GaN gate HEMTs under repetitive surge current stress[C]//2024 4th International Conference on Electronic Information Engineering and Computer Science. Yanji: IEEE, 2024: 179-182.

[57] 彭嵘, 邱彬桔, 黄书婷, 等. 浪涌电流应力下肖特基型 p-GaN 高电子迁移率晶体管器件可靠性[J]. 物理学报, 2026, 75(8): 080803.
Peng Rong, Qiu Binju, Huang Shuting, et al. Reliability of Schottky-type p-GaN high-electron-mobility transistors under surge current stress[J]. Acta Physica Sinica, 2026, 75(8): 080803 (in Chinese).

[58] Goller M, Mysore M L, Yang Dezhi, et al. Surge current operation of power GaN HEMTs with p-GaN gate under positive gate voltage[C]//2025 37th International Symposium on Power Semiconductor Devices and ICs. Kumamoto: IEEE, 2025: 321-324.

[59] Wang Xiaoming, Sun Ruize, Xia Yun, et al. Gate damage mechanism of Schottky-type p-GaN gate HEMTs in reverse conduction mode under surge current stress[C]//2024 36th International Symposium on Power Semiconductor Devices and ICs. Bremen: IEEE, 2024: 323-326.

[60] Chen Kuangli, Peng Rong, Huang Shuting, et al. Surge current capability and failure modes of 650 V p-GaN gate HEMTs: A multiphysics study on thermal-electrical coupling effects[J]. Electronics, 2025, 14(7): 1321.

[61] Wei Jin, Xie Ruiliang, Xu Han, et al. Charge storage mechanism of drain induced dynamic threshold voltage shift in p-GaN gate HEMTs[J]. IEEE Electron Device Letters, 2019, 40(4): 526-529.

[62] Chen Junting, Hua Mengyuan, Wei Jin, et al. OFF-state drain-voltage-stress-induced V_{TH} instability in Schottky-type p-GaN Gate HEMTs[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(3): 3686-3694.

[63] Zhong Kailun, Xu Han, Yang Song, et al. A bootstrap voltage clamping circuit for dynamic V_{TH} characterization in Schottky-type p-GaN gate power HEMT[C]//2021 33rd International Symposium on Power Semiconductor Devices and ICs. Nagoya: IEEE, 2021: 39-42.

[64] Nuo Muqin, Zhong Ming, Fan Zetao, et al. Full-range investigation of drain-dependent bidirectional dynamic threshold voltage shift in Schottky-type p-GaN gate HEMT[J]. IEEE Transactions on Electron Devices, 2025, 72(3): 1021-1026.

[65] Shi Yuanyuan, Zhou Qi, Cheng Qian, et al. Bidirectional threshold voltage shift and gate leakage in 650 V p-GaN AlGaN/GaN HEMTs: The role of electron-trapping and hole-injection[C]//2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs. Chicago: IEEE, 2018: 96-99.

[66] Chen Kuangli, Huang Shuting, Zhou Jinggui, et al. Device instability in the third quadrant of Schottky-type p-GaN gate HEMTs: The hole defficiency & trapping effect[C]//2024 IEEE 17th International Conference on Solid-State & Integrated Circuit Technology. Zhuhai: IEEE, 2024: 1-3.

[67] Peng Rong, Huang Shuting, Qiu Binju, et al. Instability discrepancy in reverse/forward conduction of Schottky p-GaN gate HEMTs: Asymmetric barrier lowering effect[J]. IEEE Transactions on Power Electronics, 2026, 41(8): 12769-12778.

[68] Efthymiou L, Murukesan K, Longobardi G, et al. Understanding the threshold voltage instability during OFF-state stress in p-GaN HEMTs[J]. IEEE Electron Device Letters, 2019, 40(8): 1253-1256.

[69] Hwang I, Oh J, Hwang S K. Extraction of dynamic threshold voltage in resistive load hard switching operation of Schottky-type p-GaN gate HEMT[J]. IEEE Electron Device Letters, 2022, 43(10): 1720-1723.

[70] Breidenstein B, Kohlhepp B, Dürbaum T. Cost-effective test setup for measuring threshold voltage shift of GaN-HEMTs under long-term drain-voltage stress[C]//2023 IEEE 10th Workshop on Wide Bandgap Power Devices & Applications. Charlotte: IEEE, 2023: 1-6.

[71] Zhong Kailun, Xu Han, Zheng Zheyang, et al. Characterization of dynamic threshold voltage in Schottky-type p-GaN gate HEMT under high-frequency switching[J]. IEEE Electron Device Letters, 2021, 42(4): 501-504.

[72] Yang Fei, Xu Chi, Akin B. Characterization of threshold voltage instability under off-state drain stress and its

impact on p-GaN HEMT performance[J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2021, 9(4): 4026-4035.

[73] Kumar R, Samanta S, Wu Tianli. Threshold voltage instability measurement circuit for power GaN HEMTs devices[J]. IEEE Transactions on Power Electronics, 2023, 38(6): 6891-6896.

[74] Ji Wenkang, Wang Ying, Zhao Zhixing, et al. Dynamic threshold voltage extraction for GaN HEMT via a source-series-connected capacitor[C]//2025 37th International Symposium on Power Semiconductor Devices and ICs. Kumamoto: IEEE, 2025: 265-268.

[75] Fan Zetao, Wang Maojun, Wei Jin, et al. Analysis of drain-dependent threshold voltage and false turn-on of Schottky-type p-GaN gate HEMT in bridge-leg circuit[J]. IEEE Transactions on Power Electronics, 2024, 39(2): 2351-2359.

[76] Wang Kaidi, Huang Shuting, Xiong Qi, et al. Threshold voltage instability of p-GaN Gate HEMT in 48-12V buck converter & its impact on circuit power loss variation[C]//2024 36th International Symposium on Power Semiconductor Devices and ICs. Bremen: IEEE, 2024: 248-251.

[77] Giannopoulos N, Ioannidis G, Vokas G, et al. Active autonomous open-loop technique for static and dynamic current balancing of parallel-connected silicon carbide MOSFETs[J]. Energies, 2023, 16(22): 7670.

[78] Tang Xi, Li Baikui, Amini M H, et al. Mechanism of threshold voltage shift in p-GaN gate AlGaN/GaN transistors[J]. IEEE Electron Device Letters, 2018, 39(8): 1145-1148.

[79] Chen Jiarui, Su Yuanzhang, Pan Chaowu, et al. The device instability of p-GaN gate HEMTs induced by self-heating effect investigated by on-state drain current injection (DCI) technique[J]. IEEE Transactions on Electron Devices, 2022, 69(10): 5496-5502.

责任编辑 叶 芳