

DOI:10.20033/j.1003-7241.(2026)10-0011-07

一种基于 DSP 与 ARM 的异构双核微控制器设计与实现

唐俊龙, 艾承威, 李振涛

(长沙理工大学 物理与电子科学学院, 长沙 650500)

摘要: 异构多核处理器是现代处理器设计的重要趋势, 通过集成不同类型的核心, 能够更有效地处理多样化的计算任务, 从而满足不同应用场景对性能与效率的差异化需求。针对传统单核处理器在信号处理、实时控制与人机交互协同工作中的瓶颈, 本文设计并实现了一种基于数字信号处理器(digital signal processor, DSP)+ARM(advanced RISC machines, ARM)架构的异构双核微控制器。其目标是将 DSP 高效的数据运算能力与 ARM 卓越的事务管理、中断响应及通信控制能力融合于一体, 形成功能互补的主从式双核系统。硬件上, 集成自研 C-DSP、ARM Cortex-M3、双核共享存储、时钟管理及高级高性能总线(advanced high-performance bus, AHB)/高级外围总线(advanced peripheral bus, APB)总线矩阵, 配专用进程间通信(inter-process communication, IPC)模块, 借双向独立信号路径与寄存器组实现双核快速中断握手, 省去外部 SPI 连线。软件采用“ARM 主控+DSP 从属”协同机制: ARM 先配时钟与中断向量, 经 IPC 启 DSP; 随后将待处理数据写入共享 RAM 并移交权限, DSP 运算后将结果回写并反馈确认应答信号(acknowledgement, ACK), ARM 读取校验。仿真在 CCS 完成双核工程配置, 联合 nc-verilog 对 RTL 验证; DSP(150 MHz)、ARM(100 MHz)均通过指令集及功能测试。实验结果表明, 该异构双核微控制器(microcontroller unit, MCU)能够正确完成数据交互与协同计算, 核间通信延迟低、数据一致性好, 验证了架构的可行性与稳定性。该设计现已进入后端物理优化阶段, 为后续嵌入式应用提供了高效、灵活且低成本的芯片级解决方案, 具有良好的工程推广价值。

关键词: 异构双核; ARM+DSP; IPC 通信; 嵌入式系统; 人机交互; 共享存储; 微控制器设计

中图分类号: TP332; TN402

文献标志码: A

文章编号: 1003-7241(2026)10-0011-07

Design of a heterogeneous dual core microcontroller based on DSP and ARM

Tang Junlong, Ai Chengwei, Li Zhentao

(School of Physics and Electronic Science, Changsha University of Science and Technology, Changsha 650500, China)

Abstract: Heterogeneous multi-core processors represent a significant trend in modern processor design. By integrating different types of cores, they can handle diverse computing tasks more efficiently, meeting the differentiated performance and efficiency requirements of various application scenarios. To address the bottlenecks of traditional single-core processors in collaborative tasks involving signal processing, real-time control, and human-machine interaction, this paper presents the design and implementation of a heterogeneous dual-core microcontroller based on a DSP+ARM architecture. The system aims to integrate the DSP's high-efficiency data processing capabilities with the ARM Cortex-M3's superior transaction management, interrupt response, and communication control features, forming a complementary master-slave dual-core architecture. On the hardware front, the system integrates a custom C-DSP, an ARM Cortex-M3, dual-core shared memory, clock management, and an AHB/APB bus matrix. A dedicated Inter-Processor Communication (IPC) module facilitates rapid interrupt handling and handshake between the cores via bidirectional independent signaling paths and register banks, eliminating the need for external SPI connections. The software adopts a "ARM-master, DSP-slave" collaboration mechanism: the ARM first configures the clock and interrupt vectors before triggering DSP startup via IPC. It then writes data blocks to the shared RAM and transfers access rights. Upon completing computations, the DSP writes results back to the shared RAM and sends an ACK signal, which the ARM reads and verifies. Simulation is conducted in the CCS environment with dual-core project configuration, while RTL code is co-simulated using nc-verilog. Operating at 150 MHz (DSP) and 100 MHz (ARM), the system successfully passed instruction set and functional tests. Experimental results demonstrate that the heterogeneous MCU achieves correct data exchange and collaborative computation with low inter-core communication latency and strong data consistency, verifying the architecture's feasibility and stability. Currently progressing into the backend physical optimization phase, this design offers an efficient, flexible, and low-cost chip-level solution for embedded applications, indicating strong potential for engineering deployment.

Keywords: heterogeneous dual-core; ARM+DSP; IPC; embedded systems; human-machine interaction; shared memory; microcontroller design

收稿日期: 2025-07-01; 录用日期: 2025-09-02

基金项目: 柔性电子材料基因工程湖南省重点实验室开放基金(202015)

作者简介: 唐俊龙(1973—), 男, 博士, 教授, 研究方向为集成电路、嵌入式系统。

通信作者: 艾承威(1998—), 男, 硕士, 研究方向为电路与系统。

引用本文: 唐俊龙, 艾承威, 李振涛. 一种基于 DSP 与 ARM 的异构双核微控制器设计与实现[J]. 自动化技术与应用, 2026, 45(10): 11-17. (Tang Junlong, Ai Chengwei, Li Zhentao. Design of a heterogeneous dual core microcontroller based on DSP and ARM[J]. Techniques of Automation and Applications, 2026, 45(10): 11-17.)

随着信息技术的飞速发展,微处理器作为电子设备的核心部件,其性能与功能需求日益提升。传统的单核处理器架构已难以满足当前复杂多变的计算需求,特别是在信号处理、多媒体应用、实时控制以及高性能计算等领域。因此,多核处理器架构应运而生,其中异构双核微处理器以其独特的优势成为研究与应用的热点。业界众多控制设备采用两块 MCU 互联构成主流嵌入式平台^[1-3]解决单核难以完成的问题。

文献[4]提出关于 ARM+DSP+现场可编程门阵列(field programmable gate array, FPGA)的电气传动设计,采用 ARM 开发人机接口, DSP 进行算法处理, FPGA 对数据信号采集和脉冲调制。但是这一方案开发成本较高,需要多块器件相互兼容调试。文献[5]提出通过 HSRAM 内存实现 DSP 与 ARM 之间的配置参数共享,通过 L3 内存实现扫描数据共享,算法部分由 DSP 负责,通讯与外设控制由 ARM 内核负责,这样的内存管理模式需要精确管理内存的分配和访问权限,否则可能会出现数据不一致的情况,影响系统的稳定性和可靠性。某种驱动电源采用了 ARM+DSP 混合架构设计,其中 DSP 承担主控角色,而 ARM 则作为辅助控制器,它们之间通过 SPI 接口进行数据通信,以实现信息交换^[6],然而串行外设接口(serial peripheral interface, SPI)通信至少需要 4 根外部引脚连

接,存在硬件连接复杂等方面问题。在上述众多 MCU 设计应用方案中,多采用 ARM+DSP 架构, ARM 处理器功耗低,有较强的事务管理功能^[7],而 DSP 在数据采集与算法处理等方面功能强大^[8-10],双核的结构使得控制更加可靠,开发更加便捷,有效缩短开发周期^[11]。

本文提出一种 ARM+DSP 的异构双核微控制器设计,其中采用 ARM Cortex-M3 作为主控系统, DSP 为工程项目下自研 Control-DSP, 以下及后续简称 C-DSP 作为从系统,将两块不同内核部署集成为一个整体 MCU, 这种主从架构设计充分发挥了两种内核的优势,实现了功能上的互补。每个核拥有自己的最小系统以及双核共享存储,用以提高系统可靠稳定性。处理器之间通过进程间通信的方式完成核间通信交互,相较于其他通讯方式, IPC 机制更加稳定高效,通过内部寄存器交互即可完成双核间通信。设计了软件流程,完成系统级测试仿真,为 MCU 系统的设计提供了一种高效、灵活且可靠的解决方案,具有一定的工程应用价值。

1 系统结构

本文设计的异构双核微控制器主要模块包括 Control-DSP 处理单元、ARM Cortex-M3 处理单元、总线系统、双核间通信模块、存储模块、外设模块等,系统结构图如图 1 所示。

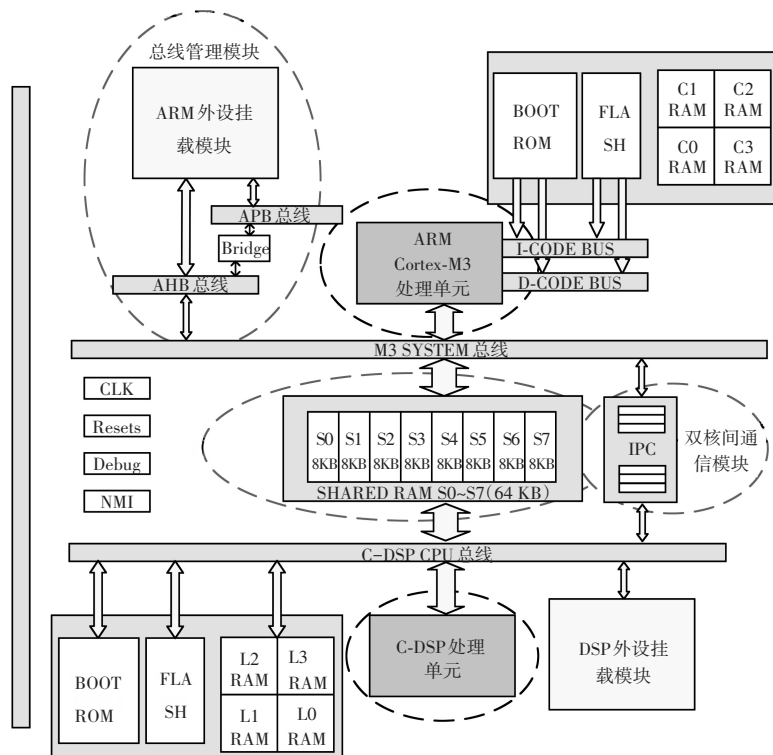


图 1 系统结构图

Fig. 1 System architecture diagram

1.1 DSP 处理单元

本系统中 C-DSP 处理单元为实际工程项目自研 DSP, 核心为 32 位 CPU, 其时钟频率峰值可高达 150 MHz, 拥有卓越的数字信号处理能力, 从而保证数据的实时性, 同时

DSP 芯片具有灵活的可编程性, 支持 C 语言或汇编语言进行编程。集成了多种外设接口, 包括模数转换器、串行通信接口、通用并行接口等, 满足多种应用需求。支持单精度和双精度浮点运算, 具有强大的浮点计算能力, 可以

高效地处理各种复杂的信号处理算法。

1.2 ARM Cortex-M3 处理单元

本系统中 ARM 处理单元为业界通用 32 位 ARM Cortex-M3 CPU,其时钟频率峰值可高达 100 MHz。ARM Cortex-M3 处理器以其高效能、低成本的特点,满足了对内存占用小、引脚数量少和低功耗的需求,同时保证了强大的计算能力和快速的中断响应。

ARM 处理器对嵌套向量中断控制器 (nested vectored interrupt controller, NVIC) 进行了深度整合,使中断响应性能达到业界领先水平。NVIC 包含了不可屏蔽中断

(N),并支持 8 级中断优先级,这样的设计使得处理器核心与 NVIC 紧密结合,可以快速执行中断服务程序 (interrupt service routine, ISR),有效降低中断响应时间。硬件支持的寄存器堆栈和多负载/存储操作进一步降低了中断响应延迟。中断处理程序无须汇编语言的存根代码,从而减少了 ISR 的代码负担。此外,尾链优化技术显著减少了 ISR 之间的切换成本^[12]。所有内部模块通过总线矩阵连接到 I-code bus、D-code bus 以及 System bus,作为内核外部总线输出。ARM 内核框图如图 2 所示。

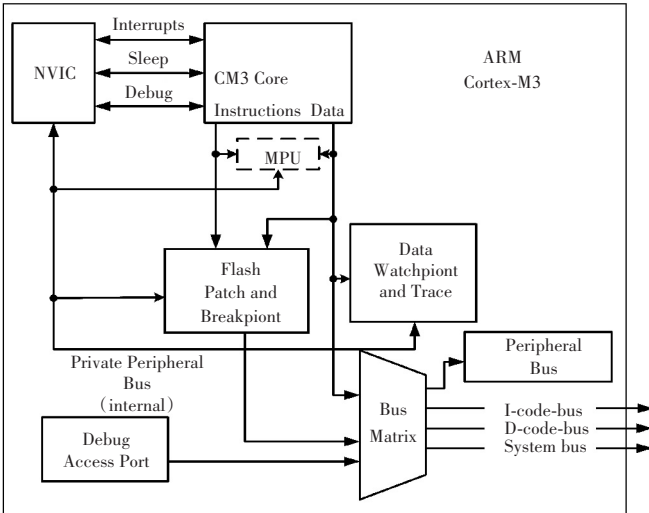


图 2 ARM Cortex-M3 处理器内核

Fig. 2 ARM Cortex-M3 processor core

1.3 存储模块设计 (share RAM)

M3 子系统有 2 个专用 RAM 块:C0 和 C1。其中 C0 RAM 地址 0x2000 0000-0x2000 1FFF,C1 RAM 地址 0x2000 2000-0x2000 3FFF,大小均为 8 kB,只有 Cortex-M3 CPU 可以访问这些内存。

C-DSP 子系统有 4 个专用 RAM 块:M0、M1、L0 和 L1。M0/M1 内存是与 CPU 紧密耦合的小块内存,只有 C-DSP CPU 可以访问这些内存。

共享 RAM 可以从 ARM 或者 DSP 访问,用于数据和代码存储。S0~S7 一共 8 个共享 RAM 块,每个大小 8 K,具体在双核中的地址分配如表 1 所示。每个共享 RAM 可

以由 M3 子系统或 C-DSP 子系统根据 MSxMSEL 寄存器中各自的位的配置拥有。因为数据流只有一个方向,当一个 Share RAM 块由 M3 子系统拥有时,M3 CPU 对该 RAM 块有完全的访问权,而 C-DSP CPU 对该 RAM 块只有读访问权(没有取/写访问权)。

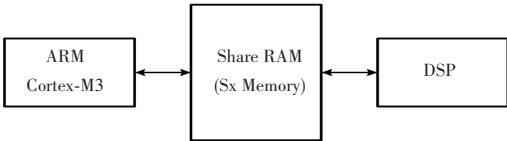


图 3 双核共享存储模块

Fig. 3 Dual-core shared memory module

表 1 共享存储内存映射

Tab. 1 Shared memory memory mapping

ARM 侧偏移地址 (基地址 0x2001)	Sx RAM 命名	大小/kB	C-DSP 侧偏移地址 (基地址 0x0000)
0000-1FFF	S0 RAM	8	0000-1FFF
2000-3FFF	S1 RAM	8	2000-3FFF
4000-5FFF	S2 RAM	8	4000-5FFF
6000-7FFF	S3 RAM	8	6000-7FFF
8000-9FFF	S4 RAM	8	8000-9FFF
A000-BFFF	S5 RAM	8	A000-BFFF
C000-DFFF	S6 RAM	8	C000-DFFF
E000-FFFF	S7 RAM	8	E000-FFFF

上述寄存器只映射到 M3 CPU,ARM M3 核作为主控系统,这意味着 Share ram 的所有权设置可以通过运行在 M3 子系统上的软件来改变。

1.4 时钟模块

主振荡器电路通过引脚 X1 和 X2 连接到外部晶体。如果使用谐振器(带有内置负载电容的晶体版本),其接地端子应连接到引脚 VSS、OSC(而不是板接地)。

从多路复用器输出的时钟接下来进入一个由

SYSDIVSEL 寄存器控制的分频器,之后输出时钟变成 PLLSYSCLK 150 MHz Max。通常,Cortex-M3 处理器对这些寄存器进行读写操作,而 C-DSPx 处理器具有读访问权限。M3 最大时钟频率达到 100 MHz,PLLSYSCLK 将在后续 ARM 内核中成为自由时钟 FCLK 和系统主时钟 HCLK,两大重要的时钟来源。同时 M3 作为主控系统,具有对到 C-DSP 时钟的控制权限,使能或禁止到 C-DSP 的输入时钟。

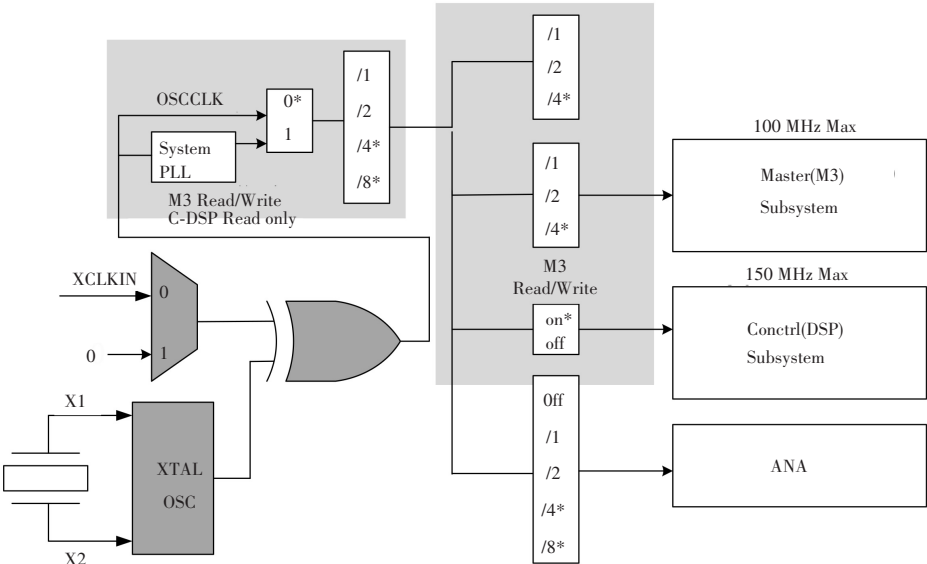


图 4 MCU 时钟输入模块

Fig. 4 MCU clock input module

1.5 总线管理模块

为了实现与外部 IP 核的高效连接,提升系统性能和通信效率,ARM 部分采用了具有良好复用性和扩展性的标准高级高性能总线(advanced high-performance bus, AHB)作为其内核总线。同时,本文在总线搭建时采用了总线矩阵的形式,总线矩阵基于交叉开关技术^[13],将多个总线通道连接在一起,形成一个互联的网络结构,用于连接满足 AHB 总线协议的外设,这些外设包括 Master(主设

备)和 Slave(从设备)。基于该模块,可以快速完成 MCU 的集成工作,只需将设计好的 IP(知识产权模块)封装成 AHB 协议,然后挂载到 AHB 总线矩阵上例如 CAN、GPIO、USB 等。

同时在高速 AHB 总线上添加了慢速高级外围总线(advanced peripheral bus, APB),通过 AHB to APB Bridge 转接桥模块进行协议转换^[14],用以挂载低速外设,如 WDG、UART、SSI 等。总线管理系统拓扑图如图 5 所示。

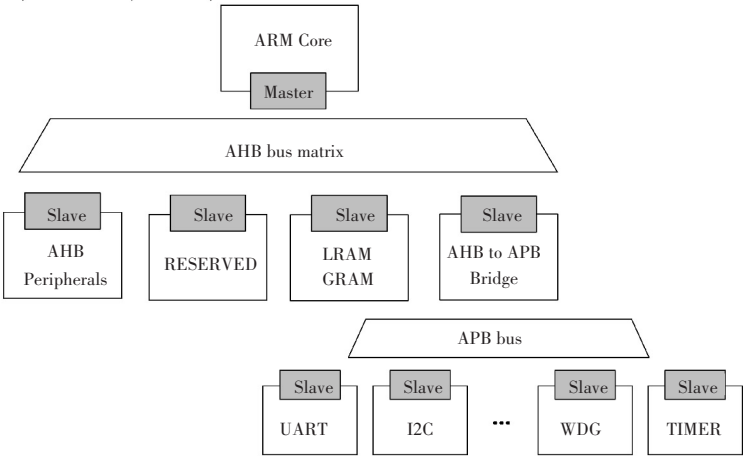


图 5 AHB/APB 总线管理系统拓扑图

Fig. 5 Topology of AHB/APB bus management system

DSP 内核外总线结构相对简单,只需通过 DSP CPU BUS 连接到各外设模块与存储模块。

1.6 IPC 双核通信模块

C-DSP 与 ARM 的双核间通信交互得益于 IPC 即进程间通信^[15],该机制最初应用于计算机系统管理,然而在需要协同工作的双核领域,IPC 也能发挥其作用。在两个方向 (CTOM/MTOC)上设定 32 个进程间信号,且信号在被触发时具备附加中断的能力。微控制器运用一套寄存器组来完成 IPC 通信交互,如图 6 所示,DSP SIDE 和 ARM SIDE 两个核均有自己的 Memory space,通过空间内的寄存器组实现 IPC 功能。以 ARM 核(M3)为例,相关寄存器组如下:

1) MTOCIPCSET。此寄存器用于 ARM 向 DSP 触发 IPC 中断或发送 IPC 信号。一旦该寄存器被置位,它会同时将 MTOCIPCFLG 和 MTOCIPCSTS 两个状态显示寄存器中的相应位设置为 1。

2) MTOCIPCCLR。该寄存器为 IPC 信号清除寄存器,可清除 ARM 到 DSP 路径上的 IPC 信号或者中断标志。当寄存器被设置为置位时,将把 MTOCIPCFLG 和

MTOCIPCSTS 两个状态显示寄存器的相应位置清零。

3) MTOCIPCFLG。上文提到的状态显示寄存器(只读),该寄存器与 DSP 存储空间中 MTOCIPCSTS 寄存器在实际物理层是一体的,用来显示 ARM 核到 DSP 核路径上目前 IPC 信号的状态。

4) CTOMIPCSTS。其功能与 MTOCIPCFLG 相似,而表征方向相反,用于显示 DSP 核到 ARM 核目前 IPC 信号的状态。与 DSP 存储空间中的 CTOMIPCFLG 寄存器在实际物理层上是相同的寄存器。

5) CTOMIPCACK。该寄存器置位时,可同时清零 CTOMIPCFLG 和 CTOMIPCSTS 寄存器。ARM 核收到 DSP 发出的 IPC 信号或者 IPC 中断时,可使用该寄存器发出确认响应,从而完成双核之间的通信确认(握手)过程。

DSP 与 ARM 之间建立了两条完全独立的全双工通信路径,每条路径均负责单向的信号传输(即 SET)及其对应的反向信号确认(即 ACK)。此外,双方能够实时访问两个方向上的当前进程间通信状态信息(包括 FLG 和 STS),从而确保了双核之间高效的 IPC 交互机制的实现。

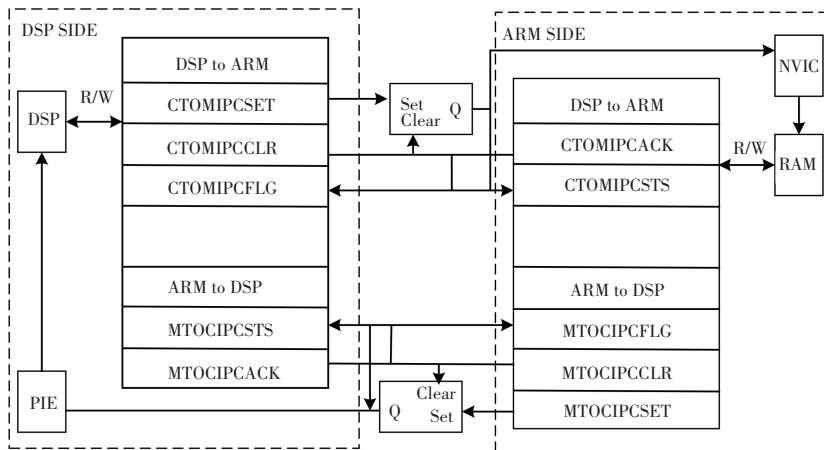


图 6 IPC 机制原理

Fig. 6 Principle of IPC mechanism

2 仿真与测试

2.1 ARM 内核测试验证

本文针对 ARM 内核的测试验证采用自顶向下的方法,从 top 层开始验证,再到各个模块,发现错误再追踪修改。

各功能模块编写完成,形成寄存器传输级(register transfer level, RTL)代码。前仿真使用 Cadence 的 nc-verilog 环境进行验证,验证内容包括指令集测试与系统级功能测试。本文通过 Verilog HDL 硬件描述语言来编码实现模块的功能,并构建了 RTL 级别的代码。仿真验证阶段,使用了 Cadence 的 nc-verilog 仿真工具来进行,主要验证了指令集的完整性和系统功能的准确性。本文中使用的编译器部分基于 clang+LLVM 架构^[16],其中 clang 作为编译器的前端部分,主要负责执行与具体硬件无关的语言分析任务,LLVM 提供了模块化的功能和库,用于编译器的开发和功能扩展,属于优化器和后端^[17],本文编译

和链接过程加入了 ARM v7 架构配置以及支持 thumb 指令集。在 linux 系统下将 C 语言程序转为 .out 文件后,再将其转为 ARM 需要的 .hex 十六位二进制文件,最后导入到存储部分(rom. hex/ram. hex),从 top 层给 ARM 系统提供激励,使其运行。ARM 内核测试验证环境如图 7 所示。

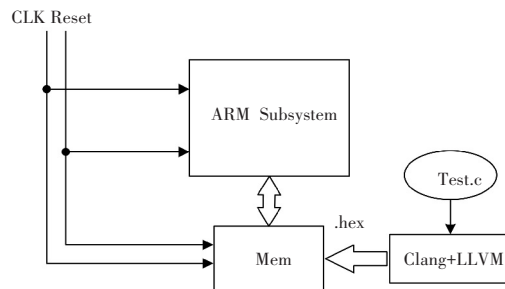


图 7 ARM 内核测试验证环境

Fig. 7 ARM core test verification environment

功能测试涵盖了核心寄存器的验证、AHB 和 APB 总线读写时序的模拟以及外设功能的模拟。通过分析这些模拟结果,可以确认 ARM 系统的逻辑功能均能被正确实现,符合设计规范。

2.2 MCU 整体测试验证环境

MCU 整体验证包括 ARM+DSP 两个部分,本文整体测试环境为德州仪器(TI)提供的 Code Composer Studio (CCS),该集成开发环境专为 DSP 微控制器和嵌入式处理器设计,不仅支持 DSP 环境,同时支持 ARM 环境,本文配置为 Generic CortexM3 Device,能够满足本文异构双核特性的开发环境。鉴于本系统采用 ARM+DSP 的异构特性,添加了 ControlSUITE 工具集和 ARM CMSIS 提供了丰富的驱动程序和库函数,支持微处理器的各种外设和接口,简化了硬件编程的复杂性,根据需求进行修改和扩展以构建系统,整体软件开发环境如图 8 所示。

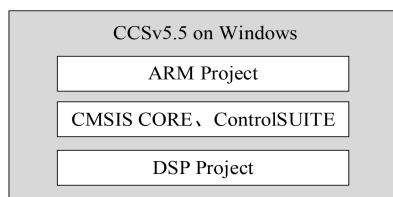


图 8 软件开发环境

Fig. 8 Software development environment

本文针对异构双核 MCU,需要搭建两个不同的 CCS 工程环境,将 ARM 与 DSP 所有需要的头文件及库函数等分别导入两个工程,编译器配置为 TI v15. 12. 1. LTS 可支持 ARM 指令集与 DSP 指令集,cmd 链接文件配置完成后 Memory Allocation 如图 9 所示,显示当前环境下存储分配占用情况。

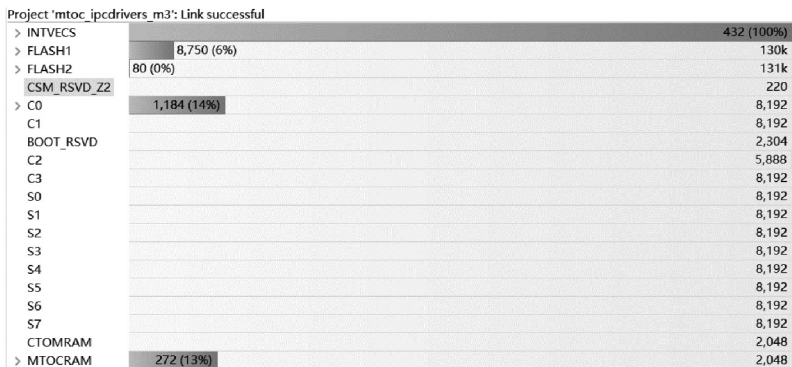


图 9 内存分配

Fig. 9 Memory allocation

在 CCS 下完成程序编写并完成编译后,生成 .out 二进制格式可执行文件,再导入到 linux 系统下与 my_tb. v 存放在一个文件夹下,用于后续双核联合测试仿真。

2.3 双核联合测试程序流程与结果

在本微控制器设计中,ARM 作为主控内核,DSP 内核的启动需要 ARM Cortex-M3 发送命令来完成,所以程序编写先从 ARM 侧开始。

首先定义好共享地址 share ram, S0 地址为 0x20008000 映射到 ARM 侧,配置时钟部分 M3 运行于 75 MHz, C28 运行于 150 MHz。运用 ARM 中断处理的嵌套向量中断控制器(NVIC),将本次的中断服务程序(ISR)写入 ARM 特有的中断向量表,定义为 MtoCIPCIHandler 用于 IPC 双核通信,当触发该中断异常时,将跳转到中断向量表并初始化第二节阐述的 IPC 控制器。

主循环中包含 ARM 对 DSP 侧数据的读取和发送,如图 10 所示。在完成与上位机的数据通信(CCS 模拟)与处理后,会将 IPC 中断置 1,触发 IPC 中断,根据标志位判断是否向 DSP 传递数据,当确认传递操作后,ARM 请求到共享存储 S0 的权限,并将块数据(Data Block)传入 S0,紧接着 ARM 会将共享存储 S0 RAM 权限打开给到 DSP 侧,DSP 开始获取 ARM 在 S0 传递的数据,待完成后 DSP 会向 ARM 发生反馈信号,即第二节阐述的 CTOMIPACK 信

号,用以验证发送是否完成,最后检查数据是否正确。在测试程序最后调用 Pass 或者 Fail 函数即可正常结束仿真。

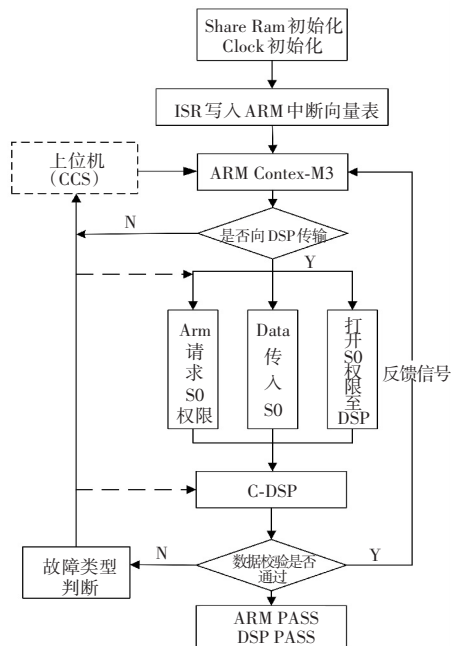


图 10 双核测试流程图

Fig. 10 Dual-core test flowchart

读取操作相对简单,当收到 CtoMIPCIHandler 这一

中断,说明 DSP 已经将数据传入共享 SRAM,提醒 ARM 可接受数据,完成后返回反馈信号。当完成以 ARM 或者 DSP 为主的数据发送和接收工作,并完成数据准确性校验

后,终端即可显示 ARM PASS 和 DSP PASS 表明测试验证通过,如图 11 所示。

```
File Edit View Search Terminal Help
JP = 021d
AR0 = 0000
AR1 = ffff
SP = 0405
SP = 0404
P = ffffffff
ACC = 00000001
T = 0000
AH = 0086
DP = 021d
ACC = 00000001
IER = 0000
SP = 0405
SP = 0406
RPC = 008468
AL = 6666
AH = aa55
XAR4 = 0000800e
-----DSP Pass-----
-----ARM Pass-----
ARM and DSP pass
Simulation stopped via $stop(1) at time 10869997644 PS + 0
./tb/RTS.v:60          #20 $stop;
ncsim>
```

图 11 终端测试结果

Fig. 11 Terminal test results

3 结论

本文提出了一种异构双核微控制器的设计方案,结合了 DSP 强大的数据处理能力,以及 ARM Cortex-M3 人机交互的开发优势,方案在架构设计、核间通信、制造研发成本等方面均表现出显著的特点和优势。相较于以往的单独作业,本文设计的 MCU 双核间协同工作,提高了处理能力和效率,进一步验证了 DSP+ARM 双核结构下的可行性。通过测试仿真验证,能够高效准确地完成数据处理与交互通信,目前该设计已进入到后端物理设计优化工作,并进一步深入嵌入式研究,具有一定的工程实用价值和推广前景。

参考文献

[1] 钱宏文,陈光威. 一种基于异构处理器的可动态布署设计与实现[J]. 电子技术应用,2024,50(1):93-100.

[2] 杨燕,王云,胡熊伟,等. 基于 5G 无线通信的可中断负荷快速响应系统[J]. 电力信息与通信技术,2024,22(10):83-89.

[3] 王丹,刘国栋,张海涛,等. 基于 ARM 的嵌入式系统开发[J]. 微处理机,2021,42(1):62-64.

[4] 陆桂军,贾鹏飞,王玉博,等. 基于 C2000 新型 DSP 的电气传动系统设计[J]. 电气传动,2024,54(3):3-9.

[5] 邹优敏,俞卫锋,罗恒,等. 基于多普勒效应的非接触式呼吸探测传感

器研究[J]. 电子元件与材料,2024,43(8):938-943.

[6] 刘邓,林茂松,朱玉玉. 基于 DSP 和 ARM 的压电陶瓷叠堆数字驱动电源设计[J]. 制造业自动化,2022,44(12):111-113,189.

[7] 邝俊澎. 基于 ARM 和 FPGA 的伺服控制系统设计[D]. 广州:广东工业大学,2021.

[8] 胡汉昌,王茂森,戴劲松. DSP+FPGA 的双核串行通信系统设计与实现[J]. 国外电子测量技术,2022,41(8):125-132.

[9] 李华柏,栗慧龙,邵瑞. 轨道交通能量回馈式交流牵引传动综合测试系统的设计[J]. 自动化技术与应用,2024,43(1):125-128.

[10] 陈晨,郑亚敏,毛西吟,等. 分布式接触网供电设备集中监控告警系统设计[J]. 自动化技术与应用,2025,44(7):153-157.

[11] 李弘扬. 基于 ARM+DSP 的双 CPU 运动控制器设计[D]. 武汉:华中科技大学,2016.

[12] 陈治光. 一种基于 Cortex-M3 核的毫米波雷达 MCU 芯片设计[D]. 成都:电子科技大学,2023.

[13] 贾思敏. RISC-V 处理器核设计优化与扩展指令集实现研究[D]. 济南:山东大学,2023.

[14] 张牧翔. 适用于 AHB Matrix 的形式验证优化技术研究[D]. 西安:西安电子科技大学,2023.

[15] 苏浩然,李文泰,古金宇,等. SPARC 架构下低时延微内核进程间通信设计[J]. 软件学报,2025,36(5):2362-2380.

[16] 邵宴萍,黄立波. RISC-V 指令集扩展研究:设计、实现与应用[J]. 小型微型计算机系统,2025,46(10):2548-2560.

[17] 葛云翔. 基于上下文语义的二进制函数名称预测方法研究[D]. 郑州:中原工学院,2024.