文章编号:1674-2974(2024)06-0178-09 DOI:10.16339/j.cnki.hdxbzkb.2024237

一种低温度系数高阶补偿基准电压电路设计

张涛 ,邱云飞 †,刘劲
(武汉科技大学 信息科学与工程学院 ,湖北 武汉 430081)

摘 要:基准电压对模拟系统的性能与精度有着至关重要的影响.一般的曲率补偿仅能消除与温度相关的二阶项,难以满足某些电路对高精度的要求.现有的电路存在温度系数较高的问题,亟须对更高阶进行补偿.本文提出了一种新的高阶曲率补偿方法,通过利用CMOS晶体管亚阈值特性设计,成功实现了一种低温度系数电压基准电路.该方法首先利用两个不同温度系数的电流流过相同的亚阈值区CMOS晶体管,产生两个具有不同温度特性的栅源电压.然后,通过对这两个不同温度特性的栅源电压进行相减,产生对数电压,并与一阶补偿电压进行加权叠加,从而实现高阶补偿.为了提高电源抑制比(PSRR),该电路采用了高增益负反馈回路,避免了传统电压基准电路中放大器的使用,进一步地降低了功耗.本设计基于0.18 μm CMOS工艺,在Cadence软件下完成电路设计、版图设计与仿真验证.仿真结果显示,该电路正常工作电压范围为1.6~3 V,在2 V的工作电压下,基准电压输出295 mV,在-45~125 ℃范围内温度系数为1.26 ppm/℃,PSRR为51.1 dB@1 kHz,最大静态电流为8.9 μA.结果表明,该基准电压电路能够满足高精度集成电路系统的需求.

关键词:低温度系数;亚阈值;电压基准;高阶曲率补偿
中图分类号:TN402 **文献标志码**:A

A Low Temperature Coefficient High Order Compensation Voltage Reference Design

ZHANG Tao, QIU Yunfei†, LIU Jin
(School of Information Science and Engineering , Wuhan University of Science and Technology, Wuhan 430081, China)

Abstract: Voltage reference plays a crucial role in influencing the performance and accuracy of analog systems. General curvature compensation techniques focus solely on eliminating second-order temperature-related terms, making it hard to meet the high precision requirements of certain circuits. The existing circuit has a high-temperature coefficient issue that requires urgent compensation for higher-order terms. This paper proposes a novel high-order curvature compensation method, successfully implementing a low-temperature coefficient voltage reference circuit by leveraging the subthreshold characteristics of CMOS transistors. Initially, two currents with different temperature coefficients flow through the same subthreshold CMOS transistor, generating two gate-source

* **收稿日期**:2023-07-02
基金项目:国家自然科学基金资助项目(61873196),National Natural Science Foundation of China(61873196)
作者简介:张涛(1967—),男,湖北武汉人,武汉大学教授,博士
† 通信联系人,E-mail: qiuyf777@outlook.com

voltages with unique temperature characteristics. Subsequently, the subtraction of these voltages produces a logarithmic voltage, and the logarithmic voltage is weighted and superimposed with the first-order compensation voltage to realize the high-order compensation. To enhance the power supply rejection ratio (PSRR), the circuit employs a high-gain negative feedback loop, eliminating the need for an amplifier in traditional voltage reference circuits and further reducing power consumption. This design is based on the 0.18 μm CMOS process and is implemented using Cadence software for circuit design, layout, and simulation verification. Simulation results indicate that the circuit operates within a normal voltage range of 1.6 V~3 V, with a reference voltage output of 295 mV at 2 V operating voltage. The temperature coefficient within the range of -45 ℃ to 125 ℃ is 1.26 ppm/℃, and the PSRR is 51.1 dB@1 kHz, with a maximum static current of 8.9 μA. These results show that the voltage reference circuit can meet the needs of high-precision integrated circuit systems.

Key words: low temperature coefficient; subthreshold; voltage reference; high-order curvature compensation

电压基准电路在集成电路中扮演着重要的角色,广泛应用于模拟和数模混合集成电路中,例如AD转换器,LDO、DC-DC转换器和传感器系统.基准电压的精度和性能直接影响这些电路的性能[1-6].基准电压的指标包括低线性灵敏度、低噪声、低功耗、宽的温度范围内低温度系数(Temperature Coefficient, TC)、高电源抑制比(Power Supply Rejection Ratio, PSRR)以及小的面积.然而,同时实现所有的这些指标是非常困难的.因此,为了平衡实际应用和规范要求,这些指标参数的取值应该根据实际的应用进行权衡[3, 7].

与温度无关的基准电压在许多模拟电路中是必不可少的[8],半导体中不能直接产生与环境温度无关的电压,因此,温度无关基准电压通常通过结合两种具有相反温度系数(TC)特性的电压进行叠加产生.1964年仙童半导体公司的Hibliber观察到两个二极管在不同的电流密度下的电压叠加可以产生与温度无关的电压[9].随后,1965年Widlar明确地证明了在不同电流密度下,两个双极性晶体管(Bipolar Junction Transistor, BJT)的基极-发射极有一个与绝对温度成正比(Proportional To Absolute Temperature, PTAT)的电压差[10].在传统的带隙基准设计中,BJT中的基极-发射极产生绝对温度成互补关系的(Complementary to Absolute Temperature, CTAT)电压(V_{BE})和PTAT电压相结合以获得一阶曲率补偿.然而,这种一阶曲率补偿的带隙基准电源温度系数在10~100 ppm/℃,如果要获得更低的温度系数就需要进行温度系数补偿.又因为获得的这种基准电压与硅的能带电压差不多,约为1.25 V,所以不能应用超低压电路,而且功耗较高.为了克服这些缺点,使用亚阈值区的MOSFET产生基准电压近年来被大量研究,但是这些基准电压的温度灵敏度高,工作温度范围小.随着现代系统中数据处理的精度的提高,通过一阶曲率补偿电压已不能满足这些需求.目前已经发展出BJT和亚阈值MOSFET相互补偿[2, 11],二次温度补偿[6, 12-13]、指数温度补偿[6],这些补偿都是温度有关的二阶项进行补偿,电路中仍然存在与温度相关的高阶项,获得的基准电压精度有限.而可调节分段补偿[14-15]、分段线性曲率修正、温度依赖电阻补偿等温度补偿方法,虽然可以实现低的温度系数,但在电路实现上过于复杂.近年来利用MOSFET在不同反型层对温度的敏感性不同进行补偿可以获得更高的效率和更低的温度系数[4, 12, 16-18].

本文提出一种利用MOSFET亚阈值特性产生基准电压的电路,利用流过相同阈值电压NMOS晶体管漏极电流的温度特性不同,来实现栅极电压温度特性差异,通过两种不同温度特性的电压相减产生对数电压与一阶补偿电压加权叠加进行高阶曲率补偿.全文的组织结构如下:第一段描述工作在亚阈值区MOSFET的工作原理;第二段介绍所提到的系统设计原理与实现;第三段呈现设计的仿真结果;最后一段为结论.

1 亚阈值区MOSFET的栅源电压工作原理

当MOSFET的栅源电压低于阈值电压(V_{TH})时,晶体管并不会完全截至,而是工作在亚阈值区.在亚阈值区的漏源电流(I_{DS})[7, 18-22]可以写为:

$$I_{DS}=\mu C_{ox}\frac{W}{L}(\eta-1)V_T^2\exp\left(\frac{V_{GS}-V_{TH}}{\eta V_T}\right)\times\left(1-\exp\left(-\frac{V_{DS}}{V_T}\right)\right) \tag{1}$$

式中:μ是迁移率因子,C_{ox}为单位面积栅氧化层电容,V_T是热电压,η是非理想因子是一个常数,V_{TH}是MOSFET的阈值电压,V_{GS}是栅源电压,V_{DS}是MOSFET的漏源电压,W/L是晶体管的宽长比.在亚阈值区域,当$V_{DS}\geqslant 4V_T$,I_{DS}可以写成:

$$I_{DS}=\mu C_{ox}\frac{W}{L}(\eta-1)V_T^2\exp\left(\frac{V_{GS}-V_{TH}}{\eta V_T}\right) \tag{2}$$

由公式(2)可以得出栅源电压(V_{GS})为:

$$V_{GS}=V_{TH}+\eta V_T\ln\frac{I_{DS}}{\mu C_{ox}(W/L)(\eta-1)V_T^2} \tag{3}$$

由公式(3)可以看出工作在亚阈值区的MOS管的栅源电压几乎与V_{DS}无关,只与V_{TH}、V_T、μ有关,这些都是与温度有关的参数,对于V_{TH}的表达式可以写为:

$$V_{TH}(T)=V_{TH0}-k_TT \tag{4}$$

式中:V_{TH0}是在0 K温度下的阈值电压,k_T是一个常数,T是绝对温度,因此V_{TH}随着温度的增加而减少.

迁移率μ与温度的关系可以写为:

$$\mu=\mu_0\left(\frac{T}{T_0}\right)^{-m} \tag{5}$$

式中:μ_0是参考温度T_0下的迁移率,m是迁移率的温度指数,$1\leqslant m\leqslant 2$.

$$V_T(T)=\frac{kT}{q} \tag{6}$$

式中:k是玻尔兹曼常数,T是绝对温度,q是电荷量.

通过式(3)~式(6),栅源电压(V_{GS})可以被写成为:

$$V_{GS}=V_{TH0}-k_TT+\eta\frac{kT}{q}\ln\frac{I_{DS}q^2}{\mu_0T_0^mC_{ox}(W/L)(\eta-1)k^2T^{2-m}} \tag{7}$$

对于m=2,栅源电压(V_{GS})对于温度的导数为:

$$\frac{\partial V_{GS}}{\partial T}=-k_T+\frac{k}{q}\ln\frac{I_{DS}q^2}{\mu_0T_0^2C_{ox}(W/L)(\eta-1)k^2} \tag{8}$$

因为$\dfrac{I_{DS}q^2}{\mu_0T_0^2C_{ox}(W/L)(\eta-1)k^2}<1$,所以栅源电压($V_{GS}$)对于温度的导数$\dfrac{\partial V_{GS}}{\partial T}$是个负值.因此,$V_{GS}$随温度升高而降低,具有CTAT特性.

2 本文所提出的基准电压电路

2.1 基准电路的思路

本文所提出的基准电路设计思路如图1所示,首先,利用MOSFET的亚阈值区生成两种电流,分别为I_{PTAT}电流和I_{CTAT}电流.通过这两种电流进行加权叠加到电阻上,实现了基准电压的一阶补偿;其次,将经过一阶补偿后的电流和I_{PTAT}电流流过相同的晶体管,得到了两个具有不同温度特性的电压V_{GS}.将这两个V_{GS}电压相减,得到包含与温度成对数关系的电压;最后将这个电压与一阶补偿的基准电压进行加权叠加来获得高阶补偿.

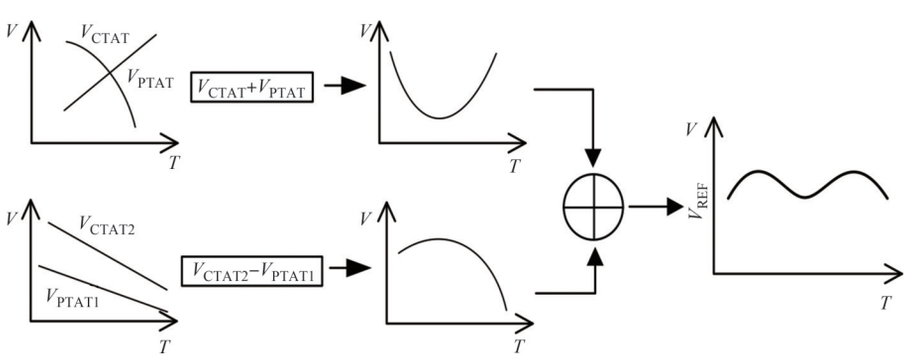


图1 所提到的补偿思路

Fig.1 The proposed compensation idea mentioned

2.2 I_{PTAT}电流和I_{CTAT}电流的产生

本文提到的与电源无关的I_{PTAT}电流和I_{CTAT}电流产生的电路如图2所示,电路由M_1~M_{10}和电阻R_1、R_2组成.其中M_1~M_4工作在亚阈值区,M_5~M_{10}工作在饱和区,M_9使用了耗尽型晶体管,提高了电路的性能,使电路能在更低的电压下正常工作.I_{PTAT}电流是通过晶体管M_1~M_3,M_5~M_7构成负反馈环路产生的,电路中包含两个环路,分别为环路Ⅰ和环路Ⅱ.在环路Ⅰ中,当电源电压升高导致X点电压升高时,Y点电压降低,Y点电压降低导致Q点电压升高,进而导致X点电压降低,环路I是负反馈环路.在环路Ⅱ中,当X点电压升高,Q点电压降低.随着Q点电压降低,X点电压升高,因此,环路Ⅱ是正反馈环路.由于负反馈的环路增益大于正反馈的.环路增益,整个环路可以保持稳定.通过设置M_5和M_6宽长比相等,确保流过M_2和M_1电流相等,从而保证Q点和Y点电压相等.此外,负反馈环路消除了运算放大器的使用,简化了结构并降低了功耗.

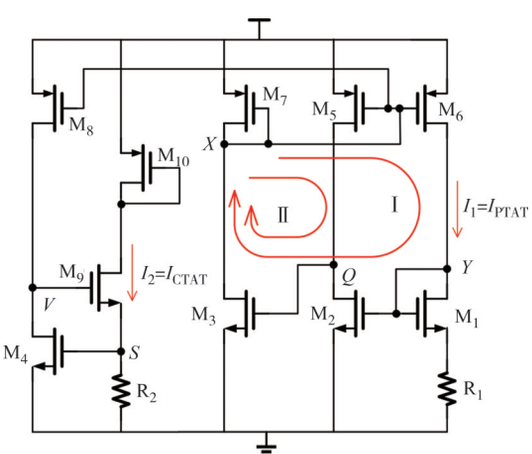


图2　I_{PTAT}和I_{CTAT}电流产生电路

Fig.2　I_{PTAT} and I_{CTAT} current generating circuits

根据图2知M_1和M_2栅源电压V_{GS2}与V_{GS1}的关系为:

$$V_{GS2}=V_{GS1}+I_1R_2 \tag{9}$$

由公式(3)可知栅源电压V_{GS2}与V_{GS1}可以表示为:

$$V_{GS1}=V_{TH}+\eta V_T\ln\frac{I_1}{\mu C_{ox}(W/L)_1(\eta-1)V_T^2} \tag{10}$$

$$V_{GS2}=V_{TH}+\eta V_T\ln\frac{I_1}{\mu C_{ox}(W/L)_2(\eta-1)V_T^2} \tag{11}$$

由式(9)~式(11)可以得出电流I_1表达式为:

$$I_1=\frac{\eta V_T}{R_1}\ln\frac{(W/L)_1}{(W/L)_2} \tag{12}$$

式中:$(W/L)_1$和$(W/L)_2$分别表示晶体管M_1和M_2的宽长比.可以看出电流I_1与热电压V_T成正比,并且与电源电压无关.

类似的,另一个由晶体管M_4、M_9~M_{10}和R_2构成了负反馈环路用来产生I_{CTAT}电流,当电源电压增加时,I_{CTAT}电流也会增加,这导致S点的电压上升,而S点的电压升高又导致V点的电压下降,最终使S点的电压降低.因此,I_{CTAT}电流得以减少.这种电压的变化可以使S点电压基本保持稳定.从图2可知电流I_2可以表示为:

$$I_2=\frac{V_{GS2}}{R_2} \tag{13}$$

从式中:可以看出I_2依赖于M_4晶体管工作在亚阈值区的栅源电压.

可以得到I_{DS4}和I_1的关系为:

$$I_{DS1}=\left(\frac{(W/L)_8}{(W/L)_6}\right)I_1 \tag{14}$$

式中:$(W/L)_8$和$(W/L)_6$是晶体管M_8和M_6的宽长比.

由式(6)~式(14)可以将I_2表示为:

$$I_2=\frac{1}{R_2}\left(V_{TH0}-k_TT+\frac{kT}{q}\ln\alpha_1-(1-m)\eta\frac{kT}{q}\ln T\right) \tag{15}$$

式中:$\alpha_1=\dfrac{\eta q(W/L)_8\ln\dfrac{(W/L)_1}{(W/L)_2}}{R_1\mu_0T_0^mC_{ox}(\eta-1)k(W/L)_4(W/L)_6}$,可以看出电流$I_2$与温度成非线性关系,其中非线性量是由$\dfrac{(1-m)kT}{R_2q}\ln T$引起的.

2.3 提到的高阶曲率补偿参考电压

可以观察到,直接利用I_{PTAT}电流和I_{CTAT}电流产生基准电压只能简单地补偿一阶项,而电压中仍存在与温度有关的高阶项.同时,如果流过工作在亚阈值区MOSFET的漏源电流的温度系数存在差异,可以产生温度特性不同的V_{GS}.由于V_{GS}的高阶项来源于对数项,只需生成对数分量,使其精确相等但符号相反,即可实现补偿.本文所提出电路如图3所示,图中分为4部分,第Ⅰ部分如前文所述,产生与电源电压无关的电流I_1和I_2.第Ⅱ部分是产生两个温度特性不同的V_{GS},并通过电阻R_3和R_4转换为电流.同样的,

为了确保电路能在低电压下正常工作，M_{13}和M_{17}使用耗尽型晶体管，而M_{14}和M_{18}工作在亚阈值区.第Ⅲ部分是一个减法电路，将第2部分产生温度特性不同的电流相减.第Ⅳ部分是输出电路，通过将不同温度系数的电流叠加到不同大小的电阻上，得到高阶补偿的电压V_{REF}.

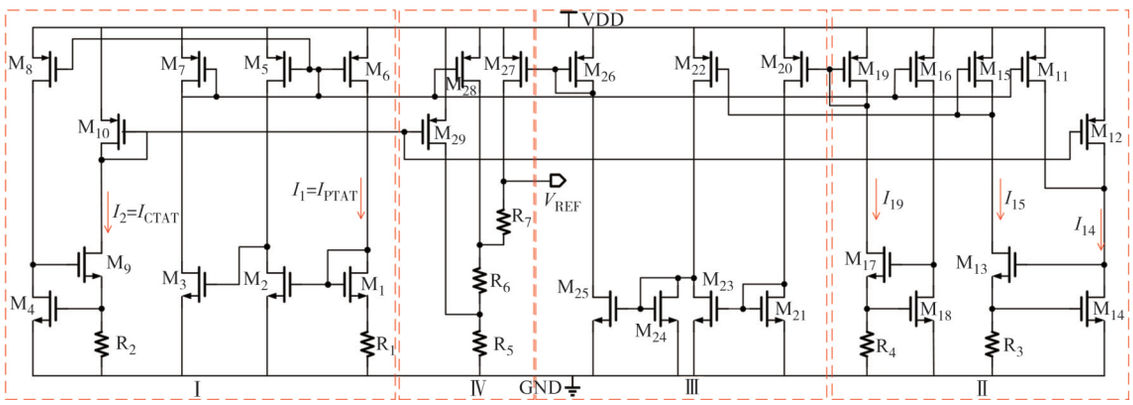


图3 所提出的电压基准原理

Fig.3 Schematic of the proposed reference voltage

在图3中，流过M_{14}的电流I_{14}是流过M_{11}和M_{12}的电流叠加，其中I_{11}是通过M_6和M_{11}的镜像得到，与I_1具有相同的温度系数.而I_{12}是通过M_{10}和M_{12}的镜像得到，与I_2有相同的温度系数.通过调整电阻R_1和R_2的阻值大小，可以得到没有一阶温度项的电流I_{14}，流过M_{18}的电流是通过M_7镜像的倒数PTAT电流.由于M_{14}和M_{18}漏源电流的温度系数不同，产生了温度系数不同的V_{GS}.通过电阻R_3和R_4产生温度系数不同的电流I_{15}和I_{19}，并将其相减，与V_{GS4}产生的高阶项因子叠加来进行补偿，从而得到V_{REF}电压.

由式(12)和式(13)可以得到电流I_{14}的表达式为：

$$I_{14}=\frac{(W/L)_{11}}{(W/L)_6}\frac{\eta V_T}{R_1}\ln\frac{(W/L)_1}{(W/L)_2}+\frac{(W/L)_{12}}{(W/L)_{10}}\frac{V_{GS2}}{R_2} \tag{16}$$

式中：$(W/L)_{11}$、$(W/L)_6$、$(W/L)_{12}$、$(W/L)_{10}$分别是晶体管M_{11}、M_6、M_{12}、M_{10}的宽长比.通过调节这些晶体管的宽长比和电阻R_1、R_2的阻值可以得到一阶温度系数的I_{14}.那么I_{15}可以表示为：

$$I_{15}=\frac{1}{R_3}\left(V_{TH14}+\frac{\eta kT}{q}\ln\alpha_2-(2-m)\frac{\eta kT}{q}\ln T\right) \tag{17}$$

式中的α_2可以为：

$$\alpha_2=\frac{I_{14}q^2}{\mu_0 T_0^m C_{ox}(\eta-1)k^2(W/L)_{14}} \tag{18}$$

式中：I_{14}是经过一阶补偿后的电流，高阶温度系数项很小，在这可以忽略，α_2可以看成一个与温度无关的常数.

同样地I_{18}可以表示为：

$$I_{18}=\frac{(W/L)_{16}}{(W/L)_6}\frac{\eta V_T}{R_1}\ln\frac{(W/L)_1}{(W/L)_2} \tag{19}$$

可以看出I_{18}是与绝对温度成正比的电流.那么I_{19}可以表示为：

$$I_{19}=\frac{1}{R_4}\left(V_{TH18}+\frac{\eta kT}{q}\ln\alpha_3-(1-m)\frac{\eta kT}{q}\ln T\right) \tag{20}$$

α_3可以表示为：

$$\alpha_3=\frac{\eta q\dfrac{(W/L)_{16}}{(W/L)_6}\ln\dfrac{(W/L)_1}{(W/L)_2}}{R_1\mu_0 T_0^m C_{ox}(\eta-1)k(W/L)_{18}} \tag{21}$$

可以看出α_3也是一个与温度无关的常数.

选择R_3与R_4阻值相等，M_{14}和M_{18}宽长比相同.将电流I_{15}与I_{19}相减可以得到：

$$I_{15}-I_{19}=\frac{1}{R_3}\left(\frac{\eta kT}{q}\ln\frac{\alpha_2}{\alpha_3}-\frac{\eta kT}{q}\ln T\right) \tag{22}$$

从而得到的电流很小，为了使晶体管M_{24}工作在饱和区，可以同时将电流I_{15}和I_{19}扩大N倍，可得到I_{24}为：

$$I_{24}=\frac{N}{R_3}\left(\frac{\eta kT}{q}\ln\frac{\alpha_2}{\alpha_3}-\frac{\eta kT}{q}\ln T\right) \tag{23}$$

通过保证M_{24}和M_{25}相同，M_{26}和M_{27}相同可以得到：

$$I_{27}=I_{24} \tag{24}$$

将I_{27}、I_{28}和I_{29}进行加权叠加的补偿电压基准为：

$$V_{\mathrm{REF}}=\frac{(W/L)_{29}}{(W/L)_{10}}I_2R_5+\frac{(W/L)_{28}}{(W/L)_{6}}I_1(R_5+R_6)+I_{27}(R_5+R_6+R_7) \tag{25}$$

根据式(12)、式(15)、式(23),将I_1、I_2和I_{27}代入公式(25)得:

$$V_{\mathrm{REF}}=\frac{(W/L)_{29}R_5}{(W/L)_{10}R_2}\left(V_{\mathrm{TH4}}+\frac{\eta kT}{q}\ln\alpha_2-(2-m)\frac{\eta kT}{q}\ln T\right)+\frac{(W/L)_{28}(R_5+R_6)}{(W/L)_{6}R_1}\left(\frac{\eta T}{q}\ln\frac{(W/L)_1}{(W/L)_2}\right)+\frac{N(R_5+R_6+R_7)}{R_3}\left(\frac{\eta kT}{q}\ln\frac{\alpha_2}{\alpha_3}-\frac{\eta kT}{q}\ln T\right) \tag{26}$$

式(26)中,当$\frac{(W/L)_{29}R_5}{(W/L)_{10}R_2}(m-1)=\frac{N(R_5+R_6+R_7)}{R_3}$,可以完全消除与温度有关的对数项.公式(26)可以被表示为:

$$V_{\mathrm{REF}}=\frac{(W/L)_{29}R_5}{(W/L)_{10}R_2}\left(V_{\mathrm{TH0}}-kT+\frac{\eta kT}{q}\ln\alpha_2+(m-1)\frac{\eta kT}{q}\ln\frac{\alpha_2}{\alpha_3}\right)+\frac{(W/L)_{28}(R_5+R_6)}{(W/L)_{6}R_1}\left(\frac{\eta T}{q}\ln\frac{(W/L)_1}{(W/L)_2}\right) \tag{27}$$

对公式(27)关于温度T求导可得:

$$\frac{\partial V_{\mathrm{REF}}}{\partial T}=\frac{-kT(W/L)_{29}R_5}{(W/L)_{10}R_2}+\frac{(W/L)_{29}R_5}{(W/L)_{10}R_2}\times\eta\frac{k}{q}\left(\ln\alpha_1+(m-1)\ln\frac{\alpha_2}{\alpha_3}\right)+\frac{(W/L)_{28}(R_5+R_6)}{(W/L)_{6}R_1}\left(\frac{\eta}{q}\ln\frac{(W/L)_1}{(W/L)_2}\right) \tag{28}$$

调整M_{29}、M_{10}、M_{28}、M_6的宽长比和电阻R_2、R_5、R_6的阻值使得$\frac{\partial V_{\mathrm{REF}}}{\partial T}=0$,可以得到所设计的基准电压为:

$$V_{\mathrm{REF}}=\frac{(W/L)_{29}R_5}{(W/L)_{10}R_2}V_{\mathrm{TH0}} \tag{29}$$

通过公式(29)可知该过程消除了与温度相关的项,获得了与温度无关的基准电压V_{REF},实现了基准电压的高阶补偿.

3　仿真结果

设计了所提出的高阶曲率温度补偿电压基准,采用BSIM3V3 180 nm CMOS工艺,选用3.3 V的晶体管.晶体管宽长比参数和电阻阻值如表1所示.在Cadence virtuoso模拟设计环境中进行版图设计与仿真验证.总体版图如图4所示,总体版图面积为0.037 4 mm^2.为减少版图设计对基准电压的影响,电阻阵列和MOS管采用插值结构,减少工艺变化引起的不匹配.

表 1　电路器件的设计参数

Tab.1　The design parameters of circuit devices

器件	参数	器件	参数	器件	参数
M_1	2×(5 μm/5 μm)	M_{13}	1×(8 μm /5 μm)	M_{25}	1×(2 μm/5 μm)
M_2	2×(1 μm/4 μm)	M_{14}	1×(7 μm/5 μm)	M_{26}	1×(10 μm/10 μm)
M_3	10×(1 μm/4 μm)	M_{15}	1×(10 μm/10 μm)	M_{27}	1×(10 μm/10 μm)
M_4	1×(8 μm/5 μm)	M_{16}	2×(8 μm/10 μm)	M_{28}	5×(8 μm/10 μm)
M_5	1×(8 μm/10 μm)	M_{17}	1×(8 μm/5 μm)	M_{29}	5×(10 μm/10 μm)
M_6	1×(8 μm/10 μm)	M_{18}	1×(7 μm/5 μm)	R_1	800/kΩ
M_7	5×(8 μm/10 μm)	M_{19}	1×(10 μm/10 μm)	R_2	3.46/MΩ
M_8	2×(8 μm/10 μm)	M_{20}	5×(10 μm/10 μm)	R_3	1.5/MΩ
M_9	1×(8 μm/5 μm)	M_{21}	1×(2 μm/5 μm)	R_4	1.5/MΩ
M_{10}	1×(10 μm/10 μm)	M_{22}	5×(10 μm/10 μm)	R_5	100 kΩ
M_{11}	2×(8 μm/10 μm)	M_{23}	1×(2 μm/5 μm)	R_6	115.2/kΩ
M_{12}	1×(10 μm/10 μm)	M_{24}	1×(2 μm/5 μm)	R_7	554.6/kΩ

图5为在输入电压为2 V时输出电压V_{REF}随着温度变化的曲线,从图中可以看出在室温(27 ℃)时输出电压为295.3 mV,并且在全温度范围下输出电压最大为295.36 mV.因此根据公式(30)可以得到该温

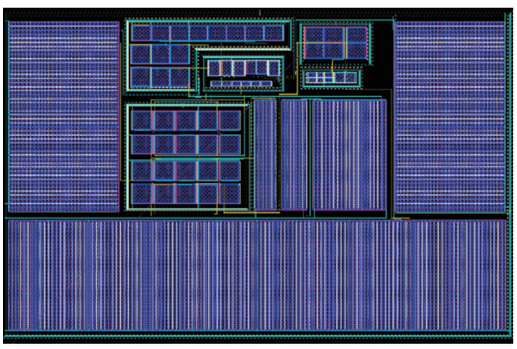


图4 提出的基准电压版图

Fig.4 Layout of the proposed reference voltage

度系数为1.26 ppm/℃.

$$\mathrm{TC}=\frac{\max\left(V_{\mathrm{REF}}\right)-\min\left(V_{\mathrm{REF}}\right)}{\mathrm{average}\left(V_{\mathrm{REF}}\right)\left(T_{\max}-T_{\min}\right)} \tag{30}$$

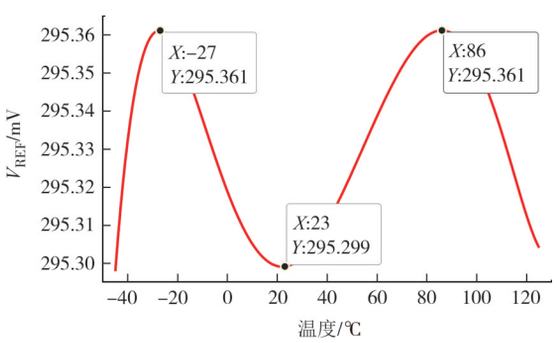


图5 基准电压V_{REF}温度特性曲线

Fig.5 Temperature characteristic curve of reference voltage V_{REF}

在芯片制造中工艺误差不可避免地会影响电路的参数,主电路设计完成后,有必要考虑工艺偏差的影响.本文利用三种器件:MOSFET、耗尽型MOSFET和电阻完成设计/耗尽型MOSFET不参与电路主要参数的构建,影响电路性能的主要为MOSFET和电阻.由公式(26)可以看出如果电阻是同类型且匹配良好,那么电阻也不会影响电路的性能,影响电路性能的只有MOSFET.图6显示了在不同工艺角下(tt、ff、ss、fs、sf)基准电压V_{REF}的输出波形.从图中可以看出不同极端情况下输出电压V_{REF}随温度的变化规律.最好的情况为tt工艺角下,温度系数为1.26 ppm/℃,最坏的情况为ss工艺角,温度系数为85.08 ppm/℃.

图7是不同电源电压:1.6 V、2 V、2.5 V和3 V下输出V_{REF}随温度(从−45 ℃变化到125 ℃)的变化曲线.在这些电压下,输出电压V_{REF}的温度系数分别为4.38 ppm/℃、1.26 ppm/℃、9.81 ppm/℃和16.88 ppm/℃.

图8显示了电路在没有修调下1 000个蒙特卡洛的仿真结果,仿真包含了失配和工艺变化来对带隙电压进行预测,与工艺角仿真相比,蒙特卡洛仿真

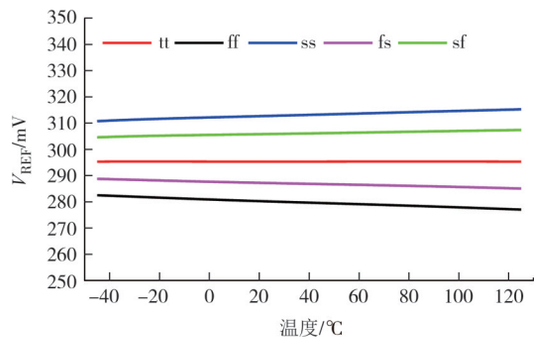


图6 基准电压V_{REF}在不同工艺角下温度特性曲线

Fig.6 Temperature characteristic curves of reference voltage V_{REF} at different corners

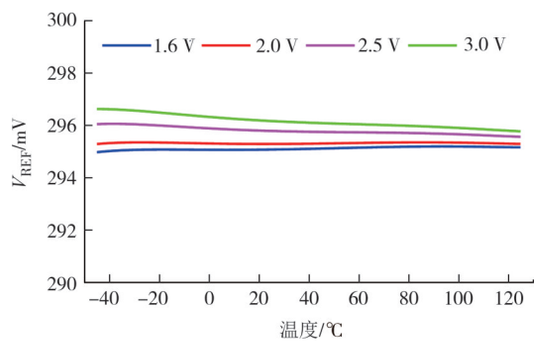


图7 不同电压下基准电压V_{REF}温度特性曲线

Fig.7 Temperature characteristic curves of reference voltage V_{REF} at different voltages

能更准确预测电路的真实情况.仿真结果显示输出基准电压的均值为295.787 mV,标准差σ值为4.92 mV.变化系数(μ/σ)为1.66%,表明对工艺和失配有较好的鲁棒性.

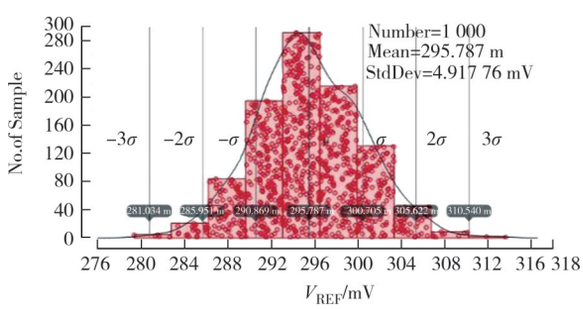


图8 1 000个蒙特卡洛仿真结果

Fig.8 1 000 Monte Carlo simulation results

图9显示了PSRR在常温下(27 ℃)输入电压2 V输出电压为295 mV下与频率的变化关系,该PSRR曲线是没有使用任何滤波电容得到的.可以看出PSRR在频率100 Hz和10 kHz分别为−51.1 dB和−48.5 dB.而图10显示了在不同工艺角下的PSRR情况,由图可以看出不同工艺角下PSRR相差不大.其中最差工艺角为ff工艺角,在频率100 Hz和10 kHz

下 PSRR 分别为-48.9 dB 和-47.1 dB.最好工艺角为 ss 工艺角,在频率 100 Hz 和 10 kHz 下 PSRR 分别为 -52.4 dB 和-49.3 dB.

本文所设计的基准电压电路与同类型的基准电压电路的性能对比如表 2 所示,从表 2 可以看出本文设计的温度系数优于同类型的设计.虽然输出的基准电压受工艺影响方面不如 BJT 晶体管稳定,这是因为 MOSFET 的 V_{TH} 受工艺影响较大.

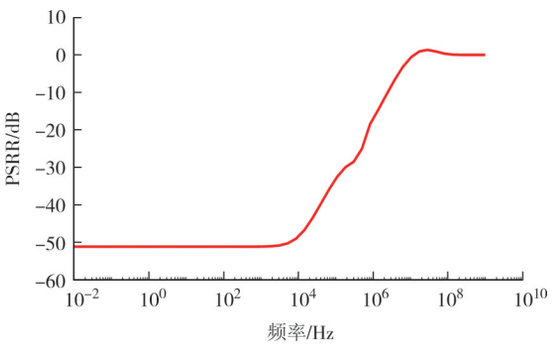


图 9　典型工艺角下电源抑制比 PSRR 特性曲线

Fig.9　PSRR characteristic curves for typical process

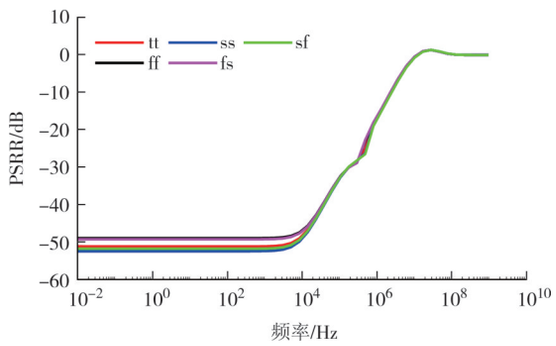


图 10　不同工艺角下电源抑制比 PSRR 特性曲线

Fig.10　PSRR characteristic curves at different corners

表 2　同类基准电压源性能比较

Tab.2　Performance comparison between proposed reference voltage and other similar reference voltages

参数	文献[21]	文献[5]	文献[22]	文献[16]	本文
工艺/μm	0.35	0.18	0.09	0.13	0.18
输入电压/V	3.3	1.2~2.0	0.8~1.68	1.0~2.3	1.6~3.0
V_{REF}/V	0.903	0.321	0.281	0.781	0.295
温度范围/℃	40 ~125	40~120	0~85	0~100	-45~125
温度系数/(ppm/℃)	5.533	6.8	125	48	1.26
PSRR/dB @100 Hz	62	52	48	-51.4	-51.1
静态电流/μA	8.89	2.83	14.14	8.1	8.90

4　结 论

本文在 0.18 μm 工艺下设计了一种低温度系数的基准电压源,并通过详细的公式论证了所提出方法的可行性.相较于传统基准电压电路,新的设计不仅实现了更低的温度系数,同时降低了输入电压范围和电路的功耗.仿真结果显示,在 2 V 输入的情况下,基准输出电压稳定在 295.3 mV,且在-45 ℃到 125 ℃温度范围内,温度系数为 1.26 ppm/℃.在频率为 100 Hz 和 10 kHz 时,电路的 PSRR 分别达到了 51.1 dB 和 48.5 dB.静态电流的最大值为 8.9 μA.通过蒙特卡洛分析验证了电路的良好鲁棒性,表明了该电路能够满足高精度集成电路系统的需求.

参考文献

[1]　伍锡安,章泽臣,袁圣越,等. 一种快速建立的低噪声带隙基准源设计与实现[J]. 电子学报,2021,49(11):2195-2201.
WU X A, ZHANG Z C, YUAN S Y, et al. Design and implementation of a fast set-up and low-noise bandgap reference [J]. Acta Electronica Sinica, 2021, 49(11): 2195-2201. (in Chinese)

[2]　ZHOU Z K, SHI Y, WANG Y, et al. A resistorless high-precision compensated CMOS bandgap voltage reference [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(1): 428-437.

[3]　QUE L C, MIN D G, WEI L H, et al. A high PSRR bandgap voltage reference with piecewise compensation [J]. Microelectronics Journal, 2020, 95: 104660.

[4]　MOHAMMED M, ABUGHARBIEH K, KAWAR S. Design of a sub 1-V MOSFET based voltage reference circuit operating in subthreshold region [C]//2013 IEEE 20th International Conference on Electronics, Circuits, and Systems (ICECS). Abu Dhabi, United Arab Emirates. IEEE, 2013: 897-900.

[5]　AMIRI H, JALALI M. A CMOS self-biased 6.8 ppm/℃ area-efficient subthreshold voltage reference [C]//2015 23rd Iranian Conference on Electrical Engineering. Tehran, Iran: IEEE, 2015: 1341-1345.

[6]　LUO H R, SUN Q, ZHANG R Z, et al. A 1-V 3.1-ppm/℃ 0.8-μW bandgap reference with piecewise exponential curvature compensation [C]//2018 IEEE Asian Solid-State Circuits Conference (A-SSCC). Tainan, Taiwan, China: IEEE, 2018:

97-98.

[7] THAKUR A, PANDEY R, RAI S K. High-performance sub-1V CMOS voltage reference with low supply voltage [J]. AEU-International Journal of Electronics and Communications, 2022, 156: 154392.

[8] 毕查德·拉扎维. 模拟CMOS集成电路设计[M]. 陈桂灿, 等译. 西安: 西安交通大学出版社, 2018: 459-477.
BEHZAD R. Design of analog CMOS integrated circuits [M]. Tanslated by CHEN G C, et al. Xi'an: Xi'an Jiaotong University Press, 2018. (in Chinese)

[9] HILBIBER D. A new semiconductor voltage standard [C]//1964 IEEE International Solid-State Circuits Conference. Digest of Technical Papers. Philadelphia, PA, USA. IEEE, 1964: 32-33.

[10] WIDLAR R. Some circuit design techniques for linear integrated circuits [J]. IEEE Transactions on Circuit Theory, 1965, 12(4): 586-590.

[11] 谢海情, 王振宇, 曾健平, 等. 一种低温漂高电源电压抑制比带隙基准电压源设计[J]. 湖南大学学报(自然科学版), 2021, 48(8): 119-124.
XIE H Q, WANG Z Y, ZENG J P, et al. Design of bandgap voltage reference with low temperature drift and high PSRR [J]. Journal of Hunan University (Natural Sciences), 2021, 48(8): 119-124. (in Chinese)

[12] GHANAVATI NEJAD T, FARSHIDI E, SJÖLAND H, et al. A high precision logarithmic-curvature compensated all CMOS voltage reference [J]. Analog Integrated Circuits and Signal Processing, 2019, 99(2): 383-392.

[13] LIU X F, YANG S W, WANG J F, et al. A high-order curvature compensated voltage reference based on lateral BJT [J]. AEU-International Journal of Electronics and Communications, 2020, 124: 153325.

[14] 胡佳俊, 陈后鹏, 蔡道林, 等. 高电源抑制比低温漂带隙基准源设计[J]. 微电子学, 2012, 42(1): 34-37.
HU J J, CHEN H P, CAI D L, et al. Design of low temperature-drift bandgap voltage reference with high PSRR [J]. Microelectronics, 2012, 42(1): 34-37. (in Chinese)

[15] 奚冬杰, 徐晴昊. 高精度分段线性补偿基准电压源[J]. 电子技术应用, 2022, 48(3): 41-44.
XI D J, XU Q H. High precision piecewise linear compensated voltage reference [J]. Application of Electronic Technique, 2022, 48(3): 41-44. (in Chinese)

[16] LUO H, HAN Y, CHEUNG R C C, et al. Subthreshold CMOS voltage reference circuit with body bias compensation for process variation [J]. IET Circuits, Devices & Systems, 2012, 6(3): 198.

[17] RAYAT H, DASTANIAN R. A fully MOSFET voltage reference with low power consumption and high power supply rejection ratio for IoT microsystems [J]. Jordan Journal of Electrical Engineering, 2022, 8(2): 102.

[19] XIN X, HU Y H, CAI J P, et al. A 0.6 V, 1.56 nW, 5.87-ppm/℃, 0.23%/V CMOS-only subthreshold voltage reference with the threshold voltage difference [J]. Circuits, Systems, and Signal Processing, 2022, 41(8): 4256-4274.

[20] THAKUR A, PANDEY R, RAI S K. Low temperature coefficient and low line sensitivity subthreshold curvature-compensated voltage reference [J]. International Journal of Circuit Theory and Applications, 2020, 48(11): 1900-1921.

[21] ZAWAWI R A, KIM J K, PARK J B, et al. A 3.3 V, 8.89 μA and 5.5 ppm/℃ CMOS bandgap voltage reference for power telemetry in retinal prosthesis systems [J]. Annual International Conference of the IEEE Engineering in Medicine and Biology Society. IEEE Engineering in Medicine and Biology Society. Annual International Conference, 2018, 2018: 2977-2980.

[22] MOHAMMED M, ABUGHARBIEH K, ABDELFATTAH M, et al. Design of a voltage reference circuit based on subthreshold and triode MOSFETs in 90 nm CMOS [C]//2014 IEEE International Conference on IC Design & Technology. Austin, TX, USA: IEEE, 2014: 1-4.