文章编号:1674-2974(2026)04-0175-12 DOI:10.16339/j.cnki.hdxbzkb.2026181

片上Buck型DC-DC模块设计

王镇道[1],保明康[1†],何龙[2]
[1. 湖南大学 物理与微电子科学学院, 湖南 长沙 410082;
2. 进芯科技(湖南)股份有限公司, 湖南 长沙 410205]

摘 要:片上电源的性能直接影响整颗芯片的运行状态与能效.芯片上通常采用低压差线性稳压器(low dropout regulator, LDO)作为其降压电源.但随着输入输出压差增大, LDO转换效率大幅下降;而DC-DC转换器转换效率显著优于LDO,且基本不随压差变化,但在纹波抑制等方面存在固有局限.由此提出基于COT控制架构的Buck型DC-DC转换器新型芯片电源解决方案,在降低纹波方面,创新性地引入电流反馈电路实现纹波与环路控制信号的解耦,同时选用低等效串联电阻的多层陶瓷电容作为输出滤波元件,在降低纹波的同时保持了系统的稳定性.模块基于中芯国际40 nm CMOS工艺设计流片,测试结果表明:该电源模块全工况下转换效率维持83.5%以上,最大输出电压纹波小于1.2 mV,负载突变时电压波动小于11.1 mV.

关键词:功率变换;功率效率;低压差线性稳压器;DC-DC转换器;纹波
中图分类号:TN492 **文献标志码**:A

Design of on-chip Buck type DC-DC module

WANG Zhendao[1], BAO Mingkang[1†], HE Long[2]
[1. School of Physics & Electronics, Hunan University, Changsha 410082, China;
2. Advancechip Electronic Technology (Hunan) Co., Ltd., Changsha 410205, China]

Abstract: The performance of the on-chip power supply directly affects the operating state and energy efficiency of the entire chip, and a low-dropout linear regulator (LDO) is usually used as its step-down power supply on the chip. However, with the increase of input and output voltage difference, the conversion efficiency of LDO decreases significantly. The conversion efficiency of the DC-DC converter is significantly better than LDO, and it does not change with the pressure difference, but it has inherent limitations in ripple suppression. In this thesis, a new chip power supply solution for Buck DC-DC converter based on COT control architecture is proposed. In terms of reducing ripple, the current feedback circuit is innovatively introduced to realize the decoupling of ripple and loop control signal. At the same time, multilayer ceramic capacitors with low equivalent series resistance are selected as the output filter element, so as to reduce the ripple and maintain the stability of the system at the same time. The module is designed based on SMIC 40 nm CMOS process. The test results show that the conversion efficiency of the power module under all working conditions is more than 83.5%. The maximum output voltage ripple is less than 1.2 mV, When the load changes suddenly, the voltage fluctuation is less than 11.1 mV.

* **收稿日期**:2025-07-01
基金项目:国家自然科学基金资助项目(Z202301432394), National Natural Science Foundation of China(Z202301432394)
作者简介:王镇道(1974—),男,湖南沅江人,湖南大学副教授,博士
† 通信联系人,E-mail:1411095718@hnu.edu.cn

Key words: power conversion; power efficiency; low dropout regulator; DC-DC converter; ripple

在现代芯片架构中，多电源域设计已成为实现高性能运算与低功耗目标的核心策略[1]. 数字逻辑电路通常采用低压工作模式以增加时钟频率并降低动态功耗，而模拟电路则需维持较高电压以确保信号完整性，这种差异化供电需求推动了电源管理模块的精细化设计.

片上电源中，传统低压差线性稳压器(LDO)凭借卓越的低纹波特性，在亚微米以下制程的芯片设计中仍占据主流地位[2]. 为降低功耗和发热，数字电路的工作电压不断下探. 尽管较低工作电压能够加速电平建立时间并提升运算速度[3]，但输入输出压差的增大也带来了新的问题：LDO 的转换效率急剧下降，大部分能量以热量形式散失[4]，这对芯片的温度控制构成了严峻挑战，迫使设计者重新审视经典电源架构的适用范围[5]. 在市占份额很高的 TI DSP 芯片中，C5000、C6000 系列均采用 LDO 作为电源芯片，输入电压为 3.3 V，输出电压为 1.2~1.4 V，理论最高效率为 36% ~ 42%.

相比之下，Buck 型 DC-DC 转换器凭借其开关调压机制在能效领域展现出显著优势[6-9]. 该方案通过功率 MOSFET 与储能电感/电容的协同工作，利用开关周期内的能量存储与释放实现电压调节[8]. 得益于这种拓扑结构，Buck 转换器可在宽输入输出压差下保持高效率(通常可达 80% 以上)[10]. 然而，开关稳压器的固有特性也带来新的挑战：Buck 转换器因功率管高频通断会产生周期性输出纹波(通常在数十至数百毫伏量级)[11]，这种电压扰动可能引发系统噪声耦合、电磁干扰等问题，这对电源系统的稳定性可能产生不利影响.

Buck 型 DC-DC 转换器通过调整功率开关的占空比实现输出电压的调节. 不同的闭环反馈控制方式特点不同. 传统的电压控制模式[12]和电流控制模式[8]由于采用固定开关频率，在轻载时会因为较高的开关损耗而严重影响整体效率. 相比之下，迟滞控制模式[6]和恒定导通时间(constant on-time，COT)控制模式能够在轻载条件下自动降低开关频率，从而提高轻载效率. 这两种控制模式在对功耗要求严格的电子设备中得到了广泛应用. 迟滞控制模式由于其固有的迟滞窗口特性存在较大性能折中问题.

普通 COT 模式[13-14]的闭环控制信号取自输出电压纹波，它由输出电容和等效串联电阻的纹波叠加形成. 由于电容两端电压变化的非线性特性，使得纹波波形偏离理想的锯齿波形态，影响系统控制的稳定性. 而且，输入电压的波动传递到输出端后，系统才能通过反馈控制调整电压，这将显著延长系统的响应时间，导致较大的过冲电压.

事实上，在 COT 控制模式下，输出电压纹波本质上由电感电流纹波决定，而电感电流纹波本身具有很好的线性度. 本文创新性地采用电感电流反馈控制方法，实现了纹波与环路控制信号的解耦. 由于控制信号由电感纹波电流线性变换得到，不受传统方式中电容两端电压非线性特性的影响，实现了闭环控制的线性化，提高了系统稳定性；同时由于电感电流对输入/输出信号的变化响应速度快于输出电压纹波信号，系统的瞬态响应性能因此得到显著提升. 此外，纹波幅度可通过线性变换电路灵活调节，不再受制于输出电压纹波固有的物理特性. 结果表明，该方法能在保证效率的同时，将输出电压波动降至较低水平.

1 理论分析

针对降压应用场景，可以选用 Buck 型 DC-DC 转换器替代 LDO[15]. DC-DC 转换器峰值效率基本不随压差变化，且显著优于 LDO 芯片；但目前的电子产品最看重的是待机时轻载效率，DC-DC 转换器的轻载效率在未经优化时并未展现出明显优势. 因此目前片上 DC-DC 电源效率亟须解决的是轻载效率低的问题[16].

DC-DC 转换器的控制方式总体分为两大类，分别是脉冲宽度调制(pulse width modulation，PWM)和脉冲频率调制(pulse frequency modulation，PFM). PWM 方式控制的转换器拥有固定的开关频率，而在转换器轻载时，较高的开关损耗会严重影响整体效率. PFM 控制大类下的 COT 控制模式，在轻载状态下能自动降低开关频率，提升转换器效率，符合设计要求.

但 COT 控制模式依赖纹波进行环路控制，纹波

减小会影响环路稳定性；而输出电压纹波本质上由电感电流纹波决定，且电感电流自身的纹波特性是理想锯齿波．在将电流信号转换为电压信号时，可以控制转换比，即电压信号幅度与电流信号幅度的比值．因此，可通过采集电感电流纹波信号，并将其转换为特定幅值范围的电压纹波信号，随后将该信号注入 COT 控制模式中比较器的 V_{FB} 输入端以实施闭环控制，从而实现系统控制性能的优化．

这种创新性方法具有显著优势：首先，纹波幅度可自行调节，不再受制于输出电压纹波固有的物理特性；其次，在系统外围电路选择上，可以采用等效串联电阻较小的电容元件，从而降低系统能耗；最后，由于电感电流信号对输入/输出信号的变化响应速度快于输出电压纹波信号，系统的瞬态响应性能因此得到显著提升．

基于上述分析，本文采用改进的 COT 控制方式对 DC-DC 转换器进行设计，并引入额外的电流反馈通路，将电感电流纹波转换为电压纹波信号作为系统的主要控制信号．同时，在系统中加入多种辅助功能模块，包括最小关断时间控制、过零检测保护、死区时间控制以及输出电压修调等功能，进一步优化和完善 DC-DC 转换器的整体性能．

图 1 为 DC-DC 转换器关键电路及其外围电路．

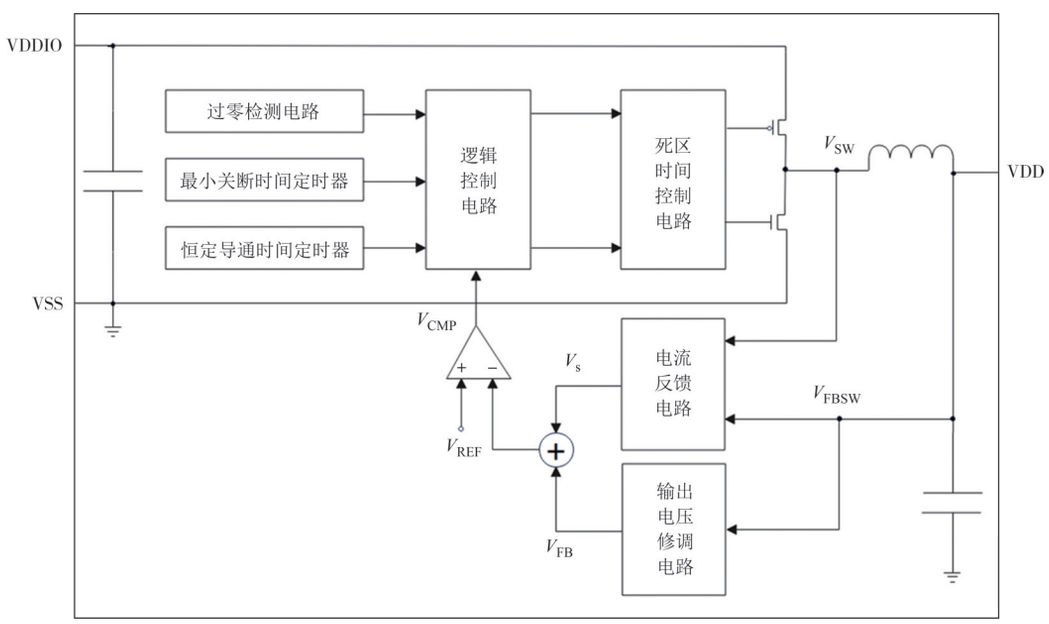


图 1　DC-DC 转换器关键电路与外围电路框图

Fig.1　Block diagram of key circuits and peripheral circuits of DC-DC converters

2　关键模块设计

2.1　电流反馈电路

图 2 为电流反馈电路图，图中 DCR 为电感 L 的直流电阻，电感 L 为片外器件，电阻 R_1 与 R_2 实际归属于输出电压修调电路，但为了叙述清晰，在电流反馈电路中将二者画出．

该模块采用了两级 RC 滤波器架构，一级 RC 滤波器用于提取并转换电感支路的电流纹波信号，二级 RC 滤波器负责分离纹波信号中的直流分量．首先对第一级 RC 滤波器功能进行分析，如图 3 所示．

设 DCR 电阻的阻值为 R_{DCR}，流过电感的电流为 i_L，流过电阻 R_{S1} 的电流为 i_S，电容两端电压为 V_{CS}，电

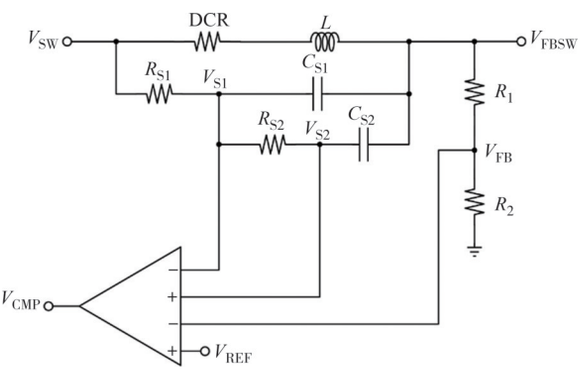


图 2　电流反馈电路

Fig.2　Current feedback circuit

感与直流电阻两端电压等于 R_{S1}、C_{S1} 两端电压：

$$i_L\left(R_{DCR}+sL\right)=i_SR_{S1}+V_{CS} \tag{1}$$

$$i_S=sC_{S1}V_{CS} \tag{2}$$

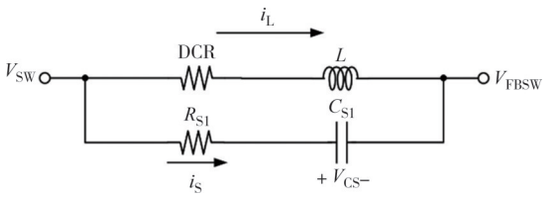


图3 电流反馈电路中的第一级滤波电路结构

Fig.3 The structure of the first-stage filter circuit in the current feedback circuit

将式(2)代入式(1),得:

$$i_L\left(R_{DCR}+sL\right)=V_{CS}\left(sC_{S1}R_{S1}+1\right) \tag{3}$$

电容两端电压为:

$$V_{CS}=\frac{i_L\left(R_{DCR}+sL\right)}{sC_{S1}R_{S1}+1} \tag{4}$$

将不含复频率的因子从分子中提出:

$$V_{CS}=i_LR_{DCR}\frac{\left(1+\dfrac{sL}{R_{DCR}}\right)}{1+sC_{S1}R_{S1}} \tag{5}$$

由式(5)可以看出,电容C_{S1}两端电压的大小取决于电感支路时间常数(L/R_{DCR})与一级RC滤波器支路时间常数($R_{S1}C_{S1}$)的比例关系,因此,在设计过程中可以通过调节一级RC滤波器的电容容量或电阻阻值,实现对电压纹波幅度的有效控制.

值得注意的是,第一级RC滤波器所提取的电压纹波信号中包含了电感电流带来的直流分量,该直流分量为负载电流大小.一旦负载电流发生变化,该直流分量会引起电压纹波信号的偏移,进而导致输出电压偏离设定值,影响系统稳定性和精度.因此,必须采取措施对这部分直流分量进行提取并分离.

为解决上述问题,本文设计了二级RC滤波器结构,并将第二级的转折频率设定为远小于开关工作频率.如此一来,第二级RC滤波器可近似视为一个理想的低通滤波器,其输出端(C_{S2}两端)电压即为滤除纹波成分后的直流分量.通过电路计算第一级输出电压V_{S1}与第二级输出电压V_{S2}之间的差值,便可获得不含直流分量的纯净电压纹波信号.

在控制环路中,此纹波控制信号与反馈电压V_{FB}叠加共同参与电压控制过程.值得注意的是,在这种结构下可以采用具有较低等效串联电阻的电容以进一步减小输出电压的整体纹波幅度.

2.2 恒定导通时间定时器

如图4所示,该模块电路结构简单,由一个恒定电流源、一个电容、一个NMOS管和一个比较器构成,其中,恒定电流源为芯片内部的另一个模拟模块REFERENCE,本设计中所使用的恒定电流均由该模块提供.

电容电压为:

$$V_C=\frac{Q}{C} \tag{6}$$

因为是恒流源充电,因此电荷量为:

$$Q=I\cdot t \tag{7}$$

将式(6)代入式(7),可得充电时间为:

$$t=\frac{C\cdot V_C}{I} \tag{8}$$

代入实际条件的恒定导通时间为:

$$t_{on}=\frac{C_{on}\cdot V_{REF}}{I_{on}} \tag{9}$$

因此,在恒流源条件下,导通时间主要取决于电容大小,具体关系由式(9)确定.通过调节电容值C_{on},可精确控制导通时间.

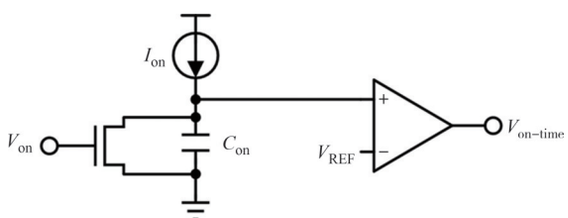


图4 恒定导通时间定时器电路

Fig.4 Constant on-time timer circuit

2.3 最小关断时间定时器

为了提高系统稳定性并保护电路器件,在恒定导通时间定时器的基础上,本设计引入了最小关断时间定时器模块,如图5所示.其主要作用在于:当输出电压突然下降或模块上电需要连续导通时,每次恒定导通时间定时器计时结束后,都会产生一个短暂的关断信号,设置最小关断时间,可以避免因瞬时的开关管通断而产生的浪涌电流对电路造成损害;同时,在上管长时间导通的情况下,可以防止电感电流超出饱和极限,从而保护器件免受损伤.

该模块的核心电路结构与前文所述的恒定导通时间定时器类似,因此电容充电时间可以参考式(8),

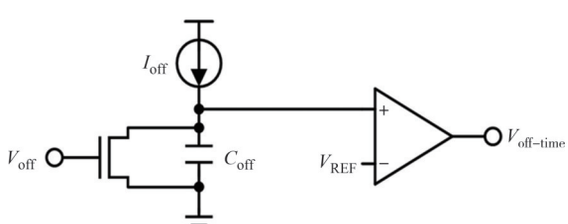


图5 最小关断时间定时器电路

Fig.5 Minimum shutdown time timer circuit

代入实际条件可得最小关断时间为：

$$t_{\text{off}} = \frac{C_{\text{off}} \cdot V_{\text{REF}}}{I_{\text{off}}} \tag{10}$$

同样，在恒流源条件下，关断时间主要取决于电容大小，具体关系由式(10)确定．通过调节电容值 C_{off}，可精确控制导通时间．

2.4　过零检测电路

当转换器输出功率较低时，在下管导通的电感续流阶段，可能出现电感电流已下降至零点而图 2 中四输入比较器的控制阈值尚未达到有效翻转点的情况．

此时，电容开始向负载供电，但由于下管仍处于导通状态(V_{NC}=1)，这为电容提供了一条电流对地泄放的通道，进而导致能量损耗增大、效率严重降低．

为了解决这一问题，本文设计了基于过零检测电路的下管控制机制，图 6 为过零检测电路，该电路仅在下管导通期间工作，采用下管控制信号 V_{NC} 同步对模块开关进行控制．当检测到有电流通过下管流向地时，立刻关断下管来保证轻载的高效性．

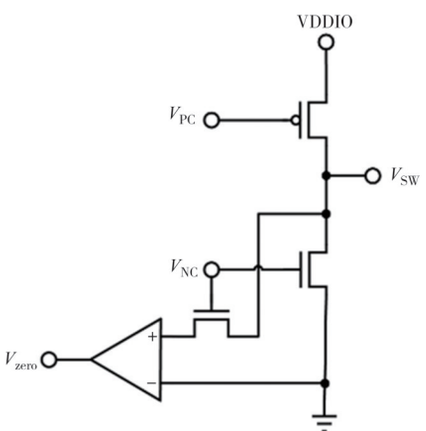


图 6　过零检测电路

Fig.6　Zero crossing detection circuit

2.5　死区时间控制电路

在上述的反馈控制信号、恒定导通时间控制信号、最小关断时间控制信号和过零检测控制信号被送入逻辑控制电路后，这些信号仍需要经过一系列的门电路的传输及处理．门电路的存在会导致信号延迟，同时上下开关管的开启和关闭也需要一定的时间．如果上管尚未完全关闭而下管就导通，或者下管未完全关闭而上管就开始导通，将会导致电源短暂直接对地导通，产生不必要的脉冲电流．这不仅会降低系统效率，还可能对电路造成损害．因此，在实际设计中需要引入一种控制机制——死区时间控制，以确保在一个开关管完全关断后，另外的开关管才能接收到有效的栅极控制信号．

图 7 为该死区时间控制电路的实现方案，其基于比较器和与门的组合进行精确控制．具体而言，就是将比较器的正端电压设置为 720 mV(记作 V_{REF})，当上管的控制电压大于 V_{REF} 时，比较器输出低电平，触发下管与门逻辑关闭，从而封锁下管的控制信号，使其无法传输到栅极，只有当下管的控制信号(即栅极电压)低于 V_{REF} 时，表示上管已经完全关断，此时下管才能导通；同样的，下管的关断遵循相同的逻辑．

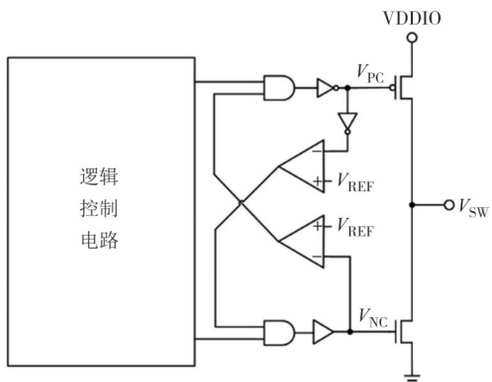


图 7　死区时间控制电路

Fig.7　Dead time control circuit

720 mV 的设定综合考虑了开关管阈值电压及实际电路工作需求：根据中芯国际手册提供的技术参数，所使用的 3.3 V 耐压开关管的阈值电压约为 620 mV．然而，在实际应用中，由于比较器本身可能存在响应延迟，而且与门也会引入传输延迟，若直接采用 620 mV 作为基准可能会导致死区时间过长而影响系统性能．因此，通过仿真优化后发现，将 V_{REF} 设置为 720 mV 能够在有效避免毛刺电流的同时保持死区时间的合理范围．

2.6　输出电压修调电路

首先对图 2 进行分析，输出电压 VDD 为最终所需的稳压电源．根据电阻分压关系，可以得到反馈电压：

$$V_{\text{FB}} = \frac{R_2}{R_1 + R_2}\text{VDD} \tag{11}$$

设 V_{S1} 纹波电压峰值为 V_{ripple}，V_{FB} 与 V_{REF} 的关系为：

$$V_{\text{FB}} = V_{\text{REF}} + \frac{1}{2}V_{\text{ripple}} \tag{12}$$

将式(11)代入式(12)，得：

$$\frac{R_2}{R_1 + R_2}\text{VDD} = V_{\text{REF}} + \frac{1}{2}V_{\text{ripple}} \tag{13}$$

化简得到输出电压VDD:

$$\mathrm{VDD}=\left(1+\frac{R_1}{R_2}\right)\cdot\left(V_{\mathrm{REF}}+\frac{1}{2}V_{\mathrm{ripple}}\right) \tag{14}$$

因工艺偏差的存在,转换器一定会因为失配问题而使输出电压偏离设计值,这对数字内核的供电稳定性有着重要影响:若电压偏低,数字电路将无法稳定工作;而若电压偏高,则可能导致器件处于非安全工作状态,存在安全隐患.因此,本设计采用可调修调电路对输出电压进行精确调节,确保即使在工艺偏差的情况下,输出电压仍能保持在设计值附近.

由式(14)分析可知,V_{REF}为芯片内部其他模块输入的定值,而V_{ripple}的大小直接影响系统的控制稳定性.因此,为了实现对输出电压的精确修调,最有效的途径是将反馈电阻设计为可调电阻.具体而言,调节R_1的阻值能够线性调整输出电压,这是通过调节R_2阻值无法实现的效果;此外,R_1的阻值较小,版图占用面积更小,这一特点相较于R_2来说是一个显著的优势.

为了确保电阻比例关系尽可能接近设计预期值,本设计采用了相同尺寸电阻的串联或并联设计.考虑到电阻的串并联特性,若将可调电阻设计为全串联或并联结构,则需要使用$2^8-1=255$个电阻来实现256级电压修调档位;而采用串并联结合的方式,仅需使用(16-2)+(32-1)=45个电阻即可完成同样的功能.在相同的布局面积下,这种方法能够增加单个电阻的尺寸,从而减小工艺偏差带来的影响.

基于上述分析,本设计采用串并联结合的方式对R_1进行可调控制,具体电路设计如图8所示.

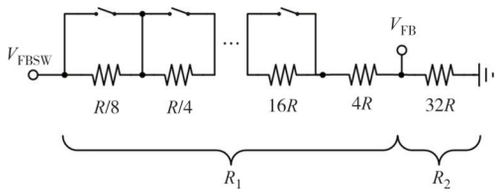


图8 输出电压修调电路

Fig.8 Output voltage adjustment circuit

图8中R为基准电阻,分数形式表示多个相同电阻并联的结构,整数形式则表示多个相同电阻串联的结构.

3 整体仿真验证

3.1 整体电路前仿真验证

采用中芯国际40 nm CMOS工艺,数字电路器件耐压为1.1 V,为DSP内核供电.经各模块电流估算汇总,在芯片运行状态下,重载情况下负载电流约为100 mA,轻载情况下负载电流约为30 mA.将转换器所有模块拼接后,在5个工艺角TT、FF、FS、SF、SS下分别测试了两种工况(重载和轻载)下的转换效率与输出电压纹波,并同时评估了两种工况相互切换时的过冲电压及响应恢复时间.

3.1.1 转换器效率与纹波仿真

转换器效率通过输出功率与输入功率的比值计算得到,仿真结果如图9所示.

图9中Point1为重载条件,Point2为轻载条件;Efficiency为效率,已转化为百分比;ripple为纹波,

		Parameter					Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
		Model Group					tt	ff	fs	sf	ss
		temperature					25	25	25	25	25
Point	Test	Output	pe	ig	s/	Min	Max	Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
Parameters: Ilcad=100m												
1	TESTBENCH1:DCDC_TEST:1	Iin_average				-38.8m	-38.49m	-38.8m	-38.49m	-38.6m	-38.66m	-38.7m
1	TESTBENCH1:DCDC_TEST:1	Iout_average				100m	100m	100m	100m	100m	100m	100m
1	TESTBENCH1:DCDC_TEST:1	Vout_average				1.104	1.109	1.105	1.106	1.104	1.109	1.104
1	TESTBENCH1:DCDC_TEST:1	Efficiency				86.33	87.09	86.33	87.09	86.63	86.89	86.43
1	TESTBENCH1:DCDC_TEST:1	ripple				699.6u	852.5u	776.4u	796.2u	699.6u	852.5u	756.8u
1	TESTBENCH1:DCDC_TEST:1	/GPIO22_VFBSW										
1	TESTBENCH1:DCDC_TEST:1	/GPIO23_VSW										
1	TESTBENCH1:DCDC_TEST:1	/VDD_11										
1	TESTBENCH1:DCDC_TEST:1	/R8/PLUS										
1	TESTBENCH1:DCDC_TEST:1	/I0/MI617/net076										
1	TESTBENCH1:DCDC_TEST:1	/V35/PLUS										
Parameters: Ilcad=30m												
2	TESTBENCH1:DCDC_TEST:1	Iin_average				-12.13m	-11.96m	-11.98m	-12m	-12.13m	-11.98m	-11.96m
2	TESTBENCH1:DCDC_TEST:1	Iout_average				30m	30.01m	30m	30m	30m	30.01m	30m
2	TESTBENCH1:DCDC_TEST:1	Vout_average				1.104	1.11	1.106	1.107	1.104	1.11	1.105
2	TESTBENCH1:DCDC_TEST:1	Efficiency				82.78	84.26	83.96	83.87	82.78	84.26	83.95
2	TESTBENCH1:DCDC_TEST:1	ripple				723.4u	883.5u	796.5u	836.5u	723.4u	883.5u	783.9u
2	TESTBENCH1:DCDC_TEST:1	/GPIO22_VFBSW										
2	TESTBENCH1:DCDC_TEST:1	/GPIO23_VSW										
2	TESTBENCH1:DCDC_TEST:1	/VDD_11										
2	TESTBENCH1:DCDC_TEST:1	/R8/PLUS										
2	TESTBENCH1:DCDC_TEST:1	/I0/MI617/net076										
2	TESTBENCH1:DCDC_TEST:1	/V35/PLUS										

图9 转换器效率与纹波前仿结果

Fig.9 Converter efficiency and ripple pre-simulation results

单位为 V.从仿真结果可以看出,在不同 Coner 下:重载条件(Point1)下的效率始终维持在 86% 以上,最高可达 87%,效率最高的工艺角与最大的工艺角相比,差值不到 1%;轻载条件(Point2)下的效率均高于 82%,效率最大差值不到 1.5%;输出电压纹波在两种工况下均保持在 900 μV 以内.这表明设计在不同工艺角下具有良好的稳定性与一致性.

3.1.2　负载突变的瞬态响应仿真

如图 10 所示,在此过程中测量了重载跳变为轻载时的向上过冲电压、轻载跳变为重载时的向下过冲电压,以及从过冲状态恢复到稳定状态的时间.仿真结果如图 11 所示.

图 11 中 overshoot 为向上过冲电压, response time1 为向上过冲恢复时间, undershoot 为向下过冲电压;response time2 为向下过冲恢复时间.

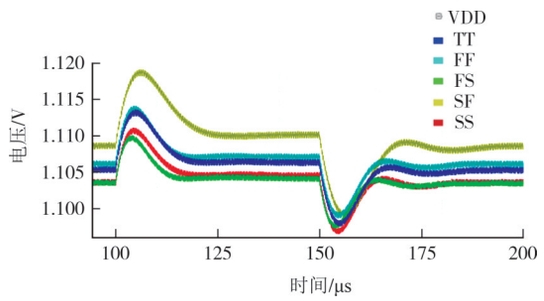


图 10　负载突变瞬态响应前仿波形

Fig.10　Pre-simulate waveform before transient response of load mutation

仿真结果表明:负载突变时的向上过冲电压与向下过冲电压均小于 12 mV;向上过冲恢复时间和向下过冲恢复时间均在 21 μs 以内.总体而言,该转换器在负载突变时表现出良好的瞬态响应性能,电压波动小,恢复速度快,表明系统具有优异的动态稳定性.

Parameter						Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
Model Group						tt	ff	fs	sf	ss
temperature						25	25	25	25	25
Test	Output	pe	ig	s/	Min	Max	Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
TESTBENCH1:DCDC_TEST_LOAD:1	overshoot				6.323m	10.1m	8.469m	8.318m	6.323m	10.1m	7.757m
TESTBENCH1:DCDC_TEST_LOAD:1	response time1				12.42u	20.43u	16.03u	14.37u	12.42u	20.43u	15.03u
TESTBENCH1:DCDC_TEST_LOAD:1	undershoot				7.053m	11.11m	8.709m	8.357m	7.053m	11.11m	8.259m
TESTBENCH1:DCDC_TEST_LOAD:1	response time2				10.82u	16.9u	13.37u	12.68u	10.82u	16.9u	12.01u
TESTBENCH1:DCDC_TEST_LOAD:1	/net0199										
TESTBENCH1:DCDC_TEST_LOAD:1	/GPIO22_VFBSW										
TESTBENCH1:DCDC_TEST_LOAD:1	/GPIO23_VSW										
TESTBENCH1:DCDC_TEST_LOAD:1	/R8/PLUS										
TESTBENCH1:DCDC_TEST_LOAD:1	/V0/PLUS										
TESTBENCH1:DCDC_TEST_LOAD:1	/V3/PLUS										
TESTBENCH1:DCDC_TEST_LOAD:1	/VDD_11										
TESTBENCH1:DCDC_TEST_LOAD:1	/L0/PLUS										

图 11　负载突变瞬态响应前仿结果

Fig.11　Pre-simulation results of load mutation transient response

3.2　整体电路后仿真验证

为验证版图设计的可靠性与性能,提取版图中三种寄生的 RCMAX 参数后仿真分析.

3.2.1　转换器效率与纹波仿真

转换器在不同负载条件下的工作情况如图 12 所示,图 12 参数含义与图 9 相同.后仿真结果表明:重载条件下,最差的工艺角效率略微低于 85%;而对轻载条件,在所有工艺角情况下效率均超过 81%.同时,无论是重载还是轻载工况,转换器在各工艺角下的纹波电压均小于 1 mV.

3.2.2　负载突变的瞬态响应仿真

图 13 为负载突变条件下的后仿波形图,其仿真条件与前仿真保持一致.

仿真结果如图 14 所示,图 14 参数含义与图 11 相同.后仿真结果验证了转换器在负载突变条件下的稳定性,具体表现如下:过冲电压峰值不超过 14 mV,响应时间均小于 32 μs.

4　流片后测试

经过多次迭代优化后,最终版图如图 15 所示.具体尺寸参数为:版图的长和宽分别约为 0.92 mm 和 0.49 mm,总面积约为 0.45 mm^2.共测试三颗芯片,编号分别为芯片 1、芯片 2 和芯片 3,用于比较设计的稳定性.

4.1　转换器效率

测试结果显示,芯片的实际负载电流与前期估算存在差异:在轻载条件下,芯片的工作电流范围为 34~35 mA;而在重载状态下,电流则为 92~94 mA,不同芯片间存在细小差异.

由表 1 可以看出,芯片重载状态下的实测效率

		Parameter						Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
		Model Group						tt	ff	fs	sf	ss
		temperature						25	25	25	25	25
Point	Test	Output	pe	ei	g	s/	Min	Max	Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
Parameters: Ilcad=100m													
1	TESTBENCH1:DCDC_TEST_Post:1	Iin_average					-39.81m	-39.48m	-39.63m	-39.7m	-39.65m	-39.81m	-39.48m
1	TESTBENCH1:DCDC_TEST_Post:1	Iout_average					100m	100m	100m	100m	100m	100m	100m
1	TESTBENCH1:DCDC_TEST_Post:1	Vout_average					1.11	1.12	1.114	1.115	1.11	1.12	1.111
1	TESTBENCH1:DCDC_TEST_Post:1	Efficiency					84.83	85.28	85.14	85.08	84.83	85.28	85.24
1	TESTBENCH1:DCDC_TEST_Post:1	ripple					718.3u	889.6u	797.1u	803.2u	718.3u	889.6u	797.9u
1	TESTBENCH1:DCDC_TEST_Post:1	/GPIO23_VSW											
1	TESTBENCH1:DCDC_TEST_Post:1	/GPIO22_VFBSW											
1	TESTBENCH1:DCDC_TEST_Post:1	/R8/PLUS											
1	TESTBENCH1:DCDC_TEST_Post:1	/V35/PLUS											
Parameters: Ilcad=30m													
2	TESTBENCH1:DCDC_TEST_Post:1	Iin_average					-12.4m	-12.16m	-12.25m	-12.35m	-12.4m	-12.16m	-12.18m
2	TESTBENCH1:DCDC_TEST_Post:1	Iout_average					30m	30m	30m	30m	30m	30m	30m
2	TESTBENCH1:DCDC_TEST_Post:1	Vout_average					1.111	1.122	1.115	1.116	1.111	1.122	1.111
2	TESTBENCH1:DCDC_TEST_Post:1	Efficiency					81.42	83.91	82.7	82.13	81.42	83.91	82.98
2	TESTBENCH1:DCDC_TEST_Post:1	ripple					746.6u	921u	824.5u	836.2u	746.6u	921u	832.6u
2	TESTBENCH1:DCDC_TEST_Post:1	/GPIO23_VSW											
2	TESTBENCH1:DCDC_TEST_Post:1	/GPIO22_VFBSW											
2	TESTBENCH1:DCDC_TEST_Post:1	/R8/PLUS											
2	TESTBENCH1:DCDC_TEST_Post:1	/V35/PLUS											

图 12 转换器效率与纹波后仿真结果

Fig.12 Converter efficiency and ripple post simulation results

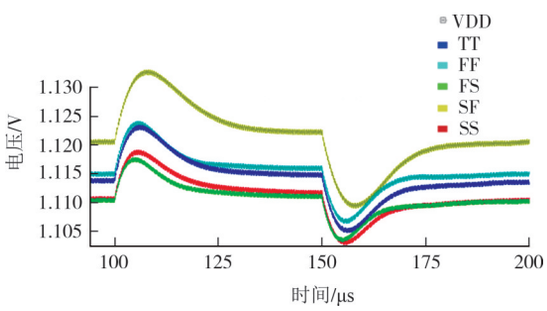


图 13 负载突变瞬态响应后仿波形

Fig.13 Post-simulate waveform after transient response of load mutation

与仿真结果吻合度较高,而轻载状态下实际测试效率略优于仿真值.横向比较三颗芯片样本的测试效率,其差异幅度不超过1%,结果充分证明了该批次芯片的一致性良好.

4.2 转换器纹波

根据表2所示的测试结果,DC-DC转换器的纹波特性表现出以下特点:芯片1在重载条件下,纹波峰值略大于设计指标;其余条件下,芯片的纹波水平均小于1 mV.结合图16所示的示波器纹波波形进一步分析,三颗芯片均受到一定程度的噪声干扰,波形产生了一定的失真,其中芯片1与芯片3受到噪声影响较大,波形中出现了较为明显的尖峰,若将尖峰去除,二者的纹波水平应与芯片2接近.

		Parameter						Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
		Model Group						tt	ff	fs	sf	ss
		temperature						25	25	25	25	25
Test	Output	pe	ei	g	s/	Min	Max	Coner_0	Coner_1	Coner_2	Coner_3	Coner_4
TESTBENCH1:DCDC_TEST_LOAD_Post:1	overshoot					7.385m	12.21m	9.642m	9.487m	7.385m	12.21m	8.172m
TESTBENCH1:DCDC_TEST_LOAD_Post:1	response time1					23.54u	31.91u	27.44u	23.54u	25.9u	31.91u	28.91u
TESTBENCH1:DCDC_TEST_LOAD_Post:1	undershoot					8.046m	13.59m	10.33m	9.635m	8.046m	13.59m	9.27m
TESTBENCH1:DCDC_TEST_LOAD_Post:1	response time2					21.31u	30.16u	28.32u	21.31u	27.34u	30.16u	29.49u
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/net0199											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/GPIO22_VFBSW											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/GPIO23_VSW											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/R8/PLUS											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/V0/PLUS											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/V3/PLUS											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/VDD_11											
TESTBENCH1:DCDC_TEST_LOAD_Post:1	/L0/PLUS											

图 14 负载突变瞬态响应后仿真结果

Fig.14 Post-simulation results of transient response after load mutation

4.3 负载突变的瞬态响应

如表3所示为转换器瞬态响应的测试结果,测试结果表明,由于输出电容的等效串联电阻减小,输出电流波动引起的电压变化幅度降低,同时加快了系统的恢复速度.

4.4 结果分析

本研究对所设计的DC-DC转换器的各项性能指标进行了系统评估,并与近年来发表的相关文献进行了对比分析,结果如表4所示,其中min代表最小值,max代表最大值.

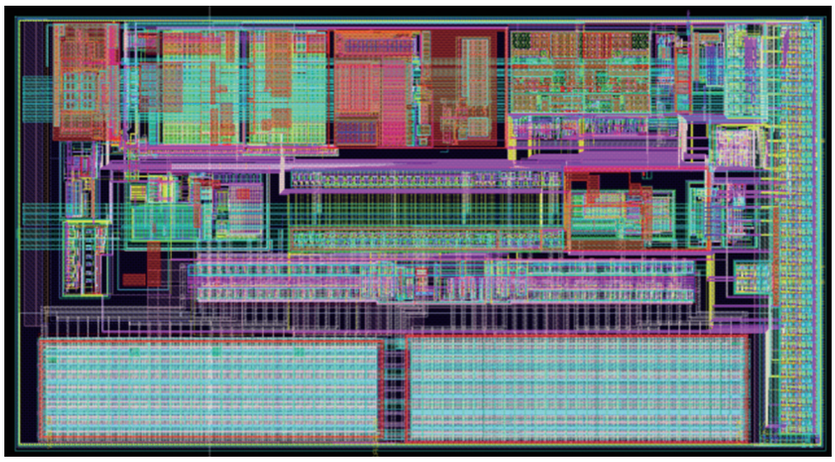


图 15　芯片版图

Fig.15　Chip layout

表 1　转换器效率

Tab.1　Converter efficiency

测试条件		输入电压/mV	输入电流/mA	输出电压/mV	输出电流/mA	效率/%
芯片 1	轻载	3 266	14.10	1 102	34.90	83.52
	重载	3 209	37.44	1 098	93.04	85.03
芯片 2	轻载	3 255	13.99	1 091	34.87	83.54
	重载	3 201	36.75	1 087	92.24	85.23
芯片 3	轻载	3 267	14.05	1 102	34.79	83.52
	重载	3 221	37.18	1 097	92.76	84.97

表 2　转换器纹波

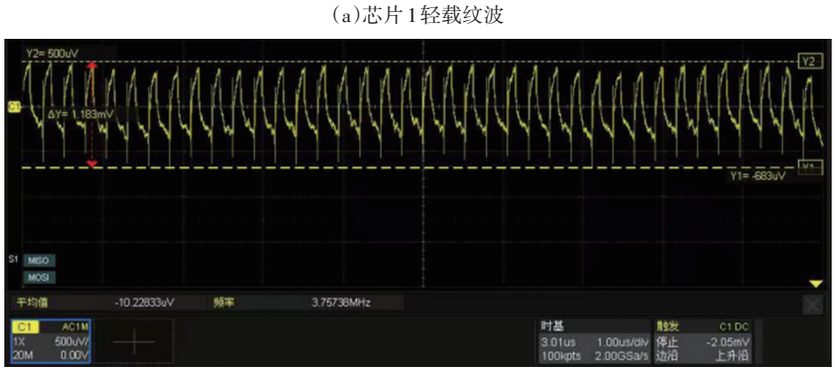
Tab.2　Converter ripple

测试条件		纹波/mV
芯片 1	轻载	0.917
	重载	1.183
芯片 2	轻载	0.575
	重载	0.650
芯片 3	轻载	0.800
	重载	0.930

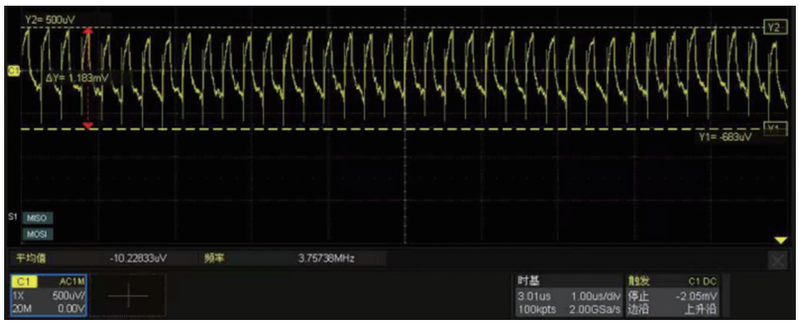
在纹波抑制能力方面，本设计展示了显著的技术优势. 通过详细的实验测试：本设计方案成功将纹波幅度控制在 1.2 mV 以下（典型值为 0.575 mV），优于文献[18]报道的最佳水平 1.3 mV. 系统纹波特性与输出电压水平具有较强的正相关性，文献[18]在



(a)芯片 1 轻载纹波



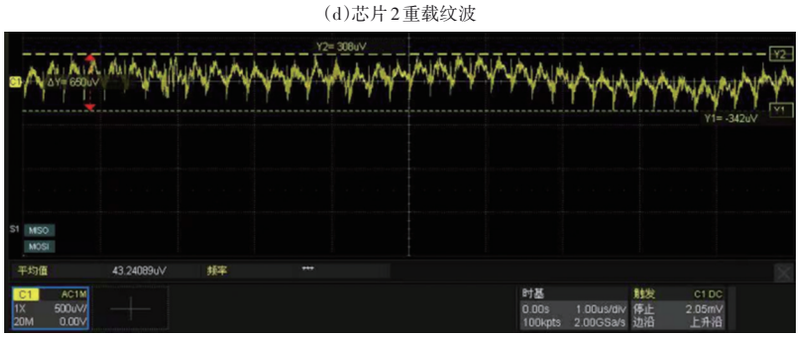
(b)芯片 1 重载纹波



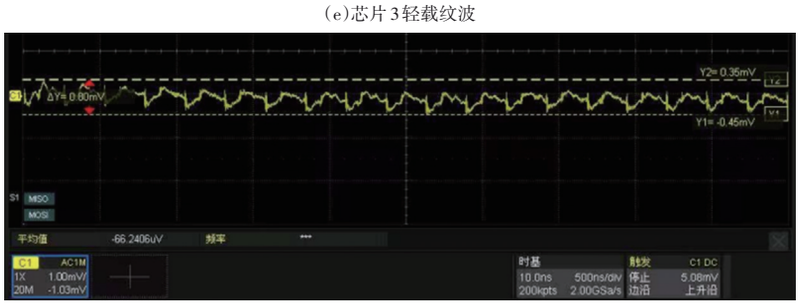
(c)芯片2轻载纹波



(d)芯片2重载纹波



(e)芯片3轻载纹波



(f)芯片3重载纹波

图16 示波器纹波波形

Fig.16 Ripple waveform of oscilloscope

表3 转换器瞬态响应

Tab.3 Transient response of converter

测试芯片	向上过冲电压/mV	向上过冲恢复时间/μs	向下过冲电压/mV	向下过冲恢复时间/μs
芯片1	7.92	15.30	11.08	16.20
芯片2	7.25	13.84	10.50	13.60
芯片3	5.58	14.80	11.08	15.41

纹波最低为输出电压0.38 V时测出,比本设计中的1.1 V低了65%,可见本设计中的纹波水平十分优异.

从效率来看,文献[17-20]中公开的数据表明,虽然大部分研究在峰值效率方面表现优异,但轻载状态下的效率仍有较为明显的优化空间.本文提出的设计方案保证了全工况的效率水平:峰值效率保持在85%以上,符合高能效转换器的技术指标要求;同时,在轻载条件下,仍能维持83.5%以上的稳定转

表 4　技术指标对比

Tab.4　Comparison of technical indicators

方法	实测/仿真	工艺节点/nm	输入电压/V	输出电压/V	工作频率/MHz	峰值效率/%	轻载效率	纹波/mV	过冲/mV	恢复时间/μs
JSSC[17]	实测	65	1.6~2.2	0.6~1.2	33	80	<65%	2.2(min)	58	3
TCASI[18]	实测	180	1	0.38~0.49	0.3~3	94.3	<75%	1.3(min)	—	—
ICCS[19]	仿真	65	3.3	1.5	—	94	—	5.7(max)	—	—
ISCAS[20]	仿真	40	1.6~1.8	0.4	—	88	<30%	10(max)	—	15
本文方法	实测	40	3.3	1.1	3.5	85.2	83.5%	1.2(max)	11.1	16.2

换效率，优于其他文献，在提升系统能效的同时有效降低了运行过程中的功率损耗以及对系统温升的影响.

针对系统瞬态响应这一关键性能指标的关注度都较低，仅有文献[1]进行了较为详细的测试与分析，但这项指标对系统的整体稳定性具有重要影响，因此值得深入探讨. 文献[1]与本设计采用了截然不同的技术路线来对瞬态响应进行优化，其通过提升开关工作频率以实现更快的负载变化响应速度，这种策略的确能够在短时间内完成电压恢复，但同时也带来了显著的电压过冲现象. 相比之下，本设计方案对二者进行了不同的权衡，在允许较长的恢复时间(16.2 μs)的前提下，显著减小了电压波动幅度，有效降低了电源波动对后续电路稳定性的影响，针对数字信号处理器(DSP)的应用场景，本设计显得更为合理.

综合上述各项指标的对比分析可知，本设计在低纹波特性、高效能运行和稳定瞬态响应等关键性能方面均达到了国际先进水平. 特别是将极低纹波(0.575~1.2 mV)的设计理念应用于高能效 DC-DC 转换器，成功突破了传统 LDO 电源的局限性，为现代高性能芯片提供了理想的供电解决方案. 该方案不仅显著提升了系统整体性能，更为系统的运行稳定提供了保障.

5　结 论

传统片上 LDO 因结构特性受限，在大压差下效率显著下降，难以满足高性能数字电路对高效和高稳定性的需求；基于 DC-DC 转换器，虽然峰值效率高，但存在低负载时效率较低等局限. 本文基于中芯国际 40 nm CMOS 工艺平台，设计了一款面向芯片数字内核的集成式 DC-DC 转换器，以提升电源的转换效率. 转换器基于 COT 控制架构，创新性地引入电流反馈电路实现纹波与环路控制信号的解耦，同时选用低等效串联电阻的多层陶瓷电容作为输出滤波元件，从而在降低纹波的同时保持了系统的稳定性. 转换器流片测试结果表明：该电源模块全工况下转换效率维持 83.5% 以上，最大输出电压纹波小于 1.2 mV，负载突变时电压波动小于 11.1 mV.

参考文献

[1] SITIK C, TASKIN B. Multi-voltage domain clock mesh design [C]//2012 IEEE 30th International Conference on Computer Design (ICCD), September 30-October 3, 2012, Montreal, QC, Canada. IEEE, 2012: 201-206.

[2] SAINT-LAURENT M, BASSETT P, LIN K, et al. A 28 nm DSP powered by an on-chip LDO for high-performance and energy-efficient mobile applications [J]. IEEE Journal of Solid-State Circuits, 2015, 50(1): 81-91.

[3] XU S Q, XIE C C, CHEN H P, et al. High PSR external capacitor-less LDO with adaptive supply-ripple cancellation technique [J]. International Journal of Circuit Theory and Applications, 2024, 52(8): 4199-4204.

[4] XIE J, YE D P, WANG C, et al. An adaptive G_m cell compensation technique for fast transient and high efficiency LDO without on/off-chip capacitor [J]. AEU-International Journal of Electronics and Communications, 2025, 190: 155640.

[5] ZHANG Z W, ZHAO X, DONG L Y, et al. A high-efficiency feedforward compensation method for capacitor-less LDO [J]. Integration, 2022, 87: 104-110.

[6] DING X B, CHAN P K, LEUNG K N. A 40nm CMOS hysteretic buck DC-DC converter with digital-controlled power-driving-tracked-duration current pump [J]. IEEE Access, 2020, 8: 177374-177384.

[7] 周国华，邱森林，张小兵. 宽增益高效率级联式四开关 Buck-Boost LLC 变换器[J]. 电工技术学报，2024，39(4)：1103-1115.
ZHOU G H, QIU S L, ZHANG X B. Cascaded four-switch Buck-Boost LLC converter with wide gain range and high efficiency [J]. Transactions of China Electrotechnical Society, 2024, 39(4): 1103-1115. (in Chinese).

[8] SUN Y F, MA Y Z, CUI K, et al. An accurate average inductor current limit method for peak current mode buck DC-DC converters [J]. IEICE Electronics Express, 2020, 17(6): 20200047.

[9] 皇金锋, 陈旭, 李聪林. 基于平坦理论的三相交错并联双向DC-DC变换器改进型高阶滑模控制[J]. 湖南大学学报(自然科学版), 2025, 52(2): 164-175.
HUANG J F, CHEN X, LI C L. High order sliding mode control of three-phase staggered parallel bidirectional DC-DC converter based on flat theory [J]. Journal of Hunan University (Natural Sciences), 2025, 52(2): 164-175. (in Chinese)

[10] YARAMALA A K, SIRIMALLA M, SHETAPAGULA R, et al. Design of efficient single switch DC-DC converter for electric vehicles charging[J]. E3S Web of Conferences, 2025, 616: 03028.

[11] CHANG R C, CHEN W C, HUANG J K. A 93.4% efficiency 8-mV offset voltage constant on-time buck converter with an offset cancellation technique [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(10): 2069-2073.

[12] KOBAKU T, JEYASENTHIL R, SAHOO S, et al. Quantitative feedback design-based robust PID control of voltage mode controlled DC-DC boost converter [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(1): 286-290.

[13] 任建, 臧勃安, 刘明熙, 等. COT架构Buck型转换器的纹波补偿电路[J]. 电力电子技术, 2024, 58(4): 119-121.
REN J, ZANG B A, LIU M X, et al. A ripple compensation circuit for COT architecture buck converter[J]. Power Electronics, 2024, 58(4): 119-121. (in Chinese)

[14] UL AIN Q, KHAN D, JANG B G, et al. A high-efficiency fast transient COT control DC-DC buck converter with current reused current sensor [J]. IEEE Transactions on Power Electronics, 2021, 36(8): 9521-9535.

[15] 陶星澳, 王丰, 卓放. 部分功率直流变换器研究综述[J]. 电工技术学报, 2024, 39(10): 3021-3037.
TAO X A, WANG F, ZHUO F. A review of partial power DC-DC converter research [J]. Transactions of China Electrotechnical Society, 2024, 39(10): 3021-3037. (in Chinese)

[16] 徐浩东, 罗嗣勇, 毕闯, 等. 基于SiC MOSFET同步Buck DC-DC变换器的宽频混合EMI滤波器设计[J]. 电工技术学报, 2024, 39(10): 3060-3069.
XU H D, LUO S Y, BI C, et al. Design of broadband hybrid EMI filter in synchronous buck DC-DC converter with SiC MOSFETs [J]. Transactions of China Electrotechnical Society, 2024, 39(10): 3060-3069. (in Chinese)

[17] LU Y, JIANG J M, KI W H. A multiphase switched-capacitor DC-DC converter ring with fast transient response and small ripple [J]. IEEE Journal of Solid-State Circuits, 2017, 52(2): 579-591.

[18] XIE F Y, WU B C, LIU T T. A ripple reduction method for switched-capacitor DC-DC voltage converter using fully digital resistance modulation [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(9): 3631-3641.

[19] HE F, HAN X Y, DING Y Y, et al. A dual-comparator based low-cost low-ripple buck DC-DC converter [C]//2023 5th International Conference on Circuits and Systems (ICCS), October 27-30, 2023, Huzhou, China. IEEE, 2023: 248-252.

[20] WU X Y, XIAO Y, ZHANG Z T, et al. A 88%-peak-efficiency 10-mV-voltage-ripple dual-mode switched-capacitor DC-DC converter for ultra-low-power battery management [C]//2023 IEEE International Symposium on Circuits and Systems (ISCAS), May 21-25, 2023, Monterey, CA, USA. IEEE, 2023: 1-5.