

doi:10.13682/j.issn.2095-6533.2026.05.008

一种低延时译码器电路设计与分析

辛昕, 魏东东, 佟星元

(西安邮电大学 陕西省通信专用集成电路设计工程技术研究中心, 陕西 西安 710121)

摘要: 针对高速随机存储器接口中译码器延时较大的问题, 设计了一种基于标准 $0.18\ \mu\text{m}$ CMOS 工艺的低延时 (Low Delay, LD) 2-4 和 3-8 译码器, 采用交叉组合的传输门逻辑 (Transmission Gate Logic, TGL) 和双值逻辑 (Dual-Value Logic, DVL) 来降低输入和输出的负载电容, 优化译码器的本征延时和逻辑努力。仿真结果表明, 在供电电源为 $0.6\ \text{V}$, 且信号输入频率 $100\ \text{MHz}$ 情况下, 与传统译码器 (Conventional Decoder, CD)、低功耗 (Low Power, LP) 和高性能拓扑译码器相比, 提出的 LD 2-4 译码器最坏情况的延时分别降低了 31.65% 、 25.74% 和 20.99% ; 与 CD 和预编码技术 (Pre-coding Technology, PT) 的 3-8 译码器相比, 提出的 LD 3-8 译码器, 在工作频率 $31.25\ \text{MHz}$ 时, 最坏情况的延时分别降低了 41.82% 和 36.26% 。受益于提出的 2-4 译码器和 3-8 译码器电路结构, 4-16 译码器的功耗、延时两者之积与已有各类译码器电路结构相比是最小的。

关键词: 低延时; 译码器; 传输门逻辑; 随机存储器; 双值逻辑

中图分类号: TN432

文献标志码: A

文章编号: 2095-6533(2026)05-0082-10

Design and analysis of a low delay decoder circuit

XIN Xin, WEI Dongdong, TONG Xingyuan

(Shaanxi Engineering and Technology Research Center for Communication Specialized Integrated Circuit Design, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: To address the issue of large decoder delay in high-speed random memory interfaces, a low-delay (LD) 2-4 and 3-8 decoder is designed based on a standard $0.18\ \mu\text{m}$ CMOS process. It employs the cross-combined transmission gate logic (TGL) and the dual-value logic (DVL) to reduce the load capacitance of the inputs and outputs while optimizing the intrinsic delay and logic effort of the decoder. Simulation results show that the worst-case delay of the proposed LD 2-4 decoder is reduced by 31.65% , 25.74% , and 20.99% compared to the conventional decoder (CD), the low-power (LP) decoder, and the high-performance topology decoder, respectively, at a power supply of $0.6\ \text{V}$ and a signal input frequency of $100\ \text{MHz}$. At an operating frequency of $31.25\ \text{MHz}$, the proposed LD 3-8 decoder achieves a worst-case delay reduction of 41.82% and 36.26% compared to the CD and the pre-coding technology (PT) 3-8 decoder, respectively. Benefiting from the proposed 2-4 and 3-8 decoder circuit structures, the product of power consumption and delay in the 4-16 decoder is minimized when compared to existing decoder circuit structures.

Keywords: low latency; decoder; transmission gate logic; random memory; dual-value logic

收稿日期: 2025-05-10

基金项目: 国家自然科学基金项目 (62104193, 62271389); 陕西省教育厅科学研究计划重点项目 (23JY073)

通信作者: 佟星元, mayxt@126.com

引文格式: 辛昕, 魏东东, 佟星元. 一种低延时译码器电路设计与分析[J]. 西安邮电大学学报, 2026, 31(5): 82-91.

XIN Xin, WEI Dongdong, TONG Xingyuan. Design and analysis of a low delay decoder circuit [J]. Journal of Xi'an University of Posts and Telecommunications, 2026, 31(5): 82-91.

随着互补金属-氧化物-半导体 (Complementary Metal Oxide Semiconductor, CMOS) 工艺的演进,在高速高性能的随机存取存储器接口中,读写操作的频率越来越快^[1-4]。传统行/列译码器的延迟会占用一半以上的内存访问时间,这极大地限制了通信速率^[5-6]。同时,译码器和存储器阵列消耗相当的功耗^[7-8],芯片过大的功耗又会引发散热问题,从而影响电路稳健性。因此,如何在纳米级 CMOS 工艺下,设计出低延时和低功耗译码器以满足查找表缓冲器和数据缓冲器的严格要求是当前高速存储器设计的重要挑战^[9-12]。

近年来,在硅光电子学和数字集成电路领域出现了多种译码器结构。硅光电子学中基于微环谐振器的 2-4 译码器,延时非常低,但其 AND 门输出不稳定,影响鲁棒性^[13-14]。在数字集成电路设计中,为了减少延时,通常使用 NAND 门代替 NOR 门来实现组合逻辑电路,因为前者的输入栅极电容较小。动态多米诺逻辑译码器虽然面积小、速度快,但易受耦合效应和噪声影响^[15-18]。另一方面,将传输门逻辑 (Transmission Gate Logic, TGL) 与动态 CMOS 技术相结合,理论上能够进一步提升译码器的性能,尤其是在延时方面。然而,动态 CMOS 电路必须依赖精确的时钟信号来控制预充电和评估阶段,这不仅增加了时序控制的复杂性,还可能引入额外的功耗开销。对比传输门逻辑 (Transmission Gate Logic, TGL) 结合静态 CMOS 和动态 CMOS 的最坏情况功耗与延时数据,虽然 TGL+动态 CMOS 方案将延时降低了,但功耗却增长了,导致功耗和延时的乘积 (Product of Delay and Power, PDP) 性能上升。

由此可见,尽管该方案在延时性能上有所改善,但综合功耗和时序控制的成本不容忽视。双模逻辑 (Dual-Mode Logic, DML) 因其优异的能源效率和鲁棒性,且可以在静态和动态模式之间灵活切换^[19-21],成为热门选择。然而,DML 译码器在面积效率上有所牺牲^[22-23],并且亚阈值区工作时速度较慢,不适合用于随机存取存储器接口^[24-25]。此外,通过体偏置技术调整阈值电压可以降低功耗和延迟,但这种方法需要非标准的深 N 阱 CMOS 工艺^[26-27]。

针对上述问题,基于标准 0.18 μm CMOS 工

艺,在真值表的基础上,采用直接交叉组合 TGL 和双值逻辑 (Dual-Value Logic, DVL) 来设计 2-4 和 3-8 译码器。提出的 2-4 和 3-8 译码器明显降低了晶体管个数和功耗,同时优化了最坏情况下延迟。低延迟反向 (Low Delay Inverted, LDI) 4-16 译码器由 4 个提出的低延时 (Low Delay, LD) 2-4 译码器和 16 个 NAND_2 门组成。

1 提出的译码器电路

1.1 提出的 2-4 译码器

提出的 2-4 译码器结构如图 1 所示。

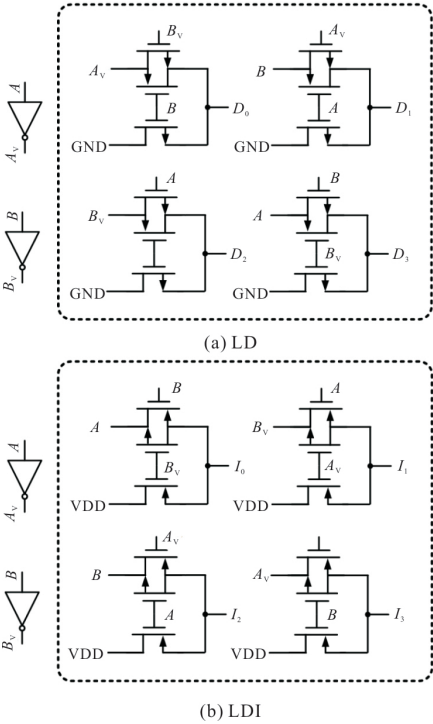


图 1 提出 2-4 译码器结构

从图 1(a)和图 1(b)的译码器及反向输出译码器可以看出,文献[28]中的 LP 与高性能 (High Performance, HP) 2-4 译码器主要由 TGL AND_2 与 DVL AND_2 门构成,但在延时优化方面并未取得最优效果。相比之下,提出的 LD 2-4 译码器由两个反相器 X/Y 和 4 个 TGL AND_2 门构成,LDI 2-4 译码器在此基础上采用 TGL OR_2 门,并通过增加一个反相器 Y,有效降低了 A、 A_v 节点的寄生电容,进一步优化了延时性能。提出的 LD/LDI 2-4 译码器,其延时可表示为

$$T_{\text{LD/LDI}_24} = t_{\text{inv}} + t_{\text{tg}} + t_{\text{fb}} \tag{1}$$

式中: t_{inv} 、 t_{fb} 和 t_{tg} 分别是反相器、前级缓冲器和 TG

的延时。若 LDI 2-4 译码器和传统反向 (Conventional Inverted Decoder, CID) 译码器中反相器 X 和 Y 的尺寸是相同的, 则 LDI 和 CID 中反相器的延时可表示为

$$\begin{cases} t_{\text{inv_PID}} = t_{\text{inv_int}} + 0.69 \cdot R_{\text{eq_inv}} \cdot (3C_{\text{gg}} + 2C_{\text{gs}}) \\ t_{\text{inv_CID}} = t_{\text{inv_int}} + 0.69 \cdot R_{\text{eq_inv}} \cdot (4C_{\text{gg}}) \end{cases} \quad (2)$$

式中: $t_{\text{inv_int}}$ 是反相器的本征延时; $R_{\text{eq_inv}}$ 为译码器的导通电阻; C_{gg} 和 C_{gs} 为译码器的寄生电容。式(2)第二项表示为第二级门电路对反相器延时的影响。

为进一步验证 TGL 在延时优化上的优势, 明确 LDI 2-4 译码器相较于传统反向译码器的延时降低机理, 通过分析两种逻辑门的延时特性来阐明所提出结构在降低延时方面的有效性。图 2 展示了 TGL NAND₂ 门和静态互补 CMOS NAND₂ 门的电路原理图。与图 2(b) 中 NAND₂ 门的延时 ($0.69 \cdot 2R_{\text{on}} \cdot C_L$) 相比, 其中 C_L 表示 NAND₂ 门输出电容 ($4C_{\text{db}}$), NAND₂ 门逻辑努力为 4/3。在相同晶体管面积和输出电容 (C_L) 的情况下, 图 2(a) 中传输门从 GND 到输出 C_L 的最坏情况下延迟为 $0.69R_{\text{on}}C_L$, 可得最坏情况下延时降低了 2 倍。更为重要的是, 堆叠晶体管的导通电阻只有在更大的尺寸下才能达到 R_{on} 。

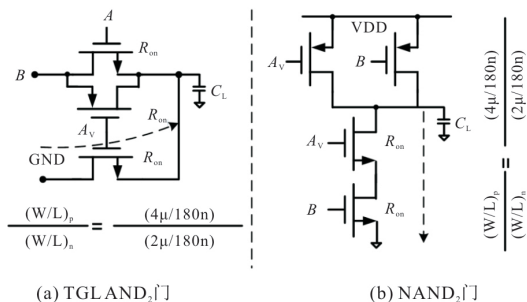


图 2 TGL 和静态互补 CMOS 门电路

换句话说, 由相同尺寸堆叠 NMOS 晶体管构成的 n 输入下拉网络的导通电阻大于 $n \cdot R_{\text{on}}$ 。由上可见, LDI 比 CID 具有更低的延时。同样的分析也适用于 LD 2-4 译码器和 CD, 可预见 TGL AND₂ 门较 NOR₂ 门在延时方面具有更优的性能。

文献[28]中 LP 和 HP 2-4 译码器只考虑输入信号 A_v 处的负载电容。这对于一个延时分析是不全面的, 原因是没有考虑 A 和 B 两处的输入电容对前级组合逻辑电路或者缓冲器的延时影响。在提出的 LD 2-4 译码器与 LP 2-4 译码器和 HP 2-4 译码器中 PMOS 管和 NMOS 管的尺寸相同情况下, 且假设 NMOS 管和 PMOS 管的栅极电容 C_{gg} 相同

时, 传输门的延时是相同的, 因此整个译码器的延时由反相器 X/Y 和前级的缓冲器延时所决定。考虑反相器 X 的寄生电容, LP 2-4 译码器中 A_v 、B 和 A 点的寄生电容可分别表示为 $3C_{\text{gg}} + 2C_{\text{gs}}$ 、 $4C_{\text{gg}} + 4C_{\text{gs}}$ 和 $7C_{\text{gg}} + 2C_{\text{gs}}$ 。而 LD 2-4 中 TGL AND₂ 对反相器 X/Y 中 A、 A_v 、B 和 B_v 点寄生电容贡献均为 $3C_{\text{gg}} + 2C_{\text{gs}}$, 从而降低了反相器 X/Y 的延时, 因此更适用于高速的存储器设计。在功耗方面, 整个译码器的功耗由反相器 X/Y、TG 和前级缓冲器所决定, 考虑反相器 X/Y 的寄生电容, LD 2-4 译码器在 A、 A_v 、B 和 B_v 处的总寄生为 $16C_{\text{gg}} + 8C_{\text{gs}}$ 与 LP 2-4 译码器相差 $2C_{\text{gg}}$, 在 TG 的 C_L 相同时, 理论上, 并不会引入过多的功耗开销。综上可得, 与 LP 和 HP 2-4 译码器相比, 在相同的反相器尺寸下 (等效导通电容相同), 提出的译码器功耗和延时主要取决于反相器的输入寄生电容和第二级 TG 的 C_L 。

以 LD 2-4 译码器的工作原理为例, 当 B 为“1”时, GND 直接传输给 D_0 , 而 A 直接传输给 D_3 。当 A 为 0 时, GND 直接传输给 D_2 , B 直接传输给 D_1 。因此, D_3 - D_0 的输出为 “0010”。图 1(b) 中提出的 LDI 2-4 译码器的工作原理类似。LDI 2-4 反相译码器比 LD 2-4 译码器有更大的面积, 因此用 LD 2-4 译码器与其他译码器进行比较。PD 的 D_0 - D_3 和 PID 的 I_0 - I_3 分别服从如下逻辑表达式

$$\begin{cases} D_0 = A_v \cdot B_v \\ D_1 = A_v \cdot B \\ D_2 = A \cdot B_v \\ D_3 = A \cdot B \end{cases} \quad \begin{cases} I_0 = \overline{A_v \cdot B_v} \\ I_1 = \overline{A_v \cdot B} \\ I_2 = \overline{A \cdot B_v} \\ I_3 = \overline{A \cdot B} \end{cases} \quad (3)$$

此外, 本设计的 LD 2-4 译码器采用 TGL 技术, 在先进工艺下仍能够实现较低的漏电损耗。与传统的 NAND/NOR 逻辑相比, TGL 具有更低的静态漏电功耗。传统的 NAND/NOR 逻辑在 V_{GS} 低于 V_{TH} 时, MOS 管沟道中可能仍存在少量载流子流动, 导致亚阈值泄漏电流, 尤其在低功耗设计中更加突出。而 TGL 通过 NMOS 和 PMOS 管的互补特性, 能够有效地抵消这部分泄漏电流, 从而大幅度降低静态漏电功耗。在先进工艺中, 随着器件尺寸的缩小, 传统 CMOS 电路的漏电问题日益严重, 而 TGL 在抑制漏电方面具有更为显著的优势。

为验证这一点, 图 3 给出了 180 nm、65 nm 和 40 nm CMOS 工艺节点下的仿真比较, 结果表明, TGL 在这些工艺节点下的静态漏电功耗均显著低

于传统 NAND/NOR 逻辑,尤其在 40 nm CMOS 工艺下,TGL 的漏电功耗比传统逻辑低达 60% 以上,且随工艺节点的缩小,TGL 的漏电优势愈加显著。相较之下,传统逻辑的漏电问题在这些先进工艺节点下愈加突出,表现出明显的劣势。

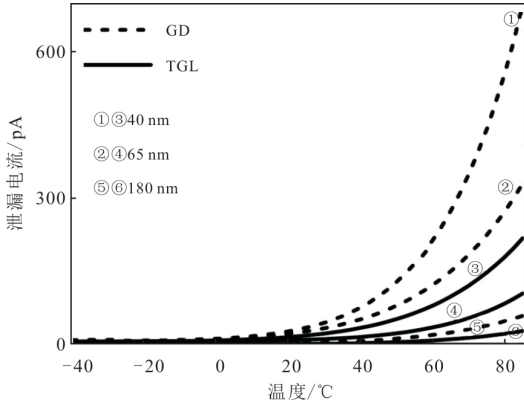


图 3 3 种不同工艺下的 TGL 与 CD 的漏电比较

1.2 基于预编码技术的 3-8 译码器功耗和延时

图 4 展示了目前已有的基于预编码技术 (Pre-coding Technology, PT) 的 3-8 译码器。

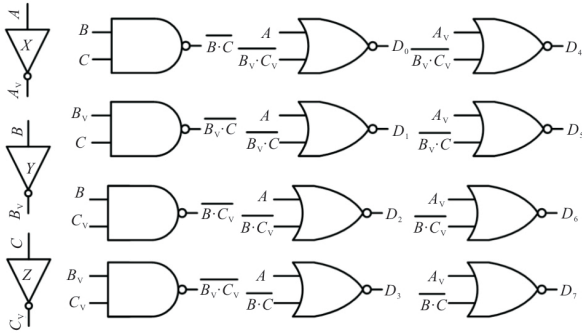


图 4 预编码技术的 3-8 译码器

与 CD 不同,该译码器结构采用 4 个 NAND₂ 门、8 个 NOR₂ 门和 3 个反相器 X,Y,Z 构成,通过由 NAND₂ 门和 NOR₂ 门构成的 TG 来代替 CD 中的 NOR₃ 门,减小了 A、B、C、A_V、B_V 和 C_V 的寄生电容,从而降低了反相器 X,Y,Z 和前级缓冲器的延时。

在 PMOS 管和 NMOS 管的尺寸相同情况下,且假设 NMOS 管和 PMOS 管的栅极电容 C_{gg} 相同时,考虑反相器 X,Y,Z 的寄生电容,基于 PT 3-8 译码器中 A 和 A_V 点的寄生电容可表示为 $10C_{gg}$ 和 $8C_{gg}$ 、B、C、B_V 和 C_V 点的寄生电容可表示为 $6C_{gg}$ 、 $6C_{gg}$ 、 $4C_{gg}$ 和 $4C_{gg}$ 。而 CD 中 A、B 和 C 点的寄生电容均可表示为 $10C_{gg}$ 、A_V、B_V 和 C_V 点的寄生电容均可表示为 $8C_{gg}$ 。图 5 展示了 NOR₂ 和 NOR₃ 的最坏情况下的延时分别为 $0.69 \cdot 2R_{on} \cdot C_L$ 和 $0.69 \cdot 3R_{on} \cdot C_L$ 。

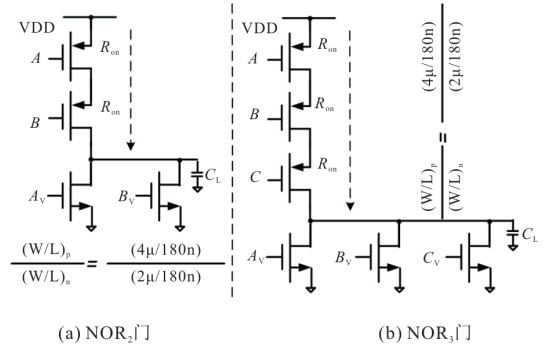


图 5 最坏情况下的延时

根据 1.1 节的延时和分析知,在相同晶体管面积和 C_L 的情况下,PT 3-8 译码器 TG 的延时为 NAND₂ 门和 NOR₂ 门的延时之和,而 NAND₂ 门的延时还需要考虑 NOR₂ 门对它的寄生电容,因此该译码器与 CD 相比在延时方面并没有太大的优化。PT 3-8 的译码器延时可以表示为

$$T_{PT-38} = t_{inv} + t_{tg} + t_{fb} \quad (4)$$

其中,

$$t_{inv} = 0.69 \cdot R_{eq_inv} \cdot 8C_{gg},$$

$$t_{tg} = 0.69 \cdot R_{on} \cdot 4C_L + 0.69 \cdot R_{on} \cdot 8C_{gg},$$

$$t_{fb} = 0.69 \cdot R_{eq_inv} \cdot 10C_{gg}.$$

根据 1.1 节中功耗分析知,整个译码器的功耗主要由反相器 X,Y,Z、TG 和前级缓冲器所决定。从功耗性能来看,在 NAND₂、NOR₂ 和 NOR₃ 门的 CL 相同的情况下,PT 3-8 译码器由于输入信号的寄生电容较小减少了反相器和前级缓冲器功耗的开销,但它 TG 的功耗为 NAND₂ 门和 NOR₂ 门的功耗之和,同时由于 NAND₂ 门的功耗还需要考虑 NOR₂ 门对它的寄生电容,所以基于预编码技术的 3-8 译码器的整体功耗也并没有太大的优化。功耗可以表示为

$$P_{PT-38} = P_{dyn} + P_{fb} + P_{tg} \quad (5)$$

其中,

$$P_{dyn} = V_{DD}^2 \cdot 16C_{gg},$$

$$P_{tg} = V_{DD}^2 \cdot 12C_L + V_{DD}^2 \cdot 12C_{gg},$$

$$P_{fb} = V_{DD}^2 \cdot 22C_{gg}.$$

式中: P_{dyn} 、 P_{tg} 、 P_{fb} 分别是反相器、TG 和前级缓冲器的功耗。

1.3 提出的低延时 3-8 译码器

图 6 展示了提出的 LD 3-8 译码器,信号 A 用于信号传输和晶体管控制,而信号 B 和 C 用于晶体管控制,每个 DVL AND₃ 门比传统的 NAND₃ 门减少 1 个 PMOS 管,因此与 CD 相比减少了 8 个 PMOS 管,从而降低了译码器的面积,其中输入

从高到低位是由 A 到 C,输出由低到高是 D_0-D_7 。

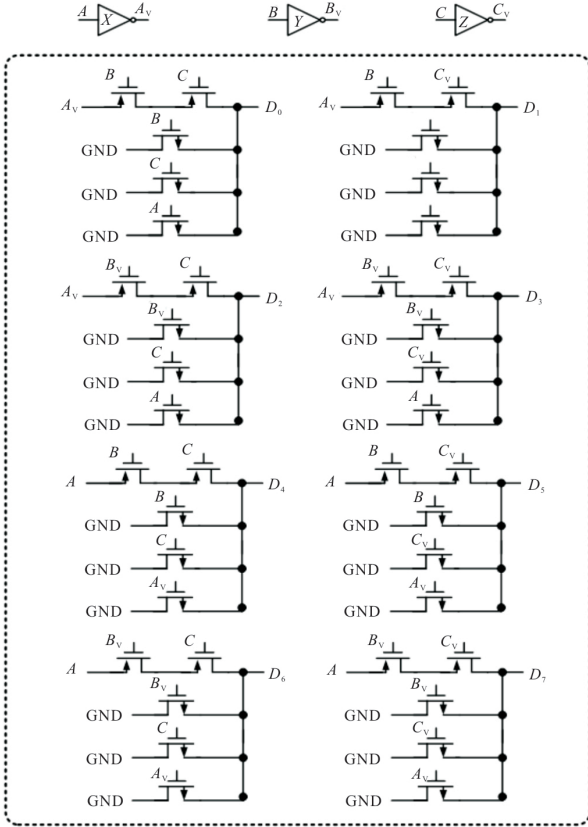


图 6 提出 LD 3-8 译码器结构

根据 1.1 节的延时和分析知,DVL AND₃ 门不仅需要为反相器 X,Y 和 Z 输入和输出配置几乎相同的寄生电容,并且为了提升延时性能,需要使这些寄生电容尽可能小。

由图 6 得,考虑反相器 X,Y,Z 的寄生电容,LD 3-8 译码器中 A 和 A_v 点的寄生电容可表示为 $6C_{\text{gg}} + 8C_{\text{gs}}$ 和 $4C_{\text{gg}} + 8C_{\text{gs}}$,B、B_v、C 和 C_v 点的寄生电容可表示为 $10C_{\text{gg}} + 8C_{\text{gs}}$ 、 $10C_{\text{gg}}$ 和 $8C_{\text{gs}}$ 。从延时性能来看,提出的 LD 3-8 译码器拥有更好的延时,可计算为

$$T_{\text{LD}_38} = t_{\text{inv}} + t_{\text{tg}} + t_{\text{fb}} \quad (6)$$

其中,

$$t_{\text{inv}} = 0.69 \cdot R_{\text{eq_inv}} \cdot 8C_{\text{gg}},$$

$$t_{\text{tg}} = 0.69 \cdot R_{\text{on}} \cdot 2C_{\text{L}},$$

$$t_{\text{fb}} = 0.69 \cdot R_{\text{eq_inv}} \cdot 10C_{\text{gg}}。$$

根据 1.1 节中功耗分析知,在功耗方面,整个 LD 3-8 译码器的功耗主要由反相器 X,Y,Z,TG 和前级缓冲器所决定的。如果考虑 MOS 管形成通路时引入的功耗,由于减少了 8 个 PMOS 管,提出的 LD 3-8 译码器的功耗是要优于 PT 3-8 译码器和 CD,LD 3-8 译码器的功耗可计算为

$$P_{\text{LD}_38} = P_{\text{dyn}} + P_{\text{fb}} + P_{\text{tg}} \quad (7)$$

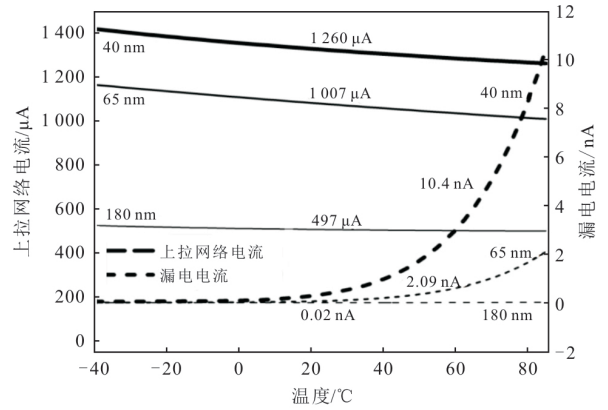
其中,

$$P_{\text{dyn}} = V_{\text{DD}}^2 \cdot (20C_{\text{gg}} + 8C_{\text{gs}}),$$

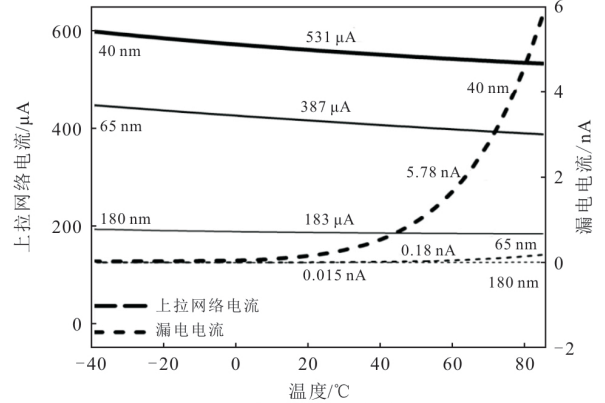
$$P_{\text{fb}} = V_{\text{DD}}^2 \cdot (26C_{\text{gg}} + 8C_{\text{gs}}),$$

$$P_{\text{tg}} = V_{\text{DD}}^2 \cdot 8C_{\text{L}}。$$

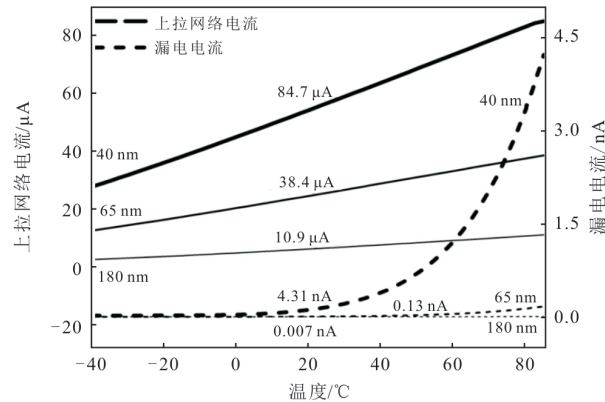
本设计的 3-8 译码器虽然采用了类似线与、线或逻辑结构,但其先进工艺中不会受到漏电流的影响。这是由于在本设计中当译码器输出为高电平时,上拉网络会持续导通并提供足够的电流。为了验证这一点,图 7 给出了在电源电压分别为 0.6 V、1.2 V、1.8 V 条件下,基于 180 nm、65 nm 和 40 nm CMOS 工艺下上拉网络电流与漏电流的仿真结果。



(a) 在 1.8 V 电源电压下



(b) 在 1.2 V 电源电压下



(c) 在 0.6 V 电源电压下

图 7 不同工艺下的电流大小

结果表明,随着工艺节点从 180 nm 向 65 nm、40 nm CMOS 工艺演进,漏电流确实呈现上升趋势,尤其

在电源电压为 0.6 V 下,40 nm 工艺的漏电流达到 4.31 nA,较 180 nm 工艺下的 0.001 nA 提高了约 4×10^3 倍。然而,尽管漏电流有所增加,上拉网络电流同样随着工艺和电源电压的变化而变化。结果表明,随着工艺节点从 180 nm 向 65 nm、40 nm CMOS 工艺演进,漏电流确实呈现上升趋势,尤其在电源电压为 0.6 V 下,40 nm 工艺的漏电流达到 4.31 nA,较 180 nm 工艺下的 0.001 nA 提高了约 4×10^3 倍。然而,尽管漏电流有所增加,上拉网络

表 1 2-4 和 3-8 译码器的延迟和晶体管个数

类型		最坏情况下延迟			功耗			晶体管个数
		t_{inv}	t_{fb}	t_{tg}	P_{dyn}	P_{fb}	P_{tg}	
2-4 译码器	CD	$8T_1$	$10T_1$	$2T_2$	$8P_1$	$12P_1$	$4P_2$	20
	HP	$3T_1$	$8T_1+2T_3$	T_2	$3P_1$	$12P_1+6P_3$	$4P_2$	15
	LP	$3T_1+2T_3$	$7T_1+2T_3$	T_2	$3P_1+2P_3$	$11P_1+6P_3$	$4P_2$	14
	LD	$3T_1+2T_3$	$5T_1+2T_3$	T_2	$6P_1+4P_3$	$10P_1+4P_3$	$4P_2$	16
3-8 译码器	CD	$8T_1$	$10T_1$	$3T_2$	$24P_1$	$30P_1$	$8P_2$	54
	PT	$8T_1$	$10T_1$	$4T_2+4T_4$	$16P_1$	$22P_1$	$12P_2+12P_1$	54
	LD	$8T_1$	$10T_1$	$2T_2$	$20P_1+8P_3$	$26P_1+8P_3$	$8P_2$	46

表 1 中, $T_1=0.69R_{eq_inv}C_{gg}$, $T_2=0.69R_{on}C_L$, $T_3=0.69R_{eq_inv}C_{gs}$, $T_4=0.69R_{on}C_{gg}$, $P_1=V_{DD}^2C_{gg}$, $P_2=V_{DD}^2C_L$, $P_3=V_{DD}^2C_{gs}$ 。

2 设计结果及比较

在 0.18 μm CMOS 工艺下,虽然所有译码器的漏电功耗是可以被忽略的^[29]。应该注意在评估 A_V - D_V 点的 C_L 时,要始终考虑反相器 X/Y 的功耗和最坏情况下延时^[30]。表 2 中展示了所有译码器的设计尺寸。

表 2 所提的译码器的晶体管尺寸设计

类型	反相器		传输门(TG)	
	(W/L) _p	(W/L) _n	(W/L) _p	(W/L) _n
	($\mu\text{m}/\mu\text{m}$)	($\mu\text{m}/\mu\text{m}$)	($\mu\text{m}/\mu\text{m}$)	($\mu\text{m}/\mu\text{m}$)
2-4 译码器	4/0.18	2/0.18	2/0.18	1/0.18
3-8 译码器	6/0.18	3/0.18	4/0.18	1/0.18
4-16 反相译码器	12/0.18	6/0.18	2/0.18	1/0.18

提出的 LD 2-4 译码器的输入和输出波形如图 8 所示,在信号输入频率为 100 MHz 时,最坏情况下的延时发生在输入信号 A 上升至输出信号 D_3 上升的时刻。由于信号 A 和 B 相比于信号 A_V 和 B_V ,额外经过了 1 个反相器,导致了寄生效应的增加,从而加剧了延时。此外,体效应也对延时产生了影响。当传输门的输入端为高电平时,栅极电压的变化不会影响 NMOS/PMOS 的体-源电压 V_{bs} ,即 V_{bs} 保持为 0;但当传输门导通时,输入电压的变化

电流同样随着工艺和电源电压的变化而变化。
本设计的 LDI 4-16 译码器是由 4 个 LD 2-4 译码器和 16 个 NAND 门组成。表 1 展示了在 PMOS 管和 NMOS 管的尺寸相同情况下,且假设 NMOS 管和 PMOS 管的栅极电容 C_{gg} 相同,且和假设 TG 的 C_L 也相同时,译码器最坏情况下延时功耗的分析从表 2 中可以看出 LD 2-4 译码器具有最短的最坏情况下延时,因此 LDI 4-16 译码器与文献[28]中的 LPI 和 HPI 4-16 译码器相比拥有更好的延时。

会导致 V_{bs} 不再为 0,进而引发体效应,影响器件的开关特性并加重延时。此外,所有 3-8 译码器和 4-16 反相译码器的信号输入频率分别为 31.25 MHz 和 25 MHz。为了验证电路的鲁棒性,在表 3 和表 4 中模拟了所提出的 LD 2-4/3-8 译码器在不同工艺角、供电电源和温度下的延时和功耗,其中最大功耗分别为 56.6/114.9 μW ,最小功耗为 4.5/9.5 μW 。由于 MOS 管的迁移率随着温度的升高而降低,导致导通电阻随着温度的升高而增加,因此最大延时和最小延时是由温度决定,分别为 36.6/64.5 ps 和 623.4/1287.4 ps。

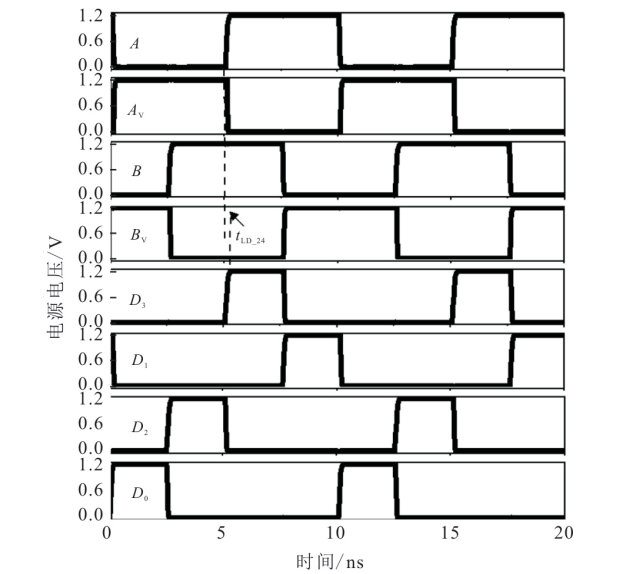


图 8 所提 2-4 LD 译码器的仿真结果

表 3 PVT 仿真的功耗

μW

译码器	VDD/V	温度/ $^{\circ}\text{C}$	TT	SS	FF	FS	SF
LD 2-4/ LD 3-8	0.6	−40	4.6/9.7	4.5/9.5	4.9/9.9	4.9/9.8	4.5/9.5
		27	5.1/10.4	4.6/9.7	5.3/10.9	5.3/10.8	5.1/10.7
		85	5.4/11.1	5.2/10.9	5.5/11.4	5.5/11.6	5.3/11.0
	1.2	−40	21.9/39.7	21.7/39.5	22.0/40.1	22.2/41.3	21.5/41.5
		27	22.6/40.5	22.4/40.1	22.8/41.2	23.0/42.2	22.2/41.7
		85	23.2/41.7	23.0/41.4	23.4/42.5	23.6/43.1	22.8/41.9
	1.8	−40	50.8/108.3	50.4/107.3	51.3/110.3	51.7/110.9	49.9/107.9
		27	52.4/110.8	51.9/108.6	53.1/112.5	53.6/112.3	51.4/108.6
		85	54.0/111.6	53.2/110.3	56.6/114.9	55.0/114.6	52.7/110.4

表 4 PVT 仿真的最坏情况下延时

ps

译码器	VDD/V	温度/ $^{\circ}\text{C}$	TT	SS	FF	FS	SF
LD 2-4/ LD 3-8	0.6	−40	553.3/1 130.7	571.1/1 172.9	521.0/1 015.7	534.5/1 046.8	558.0/1 154.6
		27	578.1/1 190.6	598.2/1 198.4	537.4/1 090.4	549.4/1 147.4	562.2/1 169.4
		85	592.1/1 230.5	623.4/1 287.4	571.2/1 172.3	583.7/1 187.6	577.2/1 164.3
	1.2	−40	49.4/254.6	60.1/299.6	40.2/232.3	42.1/244.3	55.4/266.9
		27	57.7/286.7	66.4/324.5	43.3/246.1	45.5/249.1	59.2/294.2
		85	62.5/312.6	71.3/354.1	45.5/250.2	47.4/252.7	65.7/336.4
	1.8	−40	41.7/72.2	55.2/91.4	36.6/64.5	38.8/67.4	54.6/92.4
		27	43.5/74.7	52.6/88.5	38.3/66.8	40.2/71.1	50.8/85.9
		85	46.3/82.6	49.2/84.1	39.6/69.9	43.1/73.6	46.2/77.4

图 9 展示了在 MOS 管尺寸相同时各种译码器最坏情况下延时和功耗的比较。与 CD、LP 和 HP 2-4 译码器相比,提出的 LD 2-4 译码器在信号输入频率为 100 MHz 情况下,在 1.8 V 供电电源时,最坏情况下延时分别降低了 33.07%、27.61% 和 19.74%,在 0.6 V 供电电源时,最坏情况下延时分别降低了 31.65%、25.74% 和 20.99%。同时,与 CD 和 PT 3-8 译码器相比,提出的 LD 3-8 译码器在信号输入频率为 31.25 MHz 情况下,在 1.8 V 供电电源时,最坏情况下延时分别降低了 43.22% 和 35.58%,在 0.6 V 供电电源时,最坏情况下延时分别降低了 41.82% 和 36.26%。

本设计 LDI 4-16 译码器的性能主要得益于提出的 LD 2-4 译码器,在信号输入频率为 25 MHz 情况下,在 1.8 V 供电电源时,与 CID、LPI 和 HPI 4-16 译码器相比,最坏情况下延时分别降低了 49.02%、30.62% 和 25.69%,而在 0.6 V 供电电源时,最坏情况下延时分别降低了 43.53%、31.16% 和 27.41%。结果表明,提出的译码器结构更适用于先进的纳米级 CMOS 工艺。

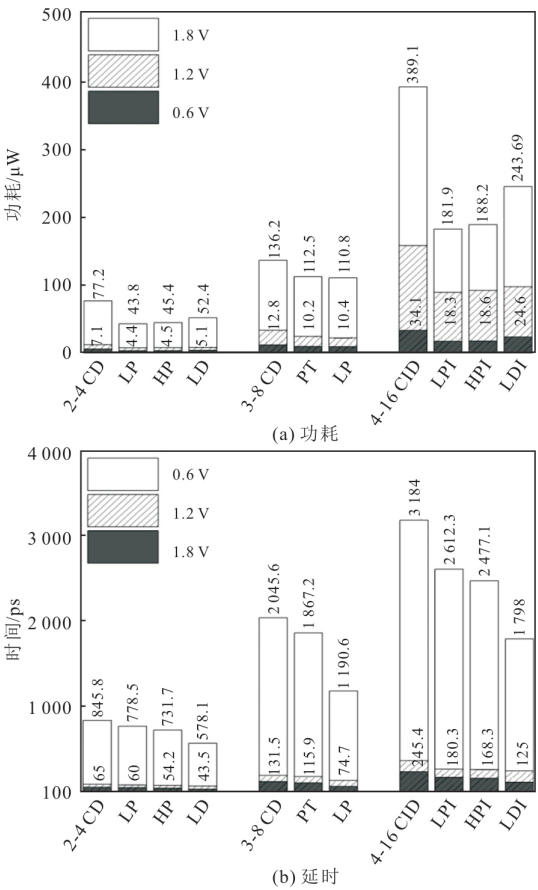


图 9 最坏情况下的对比

从图 9 中可以看出,由于增加了 1 个反相器 Y,所提出的 LD 2-4 译码器功耗要高于 LP 和 HP2-4 译码器。为了更好地进行对比,采用文献[28]中定义的 PDP 来对比提出译码器和目前已有译码器性能。

图 10 总结了提出的译码器和目前已有译码器的 PDP 性能。在信号输入频率为 100 MHz 时,提出的 LD 2-4 译码器的 PDP 性能与 LP 2-4 译码器相比,在 0.6 V、1.2 V 和 1.8 V 供电电源下优化了 13.2%、14.8% 和 13.1%。在信号输入频率为 31.25 MHz 时,与 PT 3-8 译码器相比,提出的 LD 3-8 译码器的 PDP 性能,在 0.6 V、1.2 V 和 1.8 V 供电电源下分别优化了 37.4%、46.8% 和 37.1%。由于优化了最坏情况下延时,在信号输入频率为 25 MHz 时,LDI 4-16 译码器在 0.6 V、1.2 V 和 1.8 V 供电电源下,PDP 性能比 HPI 4-16 译码器分别优化了 15.4%、17% 和 15.1%。

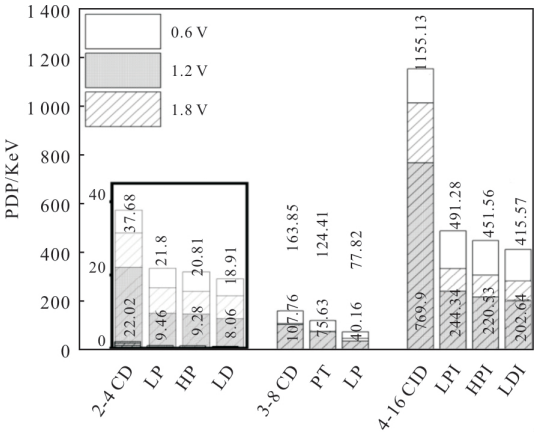


图 10 所提译码器和已有译码器的性能比较

3 结语

提出了一种基于标准 0.18 μm CMOS 工艺的低延时 2-4 与 3-8 译码器结构。通过交叉组合 TGL 与 DVL 逻辑,减小了输入输出负载电容,优化了本征延时与逻辑努力,有效改善了高速随机存储器接口中传统译码器存在的延时大、功耗高问题。仿真结果表明,提出的 LD 2-4 译码器在 0.6 V 电源下,相较传统 CD、LP 及 HP 结构,最坏情况延时分别降低 31.65%、25.74% 和 20.99%;LD 3-8 译码器相比 CD 与 PT 结构,延时分别减少 41.82% 和 36.26%,芯片面积分别缩小 25% 与 16.7%。进一步地,基于 LD 2-4 构建的 LDI 4-16 译码器在不同

电压下与 HPI 结构相比,PDP 性能均提升 15% 以上;LD 2-4 与 LD 3-8 译码器的 PDP 性能较 LP 与 PT 结构,最高分别提升 14.8% 与 46.8%。整体来看,所提出译码器在延时、功耗与面积方面均具有明显优势,适用于对速度与能效有较高要求的高速存储器接口设计。

参 考 文 献

[1] Shibata N, Uchikawa H, Shibuya T, et al. Novel multi-level coding and architecture enabling fast random access for flash memory[C]//2024 IEEE International Memory Workshop. Seoul: IEEE, 2024: 1-4.

[2] 顾壮志, 张长春, 张翼, 等. 28GHz CMOS 可变增益双向有源移相器设计[J]. 南京邮电大学学报(自然科学版), 2023, 43(6): 29-35.

Gu Zhuangzhi, Zhang Changchun, Zhang Yi, et al. Design of a 28 GHz variable gain bidirectional active phase shifter[J]. Journal of Nanjing University of Posts and Telecommunications (Natural Science), 2023, 43(6): 29-35.

[3] Cho W Y, Cho B H, Choi B G, et al. A 0.18- μm 3.0-V 64-Mb nonvolatile phase-transition random access memory (PRAM)[J]. IEEE Journal of Solid-State Circuits, 2005, 40(1): 293-300.

[4] Kim S, Yoo H J. An overview of computing-in-memory circuits with DRAM and NVM[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(3): 1626-1631.

[5] Yadav J K, Das P, Jain A, et al. Area compact 5T portless SRAM cell for high density cache in 65nm CMOS[C]//2015 19th International Symposium on VLSI Design and Test. Ahmedabad: IEEE, 2015: 1-4.

[6] Kraak D, Taouil M, Agbo I, et al. Parametric and functional degradation analysis of complete 14-nm FinFET SRAM [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(6): 1308-1321.

[7] Zhang C, Mo J T, Lian Z H, et al. High energy-efficient LDPC decoder with AVFS system for NAND flash memory[C]//2021 IEEE International Symposium on Circuits and Systems. Daegu: IEEE, 2021: 1-4.

[8] Srinivas C, G S B, S P C, et al. Comparative analysis of decoders using static & dynamic CMOS logic[C]//2023 International Conference on Advances in Elec-

- tronics, Communication, Computing and Intelligent Information Systems. Bangalore; IEEE, 2023; 368-372.
- [9] Lin Z T, Chen M, Sun P, et al. High restore yield NVSRAM structures with dual complementary RRAM devices for high-speed applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2023, 31(4): 522-531.
- [10] 罗洁, 王中训. 基于层译码策略 LDPC 译码的改进算法[J]. 电子设计工程, 2023, 31(7): 132-135.
Luo Jie, Wang Zhongxun. Improved LDPC decoding algorithm based on layer decoding strategy[J]. Electronic Design Engineering, 2023, 31(7): 132-135.
- [11] Han Y Y, Cheng X, Han J, et al. Radiation-hardened 0.3–0.9-V voltage-scalable 14T SRAM and peripheral circuit in 28-nm technology for space applications[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2020, 28(4): 1089-1093.
- [12] Lee W, Han D, Sarlioglu B. Comparative performance analysis of reference voltage-controlled pulse width modulation for high-speed single-phase brushless DC motor drive[J]. IEEE Transactions on Power Electronics, 2018, 33(5): 4560-4568.
- [13] Uddin M R, Law F K, Petra R, et al. 2 to 4 digital optical line decoder based on photonic micro-ring resonators[C]//2020 22nd International Conference on Advanced Communication Technology. Phoenix Park; IEEE, 2020: 425-429.
- [14] Mahanty S, Kumar A, Sharma U, et al. Design and implementation of full adder using 4 to 1 line multiplexer based on nonlinear switching micro ring resonator structure[C]//2023 3rd International Conference on Advances in Computing, Communication, Embedded and Secure Systems. Kalady; IEEE, 2023: 280-285.
- [15] Zhang H M, Li S W, Iizuka T. A single ring-oscillator-based test structure for timing characterization of dynamic circuit[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2024, 32(5): 938-951.
- [16] Kadiyala S P, Samanta D. On-the-fly mapping for synthesizing dynamic domino circuits[C]//2015 28th International Conference on VLSI Design. Bangalore; IEEE, 2015: 458-463.
- [17] Efstathiou C, Agalioti L, Tsiatouhas Y. Efficient dynamic logic magnitude comparators[C]//2022 IFIP/IEEE 30th International Conference on Very Large Scale Integration. Patras; IEEE, 2022: 1-5.
- [18] Hosseinzadeh Namin P, Roma C, Muscedere R, et al. Efficient VLSI implementation of a sequential finite field multiplier using reordered normal basis in domino logic[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2018, 26(11): 2542-2552.
- [19] Stanger I, Roknian N, Shavit N, et al. Revisiting dynamic logic: A true candidate for energy-efficient cryogenic operation in nanoscaled technologies[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2024, 71(3): 987-999.
- [20] Vicuña K, Mosquera C, Musello A, et al. Energy efficient self-adaptive dual mode logic address decoder [J]. Electronics, 2021, 10(9): 1052.
- [21] Taco R, Levi I, Lanuzza M, et al. An 88-fJ/40-MHz [0.4 V]–0.61-pJ/1-GHz [0.9 V] dual-mode logic 8 $\times$ 8 bit multiplier accumulator with a self-adjustment mechanism in 28-nm FD-SOI [J]. IEEE Journal of Solid-State Circuits, 2019, 54(2): 560-568.
- [22] Stanger I, Shavit N, Taco R, et al. FlexDML: High utilization configurable multimode arithmetic units featuring dual mode logic[J]. IEEE Solid-State Circuits Letters, 2023, 6: 73-76.
- [23] Stanger I, Shavit N, Taco R, et al. Silicon evaluation of multimode dual mode logic for PVT-aware datapaths[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2020, 67(9): 1639-1643.
- [24] Kaizerman A, Fisher S, Fish A. Subthreshold dual mode logic [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2013, 21(5): 979-983.
- [25] Shavit N, Stanger I, Taco R, et al. Programmable all-in-one 4×8 – 2×16 – 1×32 -bits dual mode logic multiplier in 16 nm FinFET with semi-automatic flow[J]. IEEE Access, 2023, 11: 116206-116218.
- [26] Ye Y J, Yang P W, Yuan J, et al. DC-20 GHz high isolation SP3T switch in 0.13- μ m CMOS using deep-N-well transistors[C]//2024 International Conference on Microwave and Millimeter Wave Technology. Beijing; IEEE, 2024: 1-3.
- [27] Lin Y T, Pourmousavian N, Li C C, et al. A 180 mV 81.2%-efficient switched-capacitor voltage doubler for IoT using self-biasing deep N-well in 16-nm

CMOS FinFET[J]. IEEE Solid-State Circuits Letters, 2018, 1(7): 158-161.

[28] Balobas D, Konofaos N. Design of low-power high-performance 2-4 and 4-16 mixed-logic line decoders [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2017, 64(2): 176-180.

[29] Brzozowski I, Dziurdzia P, Kos A. Design and analysis of multi-level n-to-2n decoders in CMOS technology[C]//2014 International Conference on Signals and Electronic Systems. Poznan:IEEE, 2014: 1-4.

[30] Alioto M, Palumbo G, Pennisi M. Understanding the effect of process variations on the delay of static and domino logic[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2010, 18(5): 697-710.



魏东东(1999—),男,山西长治人,西安邮电大学硕士研究生,主要研究方向为数字低压差稳压器设计。E-mail: weidongdong@stu.xupt.edu.cn



佟星元(1984—),男,河北保定人,博士后,西安邮电大学教授、博士生导师,主要研究方向为模拟与混合信号芯片、通信专用芯片、极端宽压宽温芯片等。E-mail: mayxt@126.com

[责任编辑:蔡秀梅]

[作者简介]



辛昕(1991—),男,山西朔州人,博士,西安邮电大学副教授,主要研究方向为低功耗高精度数据转换器和宽温宽压模拟集成电路。E-mail: xinxin@xupt.edu.cn