

一种基于 ARM 的 FPGA 远程更新与调试系统设计

常 浩,王相昂,王云飞,王 彬
(中科芯集成电路有限公司,江苏 无锡 214072)

摘 要:现场可编程门阵列(field programmable gate array, FPGA)在工业控制、通信与嵌入式系统中应用广泛,但其通常采用传统的有线 USB JTAG 接口方式进行在线调试和固件下载,往往受限于目标 FPGA 设备所处的安装环境和下载调试线缆的距离长短,现场调试操作很不方便,开发效率较为低下,严重影响设备维护的便捷性。随着工业物联网的发展,远程调试需求日益迫切。为解决目标 FPGA 设备在复杂环境下在线调试与固件升级的难题,本文提出了一种基于虚拟线缆协议和微控制器单元(microcontroller unit, MCU)的 FPGA 远程快速升级以及在线调试方案。利用 ARM 内核的微控制器通过以太网网络模块远程控制 FPGA 的 JTAG 硬件接口对其进行远程固件更新以及在线调试,该下载调试方案所需的硬件电路较为简单,成本低廉,性能稳定可靠,而且很容易推广到市面上其他不同型号的 MCU 上运行,兼容性好,实用性强,具有很好的工程应用价值。

关键词:现场可编程门阵列;虚拟线缆协议;微控制器;远程更新;调试;以太网

中图分类号: TP391. 98;TN791 **文献标志码:** A **文章编号:** 1003-7241(2026)10-0135-06

A design of FPGA remote updating and debugging system based on ARM

Chang Hao, Wang Xiangang, Wang Yunfei, Wang Bin
(China Key System & Integrated Circuit Co. , Ltd. , Wuxi 214072, Jiangsu, China)

Abstract: Field programmable gate arrays (FPGAs) are widely utilized in industrial control, communication and embedded systems. Conventionally, debugging and firmware downloading for FPGA are implemented via the traditional wired USB JTAG interface. This method is often limited by the target FPGA device environment and cable distance, making on-site development cumbersome and inefficient, which seriously compromises the maintainability of equipment. With the development of the Industrial Internet of Things, the demand for remote debugging has become increasingly urgent. To solve such problems of downloading and debugging for target FPGA devices in complex environments, this paper proposes a remote and rapid upgrade and debugging scheme of FPGA based on XVC (Xilinx virtual cable) protocol and microcontroller unit (MCU). The ARM microcontroller is used to remotely control the JTAG interface of FPGA through the Ethernet network module for remote updating and debugging. The scheme features simple hardware circuit, low cost, stable and reliable performance. Furthermore, it demonstrates excellent compatibility and can be easily ported to other MCU models available on the market, offering strong practicality and significant engineering application value.

Keywords: field programmable gate array; virtual cable; microcontroller; remote updating; debugging; ethernet

实际应用中使用传统的 USB JTAG 下载器对 FPGA 进行配置文件加载时,需采用线缆连接主机将程序文件下载到目标 FPGA 的配置存储器中,这种方式下载距离一般不超过 2 m^[1]。当前 FPGA 的适用场景越来越复杂化,实际使用中用到的硬件板卡经常放置在机器内部或者远离调试主机的位置,这时通过有线线缆连接的方式进行 FPGA 配置文件的下载与调试不再可行^[2]。

为了解决上述问题,可以采用 Xilinx 公司的虚拟电缆 XVC 的协议,该协议是一种基于 TCP/IP 以太网通讯的数据传输协议,支持多款 Xilinx 公司 FPGA 远程调试^[3]。

从目前国内外的研究成果来看,舒鹏飞等^[4]提出了基

于 Zynq 处理器 XCZ7020 的以太网升级系统,但是 Zynq 处理器价格昂贵,且外围电路设计复杂,增加了用户升级的成本。官剑等^[5]采用了 Xilinx 7 系列 FPGA 芯片作为硬件设备,嵌入了微处理器 MicroBlaze 的软核,实现了 FPGA 的远程升级,但是该方法开发门槛较高,不易操作,外围硬件设计还需要增加电源和 DDR 等电路,成本较贵。刘帅等^[6]提出的基于 32 位 MCU 的 FPGA 远程调试固化系统,成本得到了控制,但是在对需要更新的 FPGA 固化前,需要对此 FPGA 芯片加载有引导固化功能的程序,不仅增加了操作步骤,且无法在用户现有的 FPGA 项目中实现通用。本文利用 XVC 协议提供了一种基于通用的 MCU 平

收稿日期:2025-06-21;录用日期:2025-08-10
基金项目:江苏省科技成果转化项目(BA2019012)
作者简介:常 浩(1987—),男,硕士研究生,高级工程师,研究方向为芯片验证与应用。
引用本文:常浩,王相昂,王云飞,等. 一种基于 ARM 的 FPGA 远程更新与调试系统设计[J]. 自动化技术与应用,2026,45(10):135-139,158. (Chang Hao,Wang Xiangang,Wang Yunfei,et al. A design of FPGA remote updating and debugging system based on ARM[J]. Techniques of Automation and Applications,2026,45(10):135-139,158.)

台实现的FPGA远程调试下载方案,在FPGA应用现场具备网络交换的条件下,只需要简单廉价的微处理器MCU和网络PHY芯片就能实现多个目标FPGA板卡的远程更新与调试,且操作简单移植方便,可以在市面上通用的MCU平台推广使用。

1 硬件方案设计

本设计方案的系统原理框图如图1所示,PC计算机通过网络线缆和MCU的网口相连接,PC计算机通过赛灵思的集成设计环境Vivado将数据包通过网络分发给各个

MCU主控芯片。MCU芯片接收到数据帧后进行解析,解析完成后将固件相关数据通过I/O口模拟JTAG方法对FPGA进行远程更新升级。

本设计的主控芯片选用了中科芯集成电路的32位微处理器407VGT6,工作主频高达168MHz,该芯片内部集成了MAC控制器,为完成以太网通信,需要在MCU芯片外部搭配网络PHY芯片使用,例如DP83848CVV等。本文利用DP83848CVV通过MII通信接口与MCU芯片相连,支持10Mb/s和100Mb/s的全双工通信^[7]。网络通信模块原理图如图2所示。

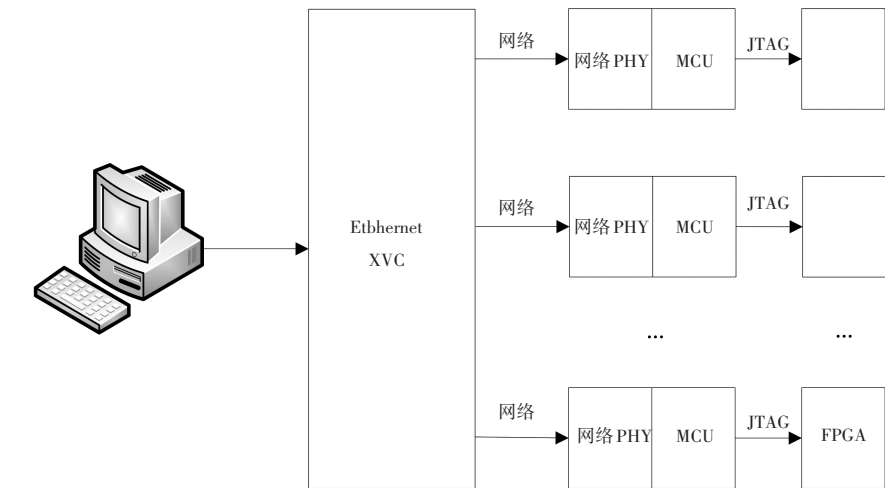
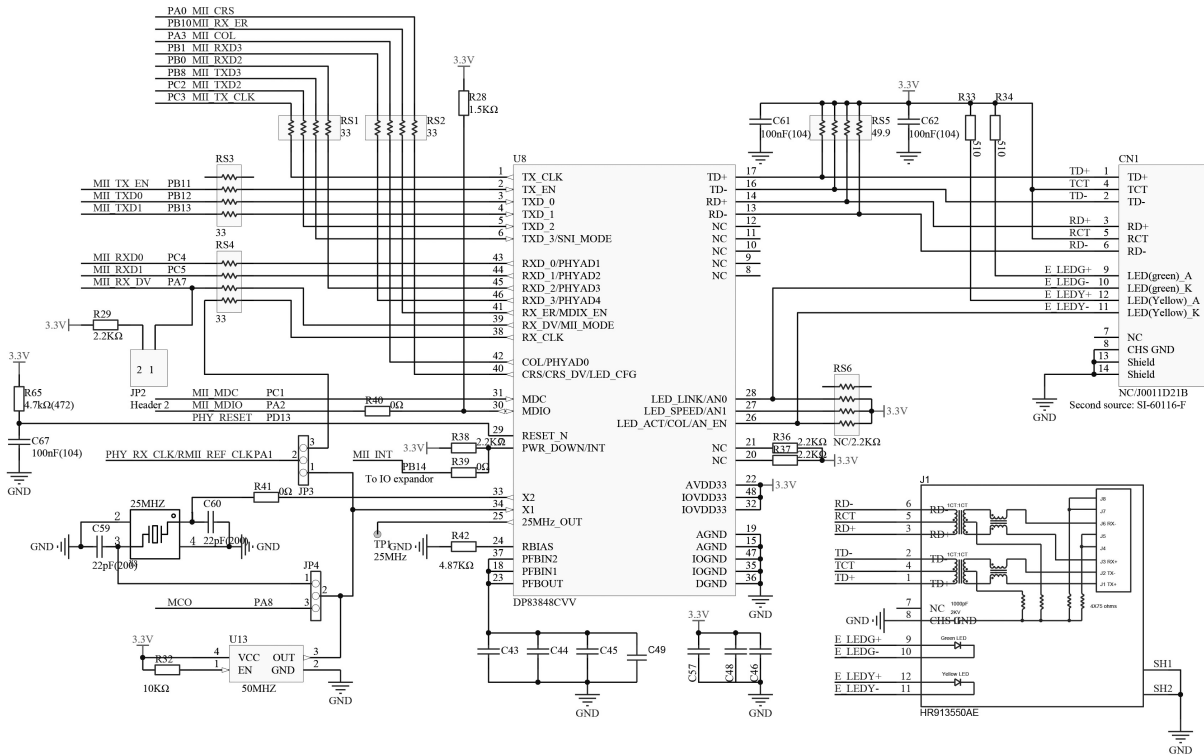


图1 系统原理框图

Fig. 1 Block diagram of system



2 软件设计

2.1 XVC 协议

XVC 协议是一种基于 TCP/IP 的协议,其不仅可发挥

类似 JTAG 的作用,而且提供了无须使用物理线缆就可以对 FPGA 芯片进行更新与调试的方法^[8]。XVC 协议实现 FPGA 的升级只需要三条指令,且指令内容简单,操作起来极其方便,其基本内容可总结为如下指令^[9],如表 1 所示。

表 1 XVC 协议指令
Tab. 1 XVC protocol command

命令序号	命令名称	命令作用
1	getinfo;	获取 XVC 服务的版本
2	shift:[num bits][tms vector][tdi vector]	根据接收到的 TMS 数据和 TDI 数据,返回 TDO 数据
3	settick:[period]	设置 TCK 的周期

2.2 JTAG 时序模拟设计

目前大部分 FPGA、ARM 等芯片都可以支持 JTAG 协议,标准的 JTAG 接口有 4 根线:TDI 测试数据输入线、TMS 测试模式选择线、TCK 测试时钟线和 TDO 测试数据输出线^[10-11]。

本设计采用 MCU 的通用 GPIO 口来模拟实现 JTAG 的时序^[12],如果 JTAG 电平与 FPGA 的电平不匹配,则需要增加电平转换芯片。为了尽量减少因库函数调用而增加了 TCK 时钟周期,所有 GPIO 操作直接使用底层寄存器来实现。对 JTAG 调试接口进行 GPIO 软件模拟,将 JTAG 配置、烧录等信息直接发送给 MCU 的管脚,从而实现对 FPGA 的 JTAG 的配置工作。

GPIO 模拟 JTAG 时序分为下面几个步骤^[13-14]:

1) MCU 在 TCK 下降沿输出 TMS 和 TDI 信号给 FPGA,

并延时半个 TCK 周期。

2) 产生上升沿并在上升沿读取 FPGA 给 TDO 的数据,延时半个 TCK 时钟周期。

3) 拉低 TCK 电平,产生 TCK 下降沿,循环重复 1)、2) 操作。

2.3 粘包处理

如果设置数据单次发送长度比较长,发生粘包或接收缓存区积压,此时一次读取了两个完整的报文,就需要考虑解包问题^[15]。实际测试中,发现如果数据帧长度设置较大时,偶尔会出现粘包现象,出现粘包后如果不进行数据处理,下载就会出现错误。由于 XVC 定义了双方的数据信息格式,所以可以根据格式中的帧头以及数据长度进行判断,接收到的数据长度和帧格式的数据长度不匹配则对粘包进行分包解包处理,流程如图 3 所示。

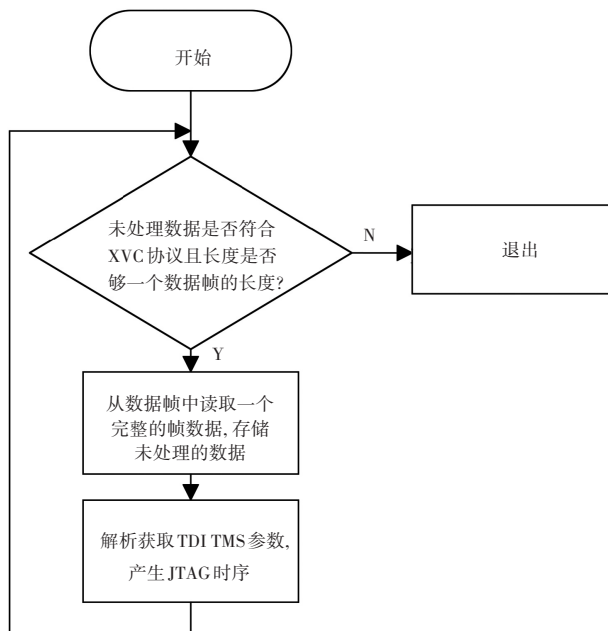


图 3 粘包处理流程

Fig. 3 Flow of sticky packet processing

2.4 方案流程图设计

主循环程序主要处理每次接收到的 PC 端发过来的数据帧,将数据帧放到缓冲区中,然后判断对帧头进行解析,判断数据帧属于 XVC 的 getinfo 指令、settick 指令还是 shift 指令。如果是 getinfo 指令,则将版本号和数据长度值写入缓冲区并

回传给 PC 端软件,如果是 settck 指令则将 TCK 周期数据值写入缓冲区并回传给 PC 端软件,如果是 shift 指令,长度如果需要分包则进入分包处理函数,否则根据 shift 指令要求分别取出 TMS 和 TDI 的数据,每次从缓冲区读取 4 字节的数据模拟 JTAG 时序传递给目标器件。程序执行流程如图 4 所示。

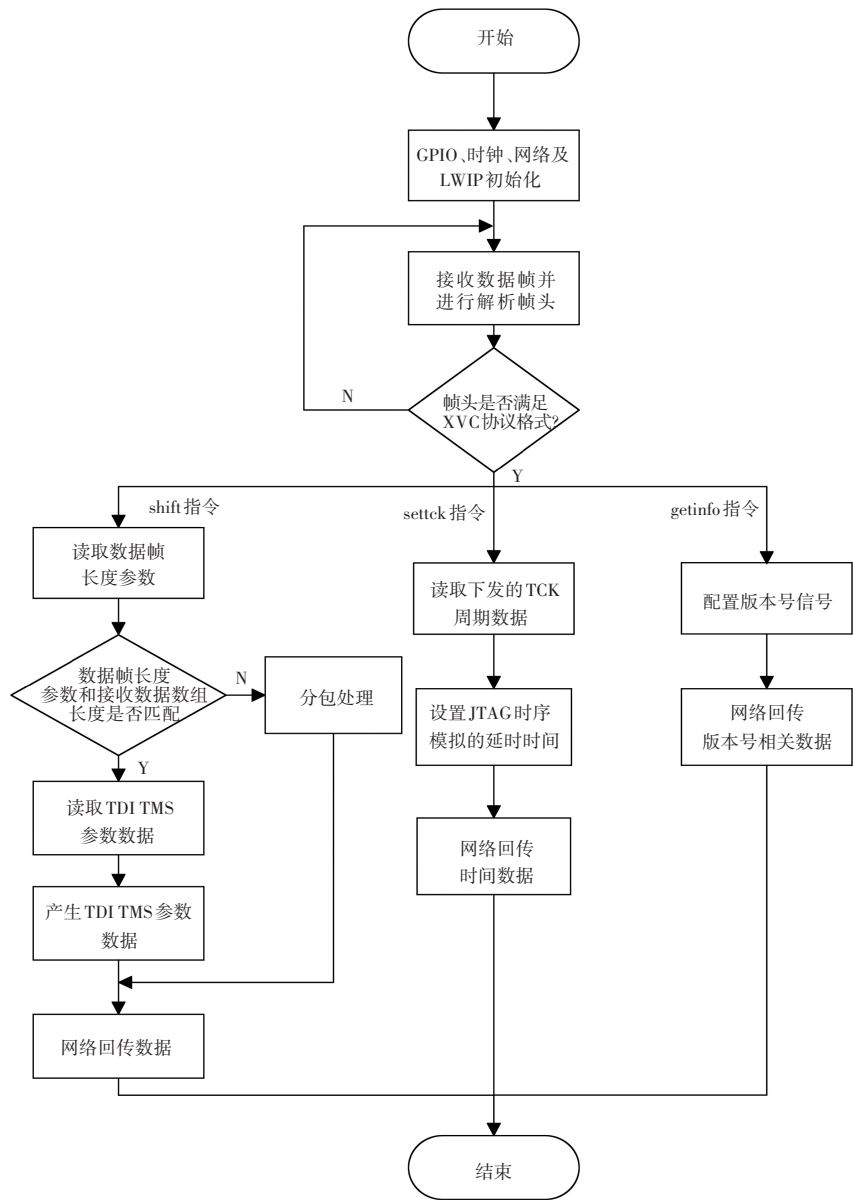


图 4 主循环程序流程

Fig. 4 Flowchart of main loop

3 实验结果与分析

本文的测试环境软件为 Xilinx Vivado 软件^[16], 打开该软件进入硬件管理界面, 打开 Xilinx XVC, 在输入框中对应的 IP 地址和端口号 (IP 地址和端口号必须与 MCU 网络配置的 IP 地址和端口号相对应), 发送连接请求, 识别 FPGA 目标芯片。

成功建立 socket 连接后, 初始化 JTAG 链, 选择待配置的 FPGA 和配置文件并双击 Program, PC 端便按照 shift 指令的格式发送配置指令和数据通过网络发给 MCU, MCU 再通过 JTAG 口写入 FPGA。按照上述步骤本设计实现了 FPGA 远程以太网 JTAG, 如图 5 所示。为验证本设计的稳定性, 选择 Xilinx 多款常用的 FPGA 进行远程更新测试, 每个型号烧录 100 次, 均测试成功。

为进一步验证本设计的烧录效果, 选用传统 JTAG 烧

录器进行比较测试, 本设计下载时最大能够实现的时钟波形如图 6 所示。

表 2 远程更新测试
Tab. 2 Remote update test

序号	FPGA 型号	烧录次数	结果
1	XC7VX690T	100	成功
2	XC7K325T	100	成功
3	XC7A50T	100	成功
4	XC7A100T	100	成功

对同一块 FPGA 板卡, 用 11 MB 的 Bit 文件在线加载进 xc7k325T 芯片和 31 MB 的 mcs 文件加载进外置 FLASH 进行对比测试, 测试 50 次, 下载时间测试数据平均值如表 3 所示, 本设计的下载速度与传统 JTAG 烧写器的 5 MHz 下载速度大致一致。

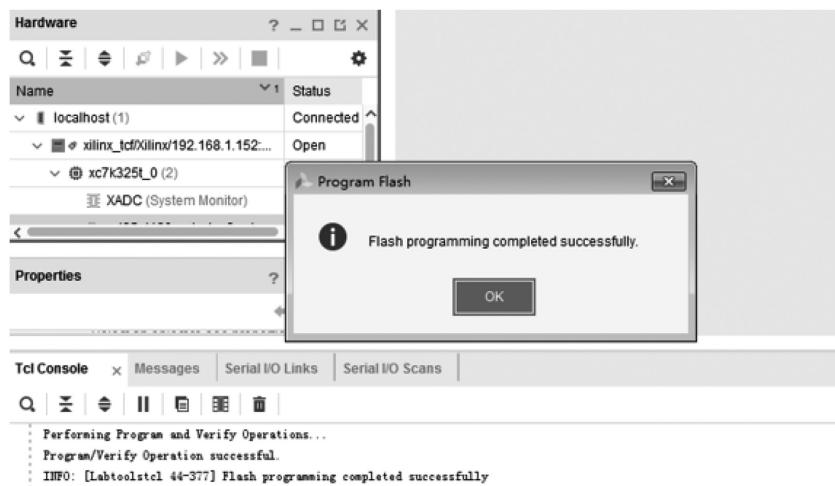


图 5 烧录成功界面

Fig. 5 Download success interface

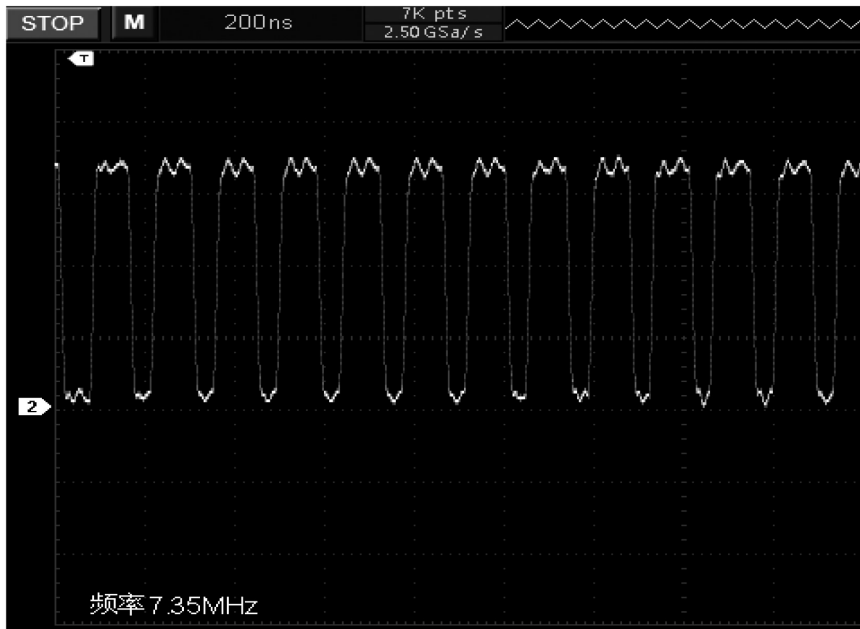


图 6 时钟 TCK 波形

Fig. 6 TCK clock waveform

表 3 烧录对比测试

Tab. 3 Download comparison test

烧录方式	bit 文件大小/MB	bit 文件加载时间/s	mcs 文件大小/MB	mcs 文件加载时间/s
JTAG 烧录器(5 MHz)	11	23	31	400
JTAG 烧录器(3 MHz)	11	35	31	505
本设计	11	26	31	410

4 结论

基于 Xilinx 的 XVC 协议,本文利用 PC 机与 ARM 微控制器通过以太网通信成功实现了 FPGA 的远程更新与调试,解决了传统 FPGA 调试受限于电缆距离的问题。相比于目前市面上使用的传统烧录器,本文设计的基于 ARM 的 XVC 远程升级方案,性能稳定,脱离了实际的线缆,不仅大大降低了调试成本,简化了硬件电路,而且下载方案很容易推广到其他微控制器上运行,具有很好的实际

推广应用价值。

参考文献

[1]王子懿,王雪博,黄格彤,等. 一种多 FPGA 及多 DSP 的通用远程更新系统设计[J]. 制导与引信,2024,45(3):35-38.
[2]刘剑,赵赞. 基于 DMA 的 XVC 协议性能优化[J]. 舰船电子对抗,2021,44(4):108-110,116.
[3]朱琛,沈小波,周志刚. 基于 XVC 协议的 Zedboard 平台远程更新与调试[J]. 单片机与嵌入式系统应用,2021,21(1):42-45.

(下转第 158 页)