文章编号:1674-2974(2025)06-0187-08 DOI:10.16339/j.cnki.hdxbzkb.2025188

# 0.15~5.8 GHz超宽带多功能锁相环设计

傅海鹏†,毕宇昕,王志鹏,石浩
(天津大学 微电子学院,天津 300072)

**摘 要**:为满足通信基站、雷达等系统对于高频谱纯度本振信号的需求,基于130 nm SiGe BiCMOS工艺设计并实现了一款超宽带、多功能的锁相环(phase-locked loop, PLL)芯片,并结合芯片的应用设计了片外测试电路系统.PLL芯片内部的数控电荷泵(charge pump, CP)可以通过CP电流控制,实现对环路带宽和系统功耗等重要指标的调节.宽带可切换分频器在反馈回路中对片外不同工作频段和性能特点的压控振荡器(voltage controlled oscillator, VCO)输出的基波信号进行分频,实现1~5.8 GHz范围内基波信号的锁定输出.同时片内集成独立分频系统对VCO输出基波信号实现了1/2/4/8/16分频,覆盖了基波信号频段以下0.15~1 GHz范围的低频信号的输出,进一步拓展锁定带宽.对该锁相环芯片进行流片测试表明,基波2.4 GHz输出时,环路带宽内100 kHz处相位噪声为-105.8 dBc/Hz,参考杂散抑制-86.12 dBc.芯片在3.3 V供电下,最高鉴相频率可达75 MHz,可在-55~85 ℃之间正常工作,提供高频谱纯度的本振信号.

**关键词**:锁相环;带宽;电荷泵;相位噪声
**中图分类号**:TN911.8 **文献标志码**:A

# Design of Multifunctional Phase-locked Loop for 0.15~5.8 GHz Ultra Wideband

FU Haipeng†,BI Yuxin,WANG Zhipeng,SHI Hao
(School of Microelectronics,Tianjin University,Tianjin 300072,China)

**Abstract**: To meet the demands of communication base stations, radars, and other systems for high spectral purity local oscillator signals, an ultra wideband and multi functional phase-locked loop (PLL) chip was designed and implemented based on the 130 nm SiGe BiCMOS process. An off-chip test circuit system was also designed in conjunction with the chip's application. The digital-controlled charge pump (CP) within the PLL chip can adjust crucial parameters such as loop bandwidth and system power consumption by controlling the CP current. The wideband switchable frequency divider divides the fundamental wave signal output by voltage controlled oscillator (VCO) with different operating frequency bands and performance characteristics outside the chip in the feedback loop, achieving a locked output of the fundamental wave signal in the range of 1~5.8 GHz. At the same time, an independent frequency division system integrated within the chip further expands the locking bandwidth by dividing

* 收稿日期:2024-06-30
基金项目:国家自然科学基金资助项目(62074110),National Natural Science Foundation of China(62074110)
作者简介:傅海鹏(1985—),男,黑龙江齐齐哈尔人,天津大学副教授
† 通信联系人,E-mail:hpfu@tju.edu.cn

the VCO's fundamental wave signal output by 1/2/4/8/16, covering the output of low-frequency signals ranging from 0.15~1 GHz below the fundamental wave signal band. Tape-out testing of this PLL chip demonstrates a phase noise of −105.8 dBc/Hz at 100 kHz within the loop bandwidth for a fundamental wave output of 2.4 GHz, with a reference spur suppression of −86.12 dBc. Powered by 3.3 V, the chip can achieve a maximum phase detection frequency of 75 MHz and operate normally between −55 °C and +85 °C, providing high spectral purity local oscillator signals.

**Key words**: phase-locked loop; bandwidth; charge pump; phase noise

现代无线通信、雷达系统、电子对抗等应用领域中,锁相环(phase-locked loop,PLL)系统起到至关重要的作用[1-2]. 锁相环作为收发机系统的关键部件,为调制和解调等模块提供本振信号,而相位噪声和带宽作为锁相环的关键指标直接影响着整个收发机系统的性能[3-4]. 锁相环的相位噪声对收发机系统高阶调制中的比特误码率(bit error rate, BER)和误差矢量幅度(error vector magnitude, EVM)退化影响较大,限制系统的整体性能[5]. 根据香农定理,通信速率主要受信道宽度和信噪比两方面的影响. 更宽的信道宽度可以获得更高数据传输速率. 低相位噪声、多功能、超宽带锁相环芯片的实现,不仅可以满足宽带跳频的技术需求,还可以进一步节省收发机系统的功耗和成本,实现整个收发机的小型化、通用化.

如何在确保相位噪声保持在较低水平、功能保持全面的同时,拓展锁定带宽,是一项技术挑战. 文献[6]设计的PLL提供了一种正交输入输出的分频器,拓展了锁定带宽,但电荷泵无法数字控制,电流调节范围小,带有尾管结构的分频器引入静态功耗,整体功耗为135 mW. 文献[7]提出了一种双回路PLL,其功耗较低,但锁定带宽较窄,参考杂散抑制较差,只有-49.42 dBc,功能较为单一,无法满足广泛应用需求. 文献[8]提出了一种带有数字模拟转换器的PLL,可以克服电源电压和温度引起的频率偏差,但锁定带宽较窄,仅为1.8~2.5 GHz,且带内噪声较高.

本文针对超宽带、低噪声和灵活应用的需求,基于130 nm SiGe BiCMOS工艺提出了一种锁相环系统. 其中电荷泵电流可由数字信号控制调节,其输出通过环路滤波器配合片外不同工作频段和不同性能特点的压控振荡器(voltage controlled oscillator, VCO)使用. 从而灵活调节环路带宽、锁定时间、系统功耗等性能指标使环路工作在最佳的状态. 在反馈回路中1/2/4三路可切换分频器,可以对VCO输出的1~5.8 GHz基波信号进行分频. 芯片内集成1/2/4/8/16独立分频器系统,同时对VCO的基波频率进行分频输出,可获得低至150 MHz时钟信号,拓展了锁定带宽. 在不使用时,可关闭该系统从而减小功耗. 本芯片在兼具性能的同时,具有良好的稳定性,可以在-55~85 °C之间正常工作.

## 1 电路设计

本文设计的锁相环整体系统框图如图1所示,PLL芯片内部包括的关键模块有:鉴频鉴相器(phase frequency detector, PFD)、电荷泵(charge

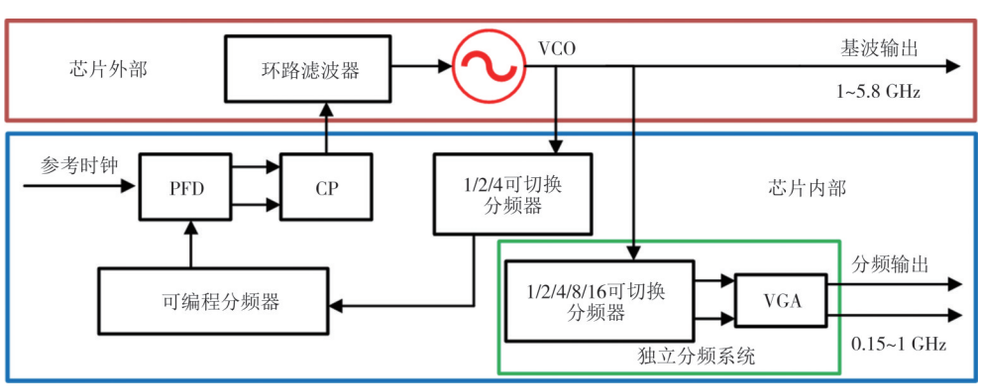



图1 锁相环整体系统框图

Fig.1 Overall system diagram of phase-locked loop

pump,CP)、可切换分频器和可编程分频器等.本节将对芯片内部关键电路模块进行介绍.

### 1.1　PFD和CP设计

本文的PFD结构图如图2所示,其主体结构由带复位信号上升沿的D触发器(data flip-flop,DFF)、与门、反相器和传输门构成.传统D触发器采用主从D触发器结构,速度较慢,本文则使用真单相时钟(true single phase clock, TSPC)结构的D触发器,来提高鉴频鉴相器工作速度[9].通过仿真测试,该结构最高可对75 MHz频率的信号鉴频鉴相.PFD输入为可编程分频器分频后的信号$f_{div}$和鉴相信号$f_{ref}$,输出UP、UPB和DN、DNB两对差分信号,与电荷泵的输入端口相连.

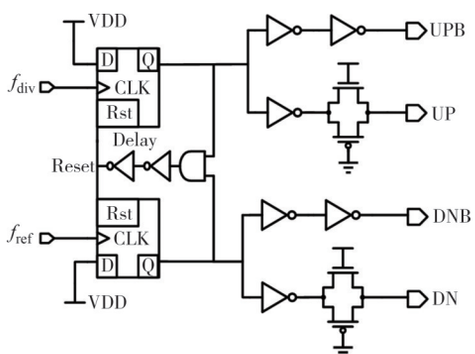



图2　PFD结构图

Fig.2　PFD structure diagram

为了解决沟道长度调制效应对CP失配的影响,加入运算放大器的方式被广泛采纳,文献[10]提出了一种高性能电荷泵,改善了电荷泵的非理想效应.本文在此基础上采用了差分源端开关型电荷泵,电荷泵的电流可以通过数字控制切换.电荷泵的整体结构如图3所示.

偏置电流$I_{bias}$由M1和M2复制到M6和M11上.M9~M14构成了电荷泵主体结构,M5~M8为镜像支路.运算放大器的输出端接在M7和M12的栅极,正负两端分别连接S和OUT两个节点,使S节点和OUT节点的电位保持一致.运放的两级和输出形成了正反馈和负反馈两条支路,增强系统稳定性,从而保证系统在-55~85 ℃之间可正常工作.由于电荷泵工作过程中UP和DN关断时间较长,引入电容C1用来补偿正反馈回路,增加相位裕度.

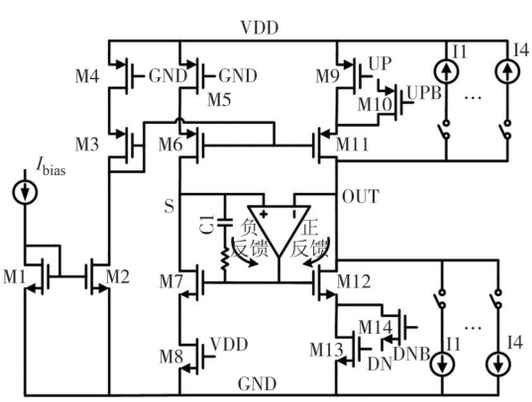



图3　电荷泵结构图

Fig.3　Structure diagram of charge pump

图4为电荷泵在2.4 mA电流下充放电失配的仿真结果图.从图中可以看出0.4~2.7 V输出电压之间电荷泵具有较低的失配.其中在0.5~2.5 V输出电压之间最大电流失配比小于0.2%.

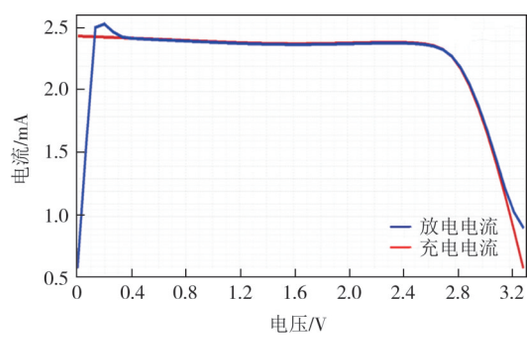



图4　电荷泵充放电流失配仿真

Fig.4　Simulation of the CP current mismatch

本文电荷泵的充放电管两端并联了I1~I4共8条充放电支路.当电荷泵工作时所有导通支路的电流之和为电荷泵电流$I_{cp}$,这些支路带有4位数字信号控制的开关,控制其导通或关断,从而控制$I_{cp}$的大小.所设计的电荷泵电流$I_{cp}$可在0.33~4.83 mA之间调节.

### 1.2　可切换分频器设计

在反馈回路和独立集成的分频系统中均使用可切换分频器结构.

反馈回路中的可切换分频器,用于接收VCO输出的基波信号,其为1/2/4三路可切换分频器,如图5所示.其中1~2 GHz信号不进行分频从通道1直接输出,2~4 GHz信号经过一个分频单元2分频后从通道2输出,4~5.8 GHz信号则经过两个分频单元4分频后从通道3输出.独立分频系统中则设计了1/2/4/8/16五路可切换分频器,结构在图5基础上扩展了8/16两路分频器,其功能是对VCO输出的基波信号进行分频获得更低频率的信号,以拓展输出带宽.

由于进入多路选择器(multiplexer, MUX)的信号为正弦波且频率较低,这种情况信号斜率偏小,后级电路难以处理,在多路选择器电路和分频器间增加了差分结构的缓冲器(Buf)将输入信号放大的同时增加每条通道之间的隔离度.

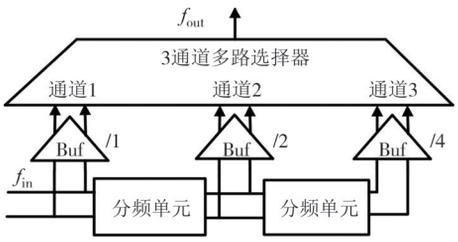



图5 可切换分频器结构图

Fig.5 Structure diagram of switchable frequency divider

可切换分频器内部分频单元由宽带、低功耗的电流模式逻辑(current mode logic, CML)锁存器构成,每个分频单元可进行2分频,电流模式逻辑锁存器的结构如图6所示.

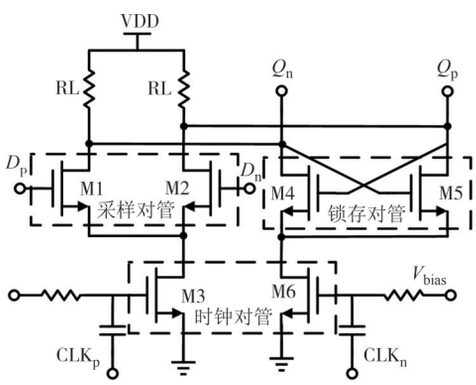



图6 电流模式逻辑锁存器结构图

Fig.6 Structure diagram of current mode logic latch

本文设计的分频器相较于文献[11]中的传统结构移除了尾电流源,在降低功耗的同时节省了尾管的过驱动电压,增加了电压余量,避免了当温度引起电压波动时MOS管进入线性区无法正常工作.电路设计性能与自谐振频率关系密切.当输入频率为自谐振频率2倍左右时,分频器对输入信号最灵敏,工作状态最好.接下来分析CML分频器的自谐振频率.$g_{ms}$和$g_{ml}$分别为采样对管M1、M2和锁存对管M4、M5的跨导,$R_L$,$C_L$为输出端口的等效负载电阻和负载电容.$s$为拉普拉斯变换参数.锁存器的增益$G_L$可以表示为下式:

$$G_L = g_{ms}\left(R_L \left\| \frac{-1}{g_{ml}} \right\| \frac{1}{sC_L}\right) \tag{1}$$

级联两个锁存器后环路增益$H_{cml}(s)$可表示为:

$$H_{cml}(s) = \frac{G_L^2}{1 + G_L^2} \tag{2}$$

将式(1)代入式(2)后,令分母为零得出一对共轭复极点$\omega_{1,2}$为:

$$\omega_{1,2} = \frac{g_{ml}R_L - 1}{R_L C_L} \pm \mathrm{j} \cdot \frac{g_{ms}}{C_L} \tag{3}$$

由电路发生自激振荡时,环路增益的极点位于区域的右半平面,得出自激振荡频率表达式:

$$f_{osc} = \frac{g_{ms}}{2\pi C_L} \tag{4}$$

由上式得出后级寄生电容和采样对管的跨导都会影响分频器的工作频率,设计中主要调节采样对管M1,M2的尺寸来调整分频器工作的频率.

图7为可切换分频器提取寄生参数后的瞬态仿真波形,上部为4分频后信号波形,下部为5 GHz输入信号波形,虚线标注为一个分频工作周期.

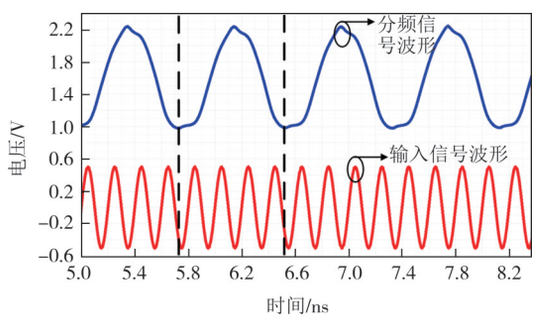



图7 可切换分频器仿真波形

Fig.7 Simulation waveform of switchable frequency divider

### 1.3 可编程分频器设计

信号经过可切换分频器后,进入可编程分频器.为了处理较宽频率范围信号,本文基于*PS*计数器设计了带有4/5&8/9两款多模分频器的可编程分频器.频率较高时,使用8/9多模分频器.

图8为可编程分频器结构,RST为*S*计数器复位信号,MC为模式切换的控制信号.*P*计数器的位数大于*S*计数器,*P*计数器和*S*计数器同时开始计数时,MC为高电平,双模分频器进行*N*+1分频.*P*、*S*开始递减,由于*S*计数器位数小先递减到0,此时MC变成低电平,双模分频器进行*N*分频,到*P*递减为0时结束,分频器输出信号,结束一个工作周期的同时*P*计数器自身产生复位信号,并对*S*计数器复位.可编程分频器的分频比可写为:

$$M = (N+1)S + N(P-S) = N \cdot P + S \tag{5}$$

本文中两种多模分频器结构如图9所示,以4/5

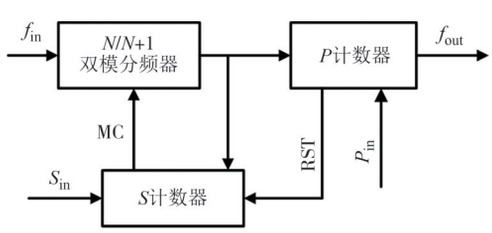
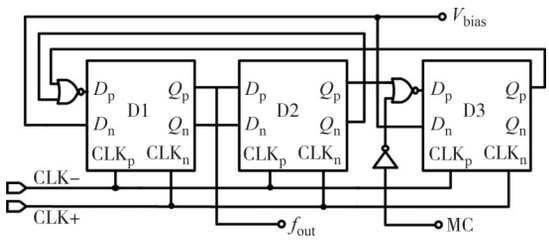


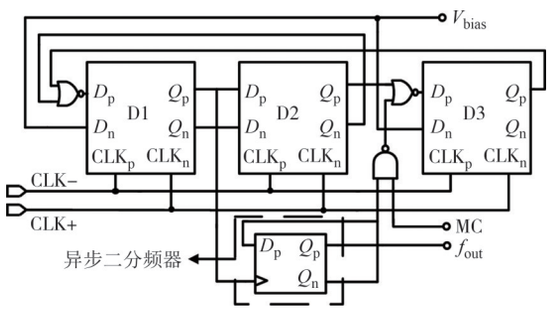

图8 可编程分频器结构

Fig.8 Structure of the programmable frequency divider

分频器为例,当MC输入为低电平时,经过反相器变为高电平信号进入或非门,$D_p$始终保持低电平,电路中只有D1和D2工作进行4分频.当MC为高电平时,经过反相器变为低电平,D3工作引入1个时钟延时,从而进行5分频.




(a)4/5多模分频器结构




(b)8/9多模分频器结构

图9　多模分频器结构

Fig.9　Structure of the multi-mode frequency divider

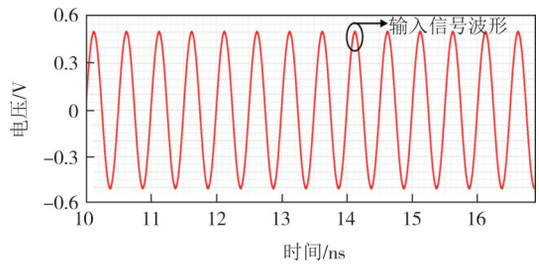
常见的双模预分频器可以通过同步或异步的方式扩展基于触发器的同步预分频器获得[12-13].本文在4/5分频器的基础上加入异步二分频器组成8/9多模分频器.当MC为低电平进行8分频,MC为高电平进行9分频.

图10(a)为4/5多模分频器在2 GHz输入信号波形图,图10(b)中蓝色波形为4/5分频输出信号波形图,绿色阶梯状波形为MC控制信号波形,由此可看出在MC信号为高电平时4/5多模分频器进行5分频,低电平时进行4分频.

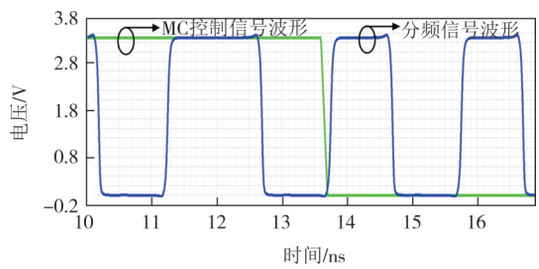
## 2　整体电路实现

电路使用130 nm SiGe BiCMOS工艺加工流片,显微镜下芯片如图11所示,包括主要模块PFD、CP、可切换分频器、多模分频器等.

其中片内集成了低压差线性稳压器(low dropout regulator,LDO),使芯片整体只需外部3.3 V供电即可,分频器输出信号进入可变增益放大器(variable gain amplifier,VGA),对输出信号进行放大.在PAD间加入了ESD保护电路提升芯片防护性能.整体芯片(不包含PAD)面积约为1.8 mm$^2$.




(a)2 GHz输入信号波形




(b)4/5分频输出信号波形

图10　分频器仿真波形

Fig.10　Simulation waveform of frequency divider

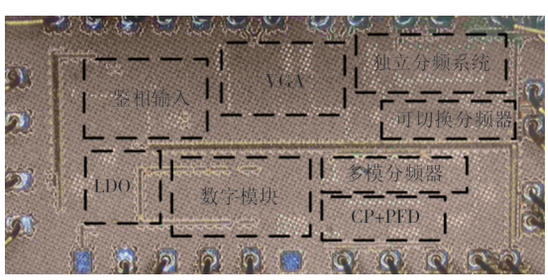



图11　芯片显微镜照片

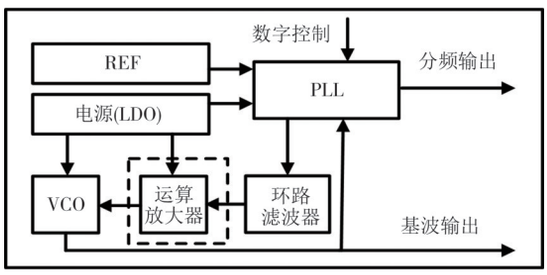
Fig.11　Microscope photo of the chip

芯片测试图如图12所示,芯片所有PAD由30 μm金线键合到测试板上.芯片供电部分由3个LDO组成,分别为运算放大器、VCO和PLL,以提供不同电压.数控信号通过排针输入芯片内部串行外设接口(serial peripheral interface,SPI),从而控制内部模块工作.芯片输出的CP电流,经过环路滤波器转换为调谐电压($V_{tune}$)控制VCO的频率输出,VCO输出的基波信号进入PLL的1/2/4三路可切换分频器实现频率锁定,通过开关控制VCO信号是否进入独立分频系统对基波信号进行分频输出.其中虚线框内运算放大器只有在$V_{tune}$较大时才需要引入.

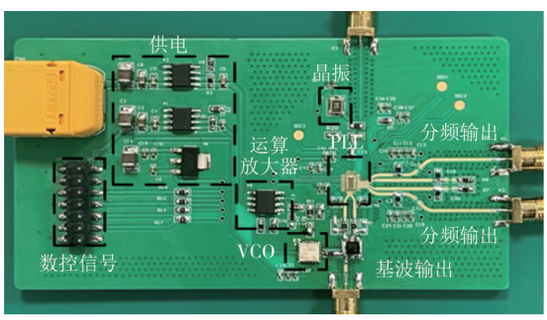
此外,本文设计的数控电荷泵可结合环路滤波器对环路参数进行灵活调节.以二阶环路滤波器为例,环路增益可表示为PFD、CP、滤波器、VCO和Divider传递函数的乘积:

$$H_{loop}(s)=\frac{I_{CP}}{2\pi}\cdot F(s)\cdot\frac{K_{VCO}}{s}\cdot\frac{1}{N} \tag{6}$$

式中:$I_{CP}/2\pi$为PFD和CP的传递函数,$F(s)$、$K_{VCO}/s$、$1/N$分别为滤波器、VCO和Divider的传递函数.




(a)芯片测试系统图




(b)芯片测试板图

图 12 芯片测试图

Fig.12 Chip testing diagram

计算环路带宽 $\omega_c$ 时,令 $H_{loop}(s)=1$,求出对应的频率:

$$\omega_c = \frac{I_{CP} \cdot R \cdot K_{VCO}}{N} \tag{7}$$

可以看出环路带宽与 CP 电流 $I_{CP}$、电阻 $R$、VCO 的 $K_{VCO}$ 和系统分频比 $N$ 相关,对于 PLL 系统,输入输出频率确定,$N$ 也随之确定,$K_{VCO}$ 在 VCO 设计完成后也确定下来,环路滤波器中电阻 $R$ 调整也伴随着电容 $C$ 需要调整以保证零极点位置,所以最容易改变的参数就是 $I_{CP}$. 通过数控电荷泵充放电支路开关调节环路带宽,从而调节锁定时间. 但过大的 CP 电流也会产生较大功耗,本文可以在这二者之间灵活权衡.

由于不同 VCO 的 $V_{tune}$ 不同,使用宽带 VCO 时 $V_{tune}$ 通常较大,CP 输出电压无法达到需求,可在 VCO 和环路滤波器间引入运算放大器. 但运算放大器的性能指标需满足使单位增益带宽(unity gain bandwidth, UGB)大于 10 倍环路带宽参数 $\omega_c$[14]. 此外分别为芯片的基波输出和分频输出设计了分频后信号和基波信号两条信号通路.

## 3 芯片测试结果

配合 IVO0205-CQ4 这款 VCO,从芯片的杂散、相位噪声和锁定范围 3 方面性能对设计的 PLL 芯片系统进行测试.

芯片的杂散测试结果如图 13 所示. 当芯片工作在 2.4 GHz 时,使用 75 MHz 的晶振提供参考信号,参考杂散在频率偏移 75 MHz 处,功率为 -74.02 dBm,输出信号功率为 12.10 dBm,通过计算参考杂散抑制达到了 -86.12 dBc.

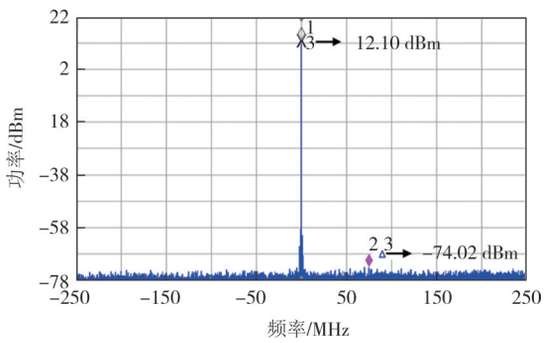
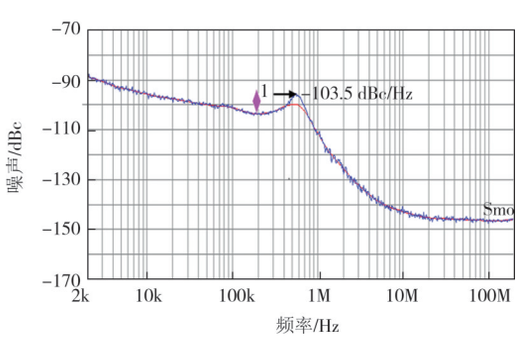


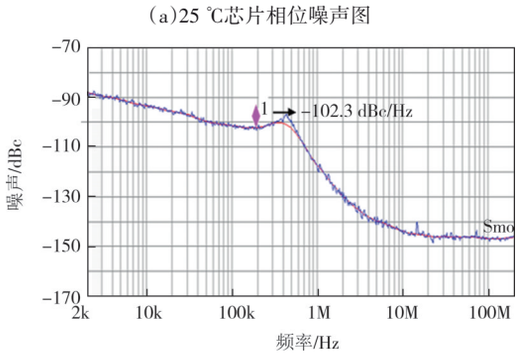

图 13 杂散测试结果

Fig.13 Test results of spur

由于本文不集成 VCO,对于芯片性能指标来说带内噪声更加重要,带外远端噪声主要由 VCO 决定. 图 14(a)表明室温下芯片工作频率在 2.7 GHz 时,芯片带内 200 kHz 处相位噪声达到 -103.5 dBc/Hz. 图 14(b)表明温度升高到 85 ℃时 200 kHz 处相位噪声为 -102.3 dBc/Hz,仅比室温状态下恶化 1.2 dBc 左右. 整体相位噪声没有产生明显恶化,测试结果表明,在不同温度下可以输出较为稳定的锁定信号.




(a)25 ℃芯片相位噪声图




(b)85 ℃芯片相位噪声图

图 14 相位噪声测试结果

Fig.14 Test results of phase noises

图15为芯片锁定时输出频谱图.芯片输出 2.4 GHz基波时,内部集成1/2/4/8/16独立分频系统开启,对基波信号进行16分频,输出150 MHz分频信号.

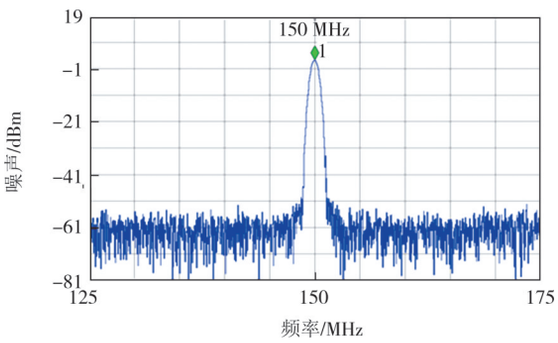



图15　输出频谱测试结果

Fig.15　Test results of output spectrum

表1为本文的PLL与其他文献PLL指标对比,从表中数据可以看出本文在锁定带宽方面达到了0.15~5.8 GHz,相较于其他两款设计得到了明显的提升.其中文献[15]具有较宽锁定范围,但功耗方面本文相较于它降低了约40 mW,此外噪声方面也得到了提升.文献[16]在功耗方面低于本文,但本文在带宽、杂散和噪声方面优势明显.

表1中,用品质因数(figure of merit,FoM)代表归一化噪底.式(8)为FoM表达式.式中,PN取带内100 kHz处的相位噪声.$f_{out}$为锁定输出频率,$f_{PFD}$为鉴相频率.

$$FoM = PN - 20 \cdot \lg\left(\frac{f_{out}}{f_{PFD}}\right) - 10 \cdot \lg\left(f_{PFD}\right) \quad (8)$$

**表1　不同PLL的性能对比**

**Tab.1　Performance comparison of different phase-locked loop**

| 文献 | 工艺 | 锁定带宽范围/GHz | 参考杂散抑制/dBc | 功耗/mW | 相位噪声/(dBc·Hz$^{-1}$) | FoM/dBc |
|---|---|---|---|---|---|---|
| 文献[15] | 180 nm CMOS | 3.37~7.18 | — | 138.6 | -90.1@100 kHz | -206.4 |
| 文献[16] | 45 nm CMOS | 2.31~3.05 | -60 | 10 | -99.76@100 kHz | -213 |
| 本文 | 130 nm BiCMOS | 0.15~5.8 | -86.12 | 95 | -105.8@100 kHz | -215 |

## 4　结 论

本文以实际应用为出发点,设计了一款锁定带宽为0.15~5.8 GHz的锁相环芯片.内部可切换分频器结合外部不同频段、种类、性能特点的VCO,实现了超宽带的基波锁定输出.通过可数控电流调节的源端开关型电荷泵来改善电流失配,提升了杂散抑制性能并可以灵活调节CP电流.内部集成独立分频系统,对基波频率最低可进行16分频.测试表明,在1~5.8 GHz基波输出带宽内,输出参考杂散抑制低于-80 dBc,100 kHz处带内相位噪声可低于-108 dBc/Hz,1 MHz处低于-120 dBc/Hz.归一化噪底达到了-215 dBc,最大鉴相频率为75 MHz.所设计的锁相环芯片不仅性能优良,而且功能全面,可应用于通信基站、调频连续波雷达等领域中.

## 参考文献

[1] WANG Z P, MA K X, MA Z L, et al. A reconfigurable injection-locked LO generator with a wideband-harmonic-shaping class-F23 VCO for multibands 5G mm-wave[J]. IEEE Transactions on Microwave Theory and Techniques, 2023, 71(9): 4144-4157.

[2] 夏庆贞,李东泽,常虎东,等. 基于90 nm SOI CMOS工艺的24 GHz信号发生器[J]. 湖南大学学报(自然科学版), 2020, 47(6):96-102.
XIA Q Z, LI D Z, CHANG H D, et al. 24 GHz signal generator based on 90 nm SOI CMOS technology[J]. Journal of Hunan University (Natural Sciences), 2020, 47(6): 96-102. (in Chinese)

[3] EL-HALWAGY W, NAG A, HISAYASU P, et al. A 28-GHz quadrature fractional-N frequency synthesizer for 5G transceivers with less than 100-fs jitter based on cascaded PLL architecture[J]. IEEE Transactions on Microwave Theory and Techniques, 2017, 65(2): 396-413.

[4] WAGNER E, SHANA'A O, REBEIZ G M. A very low phase-noise transformer-coupled oscillator and PLL for 5G communications in 0.12 μm SiGe BiCMOS[J]. IEEE Transactions on Microwave Theory and Techniques, 2020, 68(4): 1529-1541.

[5] OVEISI M, HEYDARI P. A study of BER and EVM degradation in digital modulation schemes due to PLL jitter and communication-link noise[J]. IEEE Transactions on Circuits and Systems Ⅰ: Regular Papers, 2022, 69(8): 3402-3415.

[6] HU A, LIU D S, ZHANG K F. A 0.03- to 3.6-GHz frequency synthesizer with self-biased VCO and quadrature-input quadrature-output frequency divider[J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2019, 66(12): 1997-2001.

[7] MOREIRA M B, RIVET F, DE MATOS M, et al. A (0.75-1.13) mW and (2.4-5.2) ps RMS jitter integer-N-based dual-loop PLL for indoor and outdoor positioning in 28-nm FD-SOI CMOS technology[J]. IEEE Transactions on Circuits and Systems Ⅱ: Express Briefs, 2023, 70(10): 3782-3786.

[8] HUANG S, LIU S B, ZHU Z M. A high-resolution 2-GHz fractional-N PLL with crystal oscillator PVT-insensitive feedback control[J]. IEEE Microwave and Wireless Components Letters, 2018, 28(3): 227-229.

[9] 黄胜. 高性能CMOS频率综合器关键技术研究[D]. 西安:西安电子科技大学, 2019.
HUANG S. Research on key technologies of high performance CMOS frequency synthesizer[D]. Xi'an: Xidian University, 2019. (in Chinese)

[10] 曾云, 邱玉松, 张锋, 等. 10 GHz低相噪扩频时钟发生器的设计与实现[J]. 湖南大学学报(自然科学版), 2016, 43(2): 109-114.
ZENG Y, QIU Y S, ZHANG F, et al. Design and realization of 10 GHz low phase noise spread spectrum clock generator[J]. Journal of Hunan University (Natural Sciences), 2016, 43(2): 109-114. (in Chinese)

[11] KUNDU L, MAITY S, NATH S, et al. A design approach for ZigBee compatible CML-based 2/3 dual modulus frequency divider[C]//2024 28th International Symposium on VLSI Design and Test (VDAT). September 1-3, 2024, Vellore, India. IEEE, 2024: 1-6.

[12] GU Q J, GAO Z. A CMOS high speed multi-modulus divider with retiming for jitter suppression[J]. IEEE microwave and wireless components letters, 2013, 23(10): 554-556.

[13] 姚艳. CMOS低相位噪声宽带锁相环关键技术研究与芯片设计[D]. 南京: 东南大学, 2022.
YAO Y. Research on key technologies and chip design of CMOS low phase noise broadband PLL [D]. Nanjing: Southeast University, 2022. (in Chinese)

[14] 钱焕裕, 钱捷, 盛伟新. 有源环路低通中运放带宽对相噪的影响[J]. 湖北大学学报(自然科学版), 2021, 43(5): 561-565, 576.
QIAN H Y, QIAN J, SHENG W X. Effect of operational amplifier on phase noise in active low-pass loop[J]. Journal of Hubei University (Natural Science), 2021, 43(5): 561-565, 576. (in Chinese)

[15] WANG Z H, ZHOU B. A 3.37-7.18 GHz wideband PLL with multi-core VCO in 180-nm CMOS [C]//2022 IEEE 4th International Conference on Circuits and Systems (ICCS). September 23-26, 2022, Chengdu, China. IEEE, 2022: 135-139.

[16] KONG L, RAZAVI B. A 2.4-GHz RF Fractional-*N* Synthesizer With BW=0.25$f_{REF}$ [J]. IEEE Journal of Solid-State Circuits, 2018, 53(6): 1707-1718.