 DOI: https://doi.org/10.12349/iser.v6i8.7023

Application of refined management methods in R&D expense management of construction enterprises Research on asynchronous digital circuit design method based on low-power optimization

Mingzhong Liu

Guizhou Aerospace Control Technology Co., Ltd., Guiyang, Guizhou, 550009, China

Abstract

In the era of nanotechnology, asynchronous digital circuits have attracted much attention. Based on this, the article first analyzes the low-power characteristics of asynchronous digital circuits, and from the perspective of topology, analyzes the causes of the low-power characteristics of asynchronous digital circuits. Then, from four aspects: selection of design style, handshake protocol and communication mechanism, layout and physical design, and power management strategy, the key points of low-power design of asynchronous digital circuits are discussed. The process of low-power design of asynchronous digital circuits is introduced, including requirement analysis and architecture design, logic design and optimization, timing verification and power consumption analysis, physical design and prototype verification. Combined with current design problems, the future development is also discussed.

Keywords

asynchronous digital circuit; Low power consumption; design method

基于低功耗优化的异步数字电路设计方法研究

刘明忠

贵州航天控制技术有限公司，中国 · 贵州 贵阳 550009

摘　要

纳米时代，异步数字电路备受关注。文章基于此，首先分析了异步数字电路的低功耗特性，并从拓扑结构的角度，分析了异步数字电路低功耗特性的成因，继而从辑风格选择、握手协议与通信机制、布局布线与物理设计、电源管理策略四个方面，探讨了异步数字电路低功耗设计的要点，介绍了异步数字电路低功耗设计的流程：需求分析与架构设计、逻辑设计与优化、时序验证及功耗分析、物理设计与原型验证，并结合当前的设计问题，对其未来发展做了展望。

关键词

异步数字电路；低功耗；设计方法

1 引言

当前，集成电路已经步入纳米时代，功耗问题成为制约电子设备性能提升及应用拓展的核心问题。同步数字电路主要依靠全局时钟信号实现时序同步，时钟树功耗占总功耗的比重在 30% 以上。并且，受芯片规模扩大、时钟频率提升的双重影响，同步数字电路时钟偏移、抖动的问题日益显著，已难以满足纳米级工艺下的能效需求。异步数字电路通过本地握手协议实现模块间通信，不受全局时钟、事件驱动的限制，具有天然低功耗、高鲁棒性、低电磁干扰等特性 [1]。因此，要从低功耗优化的角度出发，做好异步数字电路设计，满足纳米时代电子设备性能提升及应用拓展的需求。

2 异步数字电路的低功耗特性与拓扑结构

2.1 异步数字电路的低功耗特性

同步数字电路功耗由动态功耗、静态功耗以及时钟树功耗三大部分构成。时钟树在全局同步中发挥着关键性的作用，不仅能驱动全芯片所有寄存器，且开关频率与系统时钟一致。时钟树的特性，决定了时钟树功耗在同步数字电路总功耗中占比较高，且为确保时钟信号同步，同步数字电路需保留大量时序裕量，因此，空闲状态下，时钟仍然翻转，造成无效功耗。异步数字电路通过请求信号 Req、应答信号 Ack 等握手信号，实现模块间通信，摆脱了对全局时钟的依赖，从根源上消除了时钟树功耗。异步数字电路的动态功耗，仅和数据活动率有关，当模块无数据处理时可自动进入休眠

【作者简介】刘明忠（1990–），男，布依族，中国贵州贵阳人，硕士，助理工程师，从事伺服系统数字电路研究。

状态，开关活动近乎为零。此外，有别于同步数字电路对时序裕量的需求，异步数字电路的延迟，由电路本身的逻辑路径决定，可在较低电源电压下稳定工作，而无需时序裕量，这进一步降低了动态功耗。综上，异步数字电路能从消除时钟树功耗、降低动态功耗两个方面，控制总功耗，具有显著的低功耗特性。

2.2 异步数字电路的拓扑结构

异步数字电路的低功耗特性，和其拓扑结构有着紧密的关系。当前，异步数字电路的主流拓扑结构有三：一是捆绑数据结构。该结构将延迟线生成的完成信号与数据信号捆绑传输，通过延迟线模拟逻辑路径延迟，从而实现简化的握手协议。捆绑数据结构可复用同步电路的逻辑单元，具有设计简单的优势，但延迟线的固定延迟可能导致额外功耗。二是非捆绑数据结构。该结构无需预设延迟，而是采用独立的握手信号与数据信号并行传输，通过 Muller C 元素等互斥逻辑检测数据有效性，可实现静态功耗，但其逻辑单元复杂度较高。三是多阈值电压异步结构。该结构在关键路径 / 非关键路径采用不同阈值器件，适用于深亚微米工艺下的静态功耗优化。

3 基于低功耗优化的异步数字电路设计要点

3.1 逻辑风格选择与优化

逻辑风格是影响异步数字电路功耗特性的主要因素，设计中需根据应用场景选择并优化。当下，常用的优化方式有三种：一是 NCL 逻辑的低功耗优化。NCL 逻辑采用双轨信号表示数据状态，通过阈值门实现逻辑运算，具有内在的抗干扰能力。可通过简化阈值门结构、动态调节阈值以及双轨信号平衡设计实现低功耗优化，如减少晶体管数量，如用三输入阈值门替代复杂组合逻辑，降低寄生电容。二是 PCHB 逻辑的改进。PCHB 逻辑为捆绑数据结构的典型逻辑风格，可通过预充电时钟门控、不对称缓冲设计、多阶段求值拆分等方式，改进逻辑风格。三是绝热逻辑的应用。绝热逻辑通过缓慢充放电减少能量耗散，在超低功耗场景中有着广阔的应用空间。可结合握手协议，优化绝热逻辑，实现实现能量回收与低开关损耗。

3.2 握手协议与通信机制优化

握手协议作为异步数字电路的核心，其效率对功能有着直接的影响。因此，应将握手协议与通信机制的优化作为异步数字电路设计的关键，并从三个方面采取好措施：一是四项握手与两相握手的权衡。四相握手逻辑简单，但翻转次数多，两相握手虽然翻转次数少，但信号完整性要求高。对高可靠性场景，可采用四相握手，并引入 Early Acknowledge 机制，在数据稳定后提前结束握手，减少翻转次数 [3]。采用两相握手时，可利用差分信号传输降低噪声干扰，确保协议可靠性。二是异步互连网络的低功耗设计。围绕总线编码、自适应缓冲以及片上网络异步化等，做好异步互联网络的低功耗设计。以总线编码为例，为减少总线信号翻转率，实现功耗下降的目的，可采用 One-Hot 编码或 Gray 编码。三是冗余握手消除。构建 LSTM 模型，利用历史传输数据训练模型，预测数据有效性，并在确定性场景中，省略部分握手步骤，减少控制信号翻转。

3.3 布局布线与物理设计优化

物理层设计，特别是布局布线设计，对异步数字电路功耗影响极大。应围绕寄生参数控制、多阈值电压分配、布线优化等方面，采取好措施。寄生参数控制方面，采用短路线优先布局，通过减少长导线带来的寄生电容，实现信号传输功耗降低的目标。对称布局 Data/NULL 线或 Req/Ack 线，减少串扰导致的无效翻转。多阈值电压分配方面，在握手信号通路等关键路径，采用低阈值电压器件，确保速度，而在非关键路径，则采用高阈值电压器件，减少漏写电流。多阈值电压技术的合理运用，可显著降低静态功耗。布线优化方面，异步数字电路虽然消除了时钟树，但握手信号的布线仍存在过度拥挤的现象。对此，可采用层级化布线结构，将握手信号约束在局部模块内，减少全局布线长度，以布线优化来达成功耗下降的效果。

3.4 电源管理策略优化

高能效片上系统，资源高度动态分配，对电源管理的粒度有着很高的要求 [4]，而异步电路的模块独立性，则为细粒度电源管理创造了良好的条件。对此，可从三个方面优化电源管理：一是动态电压调节。依据模块工作负载，动态调整供电电压，在确保性能需求得到满足的前提下，使功耗最小化。举例而言，若传感器数据输入率下降时，异步处理模块的供电电压同步下调，从而达到降低功耗的效果。二是电源门控。异步数字电路中，模块无需等待时钟同步，可独立进入休眠状态。可利用睡眠晶体管，切断空闲模块的电源电路。也可设置活跃、轻休眠、深休眠等多模式电源状态，根据模块空闲时间自动切换，降低漏写功耗。三是亚阈值操作。无时钟特定，使得异步数字电路在亚阈值区也能稳定工作，解决了同步数字电路时钟失效的问题。在无线传感器节点等超低速、超低功耗场景，可将电源电压降至阈值电压以下。此时，电路仍保持工作状态，但功能则大幅下降。

4 基于低功耗优化的异步数字电路设计流程与展望

4.1 基于低功耗优化的异步数字电路设计流程

突破时序约束，是异步数字电路设计的重点。低功耗优化视域下的异步数字电路设计，主要包括四个环节：

一是需求分析与架构设计。明确异步数字电路的功耗及性能指标，结合应用场景，选择适宜的拓扑结构，划分功能模块并定义模块间握手接口，形成异步数字电路的整体架构。

二是逻辑设计与优化。利用 Verilog、SystemVerilog 等

硬件描述语言建模，结合低功耗设计的目标，借助 Synopsys Design Compiler 的异步扩展模块，实现功耗优化，重点减少冗余逻辑及信号翻转。

三是时序验证及功耗分析。时序验证方面，通过事件驱动仿真，验证握手协议的正确性，分析最大延迟路径是否能够满足异步数字电路的性能需求，若不能，则需返回上一环节，进行优化设计。功耗分析方面，使用 PrimePower 等工具统计基于信号翻转率的动态功耗以及基于泄漏电流模型的静态功耗，迭代优化高功耗模块。

四是物理设计与原型验证。以布局布线作为物理设计的核心，将短路径、多模式电源作为布局布线的优先选择项，通过 Cadence Innovus 等工具完成寄生参数提取与功耗反标。采用 FPGA 原型验证平台验证设计功能，通过 Tektronix PA4000 实测关键模块功耗，与仿真结果对比校准。

4.2 基于低功耗优化的异步数字电路设计方法展望

基于低功耗优化的异步数字电路设计面临着多重挑战，一方面，异步数字电路设计采用的多为同步综合工具，但同步综合工具以直接适配异步逻辑风格，另一方面，异步数字电路的延迟取决于数据模式，传统静态时序分析不再适用。人工智能以及新兴器件的发展，为异步数字电路的优化设计提供了支持。

一是人工智能辅助设计。人工智能以模拟和延展人类智能为主要特点，为异步数字电路低功耗设计提供了技术支持。传统异步电路设计依赖工程师经验进行逻辑风格选择、握手协议优化和电源管理策略制定，存在设计周期长、功耗优化不全局的问题。人工智能辅助设计可通过数据驱动的方式实现设计流程的自动化与智能化，显著提升低功耗设计效率。逻辑结构方面，可基于海量历史设计数据，开发深度学习模型，自动生成适配特定功耗目标的异步逻辑拓扑，合强化学习算法以能量延迟积为奖励函数，快速迭代出最优逻辑结构 [5]。电源管理方面，可通过 LSTM 神经网络功耗预测模型，动态调整供电电压或启动电源门控。

二是新兴器件应用。纳米时代，传统的硅基 CMOS 器件已接近物理极限，难以满足当前低功耗设计的需要。碳纳米管场效应管、二维材料晶体管、忆阻器等新型器件的诞生与发展，为低功耗设计提供了极大的支持。碳纳米管场效应管具有弹道输运特性和近理想亚阈值斜率，同尺寸下，其开关功耗仅为同尺寸硅基 CMOS 器件的 1/5-1/10。将碳纳米管场效应管应用于异步电路的握手信号通路，可在保持相同速度的前提下，显著降低控制逻辑功耗。碳纳米管场效应管的管径可精确调控，便于实现多阈值电压设计，为异步模块的细粒度电源管理提供硬件支持。二维材料晶体管的厚度为原子级，在超低电压工作时仍保持稳定性能，与异步数字电路的亚阈值操作需求。基于二维材料晶体管的异步绝热逻辑电路，能量损耗仅有传统 CMOS 电路的 5%。忆阻器具有非易失性与计算存储一体化的特性，将其集成到异步数据处理模块，可在本地完成存储与计算，避免数据搬运带来的功耗开销。

三是标准化。设计标准的统一，是异步数字电路低功耗设计规模化应用的前提。针对工具链碎片化、接口协议不兼容、IP 核稀缺等问题，应建立统一的异步电路设计规范，制定异步接口协议标准，定义模块间握手信号的电气特性与时序约束，确保不同厂商设计的异步 IP 核可互操作。同时，针对主流逻辑风格，制定标准化的单元库接口与功耗评估指标，为跨平台设计提供基础。

5 结语

当前，电子器件已进入纳米时代，低功耗设计成为数字电路设计的重点。与同步数字电路相比，异步数字电路摆脱了对时钟树的依赖，具有天然低功耗特性。现阶段，异步数字电路设计中，仍然面临着设计复杂度高、时序验证困难、工具链不完善等问题，这对异步数字电路的大规模应用形成了阻碍。应在把握异步数字电路低功耗设计要点、流程的基础上，围绕人工智能辅助设计、新兴器件应用以及标准化三个方面，推动异步数字电路低功耗设计的深入开展。

参考文献

[1] 崔梓琳.异步电路关键逻辑模块的设计与实现研究[D].重庆大学，2023.

[2] 张景伟，李若仲，肖宇，等.基于FPGA的全局异步局部同步四相单轨握手协议实现[J].电子技术应用，2012（04）：37-39，42.

[3] 张奇惠，曹健，曹喜信，等.异步低功耗RSA电路结构的设计和实现[J].北京大学学报（自然科学版），2018（06）：1351-1354.

[4] 中国科学院半导体研究所.数字低压差稳压器技术的回顾和展望[EB/OL].http:// www. semi.ac.cn/2017xshd_136831/202012/t20201225_5842715.html

[5] 张巍. 基于智能算法的电子电工与计算机技术应用[J].电子技术(上海)，2025（02）：280-281.