

DOI:10.11784/tdxbz202505026

基于 RFC 型运放的低功耗高精度 Sigma Delta 调制器

赵毅强^{1,2}, 严 强^{1,2}, 杜 君^{1,2}, 李 尧^{1,2}

(1. 天津大学微电子学院, 天津 300072; 2. 天津市成像与感知微电子技术重点实验室, 天津 300072)

摘 要: 模数转换器(ADC)是物联网(IoT)传感节点的核心组件。由于电池供电与微弱信号检测等应用条件, 要求 ADC 兼具高精度与低功耗特性。为满足 IoT 传感节点对低频信号的高精度量化需求, 设计一款高精度、低功耗的离散时间 sigma delta 调制器。调制器采用 3 阶单比特量化架构, 在过采样率为 500 的条件下, 理论可实现 169.3 dB 量化噪声信噪比。针对运放在高频时钟下的快速建立导致的静态功耗浪费问题, 第 1 级积分器采用电流回收型折叠共源共栅(RFC)运放。该结构通过动态电流调度机制, 在积分阶段从电源汲取较大电流以满足信号建立需求, 而在非积分阶段消耗较少偏置电流, 有效降低了持续工作下的平均功耗。相比传统折叠共源共栅(FC)结构, 在相同带宽与摆率性能下, 其静态偏置电流仅为后者的 38%。基于对运放建立过程中的信号完整性分析, 提出了一种时序优化方案。该方案通过延长积分相时间, 放宽了对运放的带宽与摆率要求, 进一步实现调制器静态偏置电流的降低。该调制器基于 0.18 μm CMOS 工艺设计, 在 1.8 V 电源电压下, 平均功耗 408.3 μW 。调制器版图面积为 520 $\mu\text{m} \times 860 \mu\text{m}$ 。后仿真结果表明, 在 1.831 kHz 输入信号条件下, 调制器输出比特流的信噪失真比可达 117.3 dB, 有效位数为 19.19 bit, 品质因数达 184.2 dB, 适用于无人值守低功耗传感系统、便携式检测设备等场景。

关键词: sigma delta 调制器; 低采样热噪声; 电流回收型折叠共源共栅运放; 相位时间调节

中图分类号: TN79⁺2

文献标志码: A

文章编号: 0493-2137(2026)10-1109-10

A Low-Power High-Precision Sigma-Delta Modulator Based on an RFC-Type Operational Amplifier

Zhao Yiqiang^{1,2}, Yan Qiang^{1,2}, Du Jun^{1,2}, Li Yao^{1,2}

(1. School of Microelectronics, Tianjin University, Tianjin 300072, China;

2. Tianjin Key Laboratory of Imaging and Sensing Microelectronic Technology, Tianjin 300072, China)

Abstract: An analog-to-digital converter(ADC) is a core component in internet of things(IoT) sensing nodes. Battery-powered operation and weak signal detection require the ADC to provide high precision and low power consumption. To meet the demand for high-precision quantization of low-frequency signals, a discrete-time sigma-delta modulator was designed. The modulator employed a third-order single-bit architecture, theoretically achieving a 169.3 dB signal-to-quantization-noise ratio at an oversampling ratio of 500. To reduce static power waste caused by rapid operational amplifier settling under high-frequency clocking, a recycling folded cascode(RFC) operational amplifier was used in the first integrator. This structure incorporated a dynamic current-scheduling mechanism that draws higher current from the power supply during the integration phase to meet settling requirements, while maintaining a lower static bias during the nonintegration phase, thereby significantly reducing average power consumption in continuous operation. Compared with a conventional folded cascode(FC) amplifier of equivalent bandwidth and slew rate, the RFC amplifier consumes only 38% of the static bias current. A timing optimization scheme based on signal integrity analysis of the operational amplifier's settling behavior was proposed. By extending the integration phase duration,

收稿日期: 2025-05-22; 修回日期: 2025-08-13.

作者简介: 赵毅强(1964—), 男, 博士, 教授, yq_zhao@tju.edu.cn.

通信作者: 李 尧, liyao@tju.edu.cn.

基金项目: 天津市自然科学基金资助项目(24JCQNJC01370).

Supported by the Tianjin Natural Science Foundation of Project(No. 24JCQNJC01370).

the scheme relaxed the operational amplifier's bandwidth and slew rate requirements, and further reduced the modulator's static bias current. Implemented in a $0.18\ \mu\text{m}$ complementary metal-oxide semiconductor (CMOS) process, the modulator operated under a $1.8\ \text{V}$ supply voltage with an average power consumption of $408.3\ \mu\text{W}$. The modulator layout occupied an area of $520\ \mu\text{m} \times 860\ \mu\text{m}$. Post-simulation results showed that, for a $1.831\ \text{kHz}$ input signal, the modulator achieves a signal-to-noise-and-distortion ratio of $117.3\ \text{dB}$, corresponding to an effective number of bits of 19.19 , with a figure of merit of $184.2\ \text{dB}$, demonstrating its suitability for unattended low-power sensing systems and portable detection devices.

Keywords: sigma delta modulator; low sampling thermal noise; recycling folded cascode (RFC) operational amplifier; phase-time regulation

超低功耗混合信号集成电路是无线物联网 (internet of things, IoT) 传感系统的关键组件。基于电池或能量采集的物联网传感节点需要对微弱信号进行高精度检测, 这要求模数转换器 (analog-to-digital converter, ADC) 兼具高能效与高分辨率特性。这类应用带宽集中在 $5\ \text{kHz}$ 以内, 如智能穿戴设备中的距离检测传感器^[1]、工业系统中的缺陷检测传感器^[2]、医疗领域的可穿戴生物传感器等^[3]。传感器节点的能源受限特性使得能效优化成为系统设计的关键考量。

Sigma delta ADC 凭借其过采样与噪声整形特性, 在低频高精度应用场景中具备优势, 能够满足大多数物联网应用对精度与带宽的需求^[4]。然而, 由于该架构对高频采样的依赖, 其在低功耗实现方面存在一定瓶颈: 开关电容积分器的积分相与非积分相对运放性能的要求不同^[5], 运放需要较大偏置以满足积分相的信号建立需求, 在非积分相将产生静态功耗的浪费。因此, sigma delta 调制器的低功耗技术是该架构的重要研究方向, 如 Chae 等^[6]提出将反相器替换运放进行积分信号建立, 提高了跨导电流的利用效率; Kanemoto 等^[7]提出运放共享技术, 使两级积分器共用一个运放以节省电路与功耗开销; Chen 等^[8]采用动态偏置技术, 在不同工作阶段下为运放配置不同偏置电流以降低平均功耗。尽管已存在多种 sigma delta ADC 低功耗设计技术, 但这些技术仍存在一定的局限, 如反相 (INV) 运放架构对工艺参数偏差与电荷注入误差的高敏感性, 限制了其在高精度系统中的应用; 运放共享技术通常节省次级积分器的功耗开销, 但次级积分器并非系统功耗的主要来源, 故功耗优化空间有限; 动态偏置技术虽在高功耗系统中节能效果良好, 但在低功耗系统中, 偏置电流切换的控制难度较大, 易影响运放的建立精度与稳定性。

本文设计了一款面向物联网传感节点的低功耗高精度 sigma delta 调制器。首先, 针对积分器两相阶段对运放性能需求的差异, 首级积分器定制化设计电流回收型运放, 减少了传统结构运放在非积分相的静

态功耗浪费, 较基于反相器的运放结构, 避免了工艺敏感性, 更适用于高精度设计; 然后, 针对高负载容值下的运放建立需求, 提出一种时序优化策略, 增大积分相时间, 缓解了对运放的严苛信号建立需求。相较于运放共享、动态偏置等技术, 该方案无需引入额外时钟、不改变积分器开关连接关系, 在不增加电路复杂度的情况下实现了调制器静态偏置的降低。本设计在考虑工艺稳定性与电路鲁棒性要求的前提下, 选用当前较为成熟的 $0.18\ \mu\text{m}$ CMOS 工艺完成电路设计与版图实现, 在 $1.8\ \text{V}$ 工作电压下, 后仿真验证以 $408.3\ \mu\text{W}$ 功耗实现了对 $2\ \text{kHz}$ 带宽信号的 $19.19\ \text{bit}$ 精度量化的。

1 调制器行为级建模与非理想因素分析

1.1 调制器行为级建模

本文采用图 1 所示 3 阶单环单比特量化前馈式积分器级联 (cascade of integrators with feed-forward, CIFF) 拓扑架构。根据 sigma delta 调制器量化噪声理论模型^[9], 量化噪声信噪比 R_Q 与阶数 L 、过采样率 M 、量化位数 B 满足

$$R_Q = 10 \lg \left[\frac{3}{2} \frac{2L+1}{\pi^{2L}} M^{2L+1} (2^B - 1)^2 \right] \quad (1)$$

当 $L=3$ 、 $B=1$ 、 $M=500$ 时, 式 (1) 计算出的量化噪声信噪比被限制为 $169.3\ \text{dB}$ (对应 $27.30\ \text{bit}$ 有效位数)。

采用 MATLAB SD Toolbox 工具箱进行稳定性优化, 约束条件包括: 阶数 $L=3$ 、过采样率 $M=500$ 、量化电平数为 2 ($B=1$)、积分器输出摆幅为 0.5 , 综合得到拓扑系数为

$$\begin{cases} c_1 = b_1 = 0.3, c_2 = 0.7, c_3 = 0.25 \\ a_1 = 2.60, a_2 = 1.35, a_3 = 0.84, b_4 = 1 \end{cases} \quad (2)$$

式中: a_1 、 a_2 、 a_3 为积分器输出对加法器的增益系数; c_1 、 c_2 、 c_3 为积分器增益; b_1 、 b_4 为信号馈入增益, 使用该拓扑系数进行 Simulink 建模, 采用 $1.831\ \text{kHz}$ 频

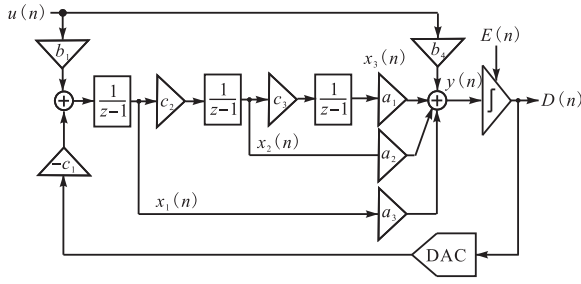


图 1 Sigma delta 调制器信号流图

Fig.1 Signal flow diagram of sigma-delta modulator

率、 $\pm 0.4 \text{ V}$ 摆幅的差分正弦波作为输入信号, 满足相干采样条件与系统稳定性条件. 在 8.192 ms 仿真时长下, 通过 16384 点快速傅里叶变换 (fast Fourier transform, FFT) 分析 (Hamming 窗), 得到系统有效位数为 21.10 bit (图 2), 且各级积分器无过载现象, 验证了该拓扑在高过采样率下满足高精度设计要求.

后级积分器 (第 2、第 3 级) 及加法器噪声分别经历 1 阶、2 阶和 3 阶噪声整形, 而第 1 级积分器噪声未经整形直接叠加至输入信号. 根据式 (1), 调制器阶数 L 每增加 1 阶, 动态范围提升约 $20 \lg M \text{ dB}$. 次积分器的噪声容限 (有效值) 较第 1 级积分器提升 20 余倍, 因此在后续的噪声与信号完整性分析中重点分析第 1 级积分器贡献.

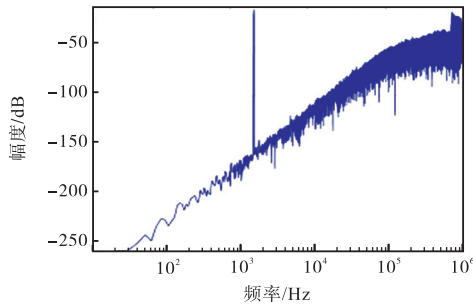


图 2 Simulink 建模结果

Fig.2 Results of Simulink modeling

1.2 采样热噪声分析

在开关电容积分器的各噪声来源中, 采样热噪声占据主要贡献^[10]. 单周期内总采样热噪声有效值为

$$v_{n,\text{total}} = \sqrt{2 \frac{kT}{C_s} \frac{1}{M}} \quad (3)$$

式中: C_s 为采样电容; k 为玻耳兹曼常数; T 为温度; $1/M$ 为过采样对白噪声的稀释作用; 因子 2 代表采样相 ϕ_1 与积分相 ϕ_2 对信号与反馈电平的采样 (图 3) 分别产生的同等功率噪声的加算.

对于满量程差分输入 $V_{\text{PP}} = 1.8 \text{ V}$ (有效值约 0.636 V), 由采样热噪声所限制的理论信噪比见表 1. 结合 Simulink 建模结果, 取第 1 级积分器采样电

容 $C_{S(1)}$ 为 12 pF , 积分电容 $C_{I(1)}$ 为 40 pF , 以实现 0.3 的积分增益, 并保留大于 0.5 bit 的热噪声余量.

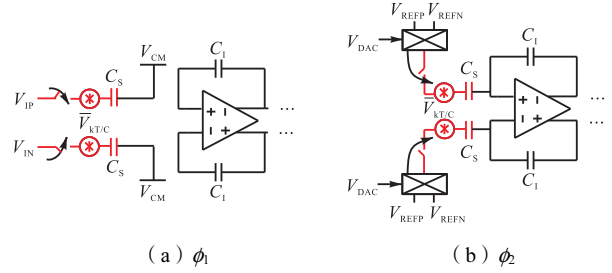


图 3 两相采样热噪声来源示意

Fig.3 Schematic of two-phase sampling thermal noise source

表 1 热噪声限制下有效位数受采样电容的影响

Tab.1 Effect of sampling capacitance on effective number of bits under thermal noise-limitation

采样电容/pF	热噪声有效值/ μV	热噪声信噪比/dB	有效位数 (理论)/bit	有效位数 (建模)/bit
1	4.07	103.9	16.97	16.84
5	1.82	110.9	18.13	17.92
10	1.29	113.9	18.63	18.52
20	0.91	116.9	19.12	18.87

1.3 信号建立完整性分析

分析开关电容积分器两相时钟中运放的信号建立行为示意如图 4 所示.

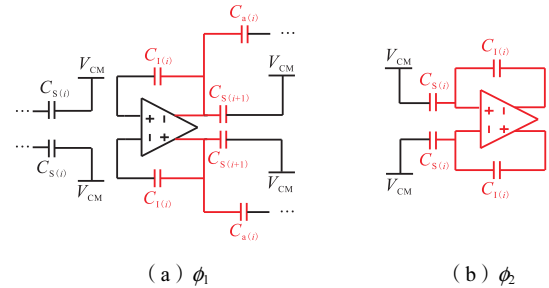


图 4 调制器两相行为示意

Fig.4 Schematic of two-phase operation of modulator

在采样相位 ϕ_1 中, 运放负载电容从 $C_{I(i)}$ 增加为 $C_{I(i)} + C_{S(i+1)} + C_{a(i)}$, $i = 1, 2, \dots$. 此相位内, 运放仅需维持前一相位积分结果, 无动态建立需求.

在积分相位 ϕ_2 中, 采样电容 $C_{S(i)}$ 右极板接入 $C_{I(i)}$, 运放驱动电荷转移并建立新的积分电平. 时间 t_{ϕ_2} 内, 信号建立精度 P 与运放带宽 f_{BW} 、摆率 V_{SR} 满足约束关系^[11]

$$\begin{cases} f_{\text{BW}} > \frac{\ln(1/P)}{2\pi t_{\phi_2}} \\ V_{\text{SR}} > \frac{V_s \ln(1/P)}{t_{\phi_2}} \end{cases} \quad (4)$$

其中积分台阶最大值 $V_s = 0.39 \text{ V}$ (单端), 由第 1 级增

益系数 0.3 与最大输入摆幅 1.3 V (含反馈电平 0.9 V) 计算得出。

通过 Simulink 建模验证得出, 当第 1 级积分器运放的带宽大于 2 MHz、摆率大于 5 V/ μ s 时, 调制器有效位数保持在 20.00 bit 以上, 结合式 (4) 计算出建立精度为 3%。随着 ϕ_2 相位时间占比增大, 有效建立时间由 250 ns 延长至 400 ns (表 2), 运放的带宽与摆率需求随之线性降低。

需要注意的是, 次级积分器在 ϕ_1 相位的负载容值的相对变化较大 ($\Delta C/C_{1(2)} = 160\%$), ϕ_1 相位持续时间过短将引起电荷泄漏误差。折中考量后选择采样相与积分相的时间比例 $t_{\phi_1} : t_{\phi_2} = 3 : 7$ ($t_{\phi_2} = 350$ ns) 作为最优比例, 理论可使运放的带宽/摆率需求降低 40%。

表 2 运放最小带宽/摆率与 t_{ϕ_2} 相位时间的关系

Tab.2 Relationship between minimum bandwidth/slew rate of operational amplifier and t_{ϕ_2} phase time

$\phi_1 : \phi_2$	t_{ϕ_2} /ns	最小带宽/MHz	最小摆率/(V/ μ s)
5 : 5	250	2.232	5.47
4 : 6	300	1.860	4.56
3 : 7	350	1.595	3.91
2 : 8	400	1.395	3.42

2 电路实现

调制器整体电路如图 5 所示, 模拟信号从差分端口 V_{IP} 与 V_{IN} 进入, 经过 3 级积分器与加法器电路, 输

入锁存比较器, 得到调制器输出 V_{DAC} 。两相不交叠开关 S_1 、 S_{1D} 、 S_2 以及 S_{2D} 时序如图 5 右侧所示。本设计采用 3 阶单环单比特量化 C1FF 架构, 过采样率为 500, 理论量化噪声信噪比超过 21.00 bit, 为其他噪声与非理想效应留有裕度。

第 1 级积分器设置 12 pF 采样电容以抑制其采样热噪声及电荷注入误差。拓扑系数通过电容器件的比值实现: 第 1 级积分器采样、积分电容分别为 12 pF 和 40 pF; 第 2、3 级积分器积分电容均为 1 pF, 采样电容分别为 700 fF 和 250 fF; 无源加法器的权重电容分别为 $C_{a(0)} = 1.00$ pF、 $C_{a(1)} = 2.60$ pF、 $C_{a(2)} = 1.35$ pF、 $C_{a(3)} = 840.00$ fF。

主要电路模块设计如下。

(1) 开关电容积分器采用两相非敏感开关电容结构^[12], 通过控制敏感节点开关断开顺序, 消除对敏感节点的电荷注入误差。第 1 级反馈复用 $C_{S(1)}$ 电容实现信号减法运算 (ϕ_2 相位将 $C_{S(1)}$ 左极板切换至 V_{REFP}/V_{REFN})。

(2) 进行积分器功耗分级设计, 第 1 级积分器采用电流回收型运放以实现更低的平均功耗, 第 2、3 级积分器用标准折叠共源共栅运放并以较低电流进行偏置。

(3) 考虑到单比特量化的天然线性度, 采用无源加法器以降低电路复杂度。

(4) 通过提升 ϕ_2 相位占比, 在时钟频率不变情况下放宽运放的带宽与摆率需求, 进一步节省功耗。

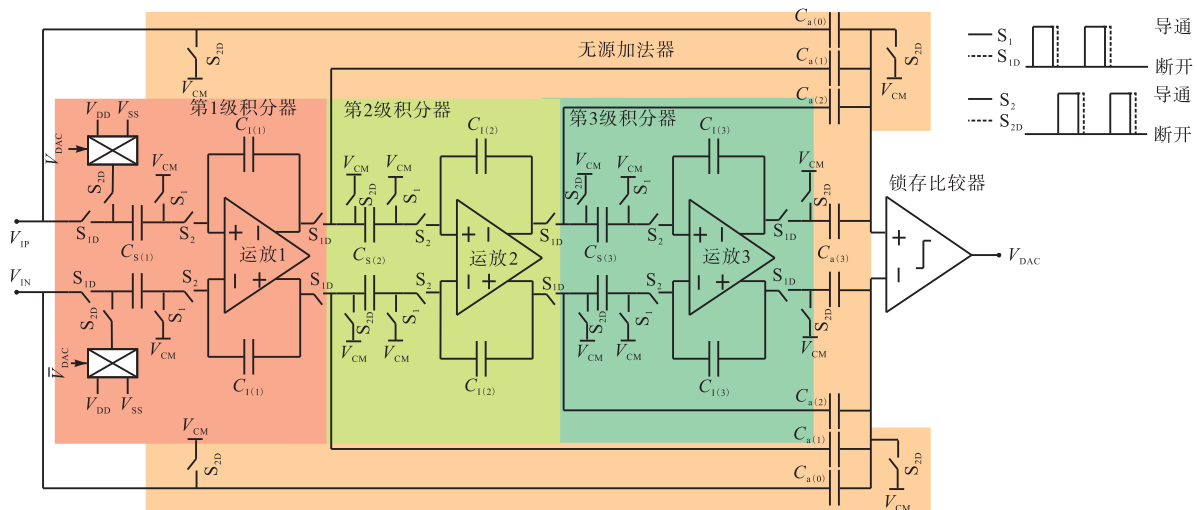


图 5 调制器整体原理

Fig.5 Overall principle of the modulator

2.1 电流回收型折叠共源共栅运放

2.1.1 基本原理

因第 1 级积分器的积分电容容值较大, 其运放需在大负载条件下完成积分信号的建立。为此, 本文采

用一种电流回收型折叠共源共栅 (recycling folded cascode, RFC) 运放。如图 6 所示, 该结构通过重构传统 FC 运放中的电流路径^[13], 根据信号建立阶段动态调整从电源汲取的电流大小, 从而在保持高性能建立

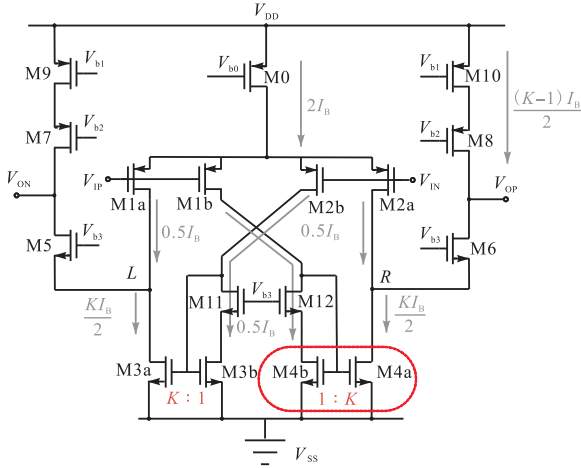


图 6 电流回收型运放电路直流点

Fig.6 DC point of RFC operational amplifier circuit

的同时,降低持续工作状态下的平均功耗.

在小信号输入下,晶体管 M1b-M4b-M4a-M2a 构成推挽结构,电流镜 M4b-M4a 以增益 K 放大另一差分路径的电流变化,并将其反相叠加至本支路,使得差分增益提升至原本的 $(1+K)$ 倍(见图 7). 通过节点 R 的 KCL 分析得出,由输入小信号电压 v_{in} 引起的 V_{OP} 节点的小信号电流 i_{out} 为

$$i_{out} = i_{M4a} - i_{M2a} = 0.5(K+1)g_m v_{in} \quad (5)$$

式中: i_{M4a} 和 i_{M2a} 分别为流过 M4a 和 M2a 管的小信号电流; g_m 为输入级晶体管的跨导.

式(5)表明 RFC 运放的等效跨导提升至传统 FC 运放的 $0.5(K+1)$ 倍. 当 $K=3$ 时,该结构在与 FC 拓扑相同的静态电流 ($4I_B$, I_B 为单位偏置电流)偏置下实现跨导翻倍.

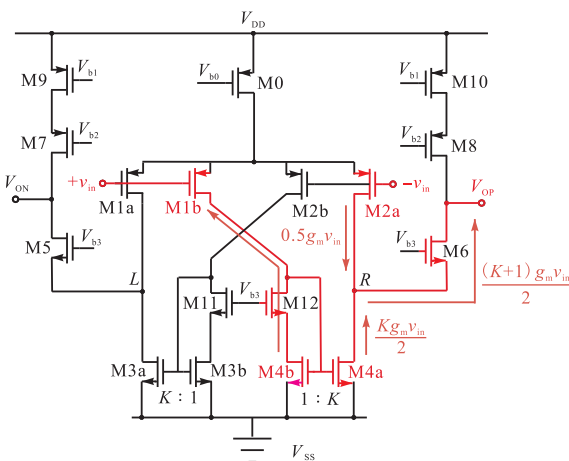


图 7 RFC 运放小信号行为示意

Fig.7 Schematic of small-signal behavior of RFC operational amplifier

在大信号瞬态响应中,正输入阶跃导致 M1a、M1b 管截止. 由于电流镜 M4b-M4a 截止, M2a 无对地节点的直流通路(图 8 瞬态行为 1), $2I_B$ 偏置电流

完全注入 M2b 支路. 对 L 、 R (图 8)两节点的 KCL 分析得,流过管 M5 与 M6 的大信号电流 I_{M5} 与 I_{M6} 分别为

$$\begin{cases} I_{M5} = I_{M3a} - I_{M1a} = 2KI_B - 0 = 2KI_B \\ I_{M6} = I_{M4a} - I_{M2a} = 0 - 0 = 0 \end{cases} \quad (6)$$

左、右输出节点的下拉电流由直流偏置值 $0.5(K-1)I_B$ 分别变为 $2KI_B$ 与 0 . 由于下拉电流的变化幅度不同,引发正、负节点摆率的不对称. 共模反馈(common-mode-feedback, CMFB)电路将调整负载管 M9 和 M10 的偏置电流由 $0.5(K-1)I_B$ 调至 KI_B , 从而保持摆率的对称(图 8 瞬态行为 2).

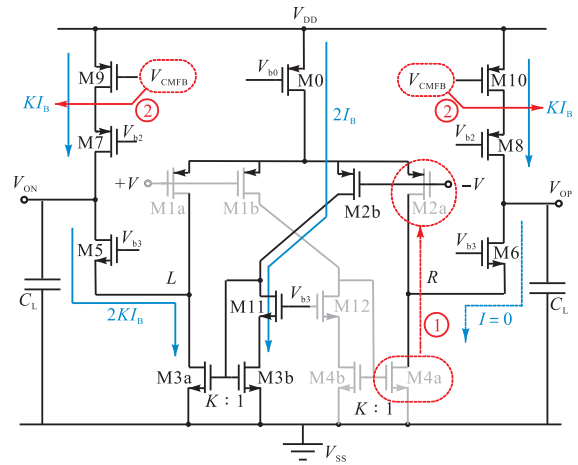


图 8 RFC 运放大信号行为示意

Fig.8 Schematic of large-signal behavior of RFC operational amplifier

在共模反馈电路的作用下, V_{OP} 节点摆率 $V_{SR,OP}$ 与 V_{ON} 节点摆率 $V_{SR,ON}$ 保持对称,即对称的正、负摆率分别为

$$\begin{cases} V_{SR,OP} = \frac{KI_B - 0}{C_L} = \frac{KI_B}{C_L} \\ V_{SR,ON} = \frac{KI_B - 2KI_B}{C_L} = -\frac{KI_B}{C_L} \end{cases} \quad (7)$$

式中 C_L 为运放输出节点的电容.

表 3 总结了关键参数的理论改进效果. 性能对比表明,当 $K=3$ 时, RFC 运放与 FC 运放有相同的静态电流,而 RFC 运放理论上有着 2 倍于 FC 运放

表 3 RFC 与 FC 运放的拓扑参数

Tab.3 Topological parameters of RFC and FC operational amplifiers

运放拓扑	静态电流	等效跨导	小信号增益	摆率
FC	$4I_B$	g_m	$g_m r_{out}$	I_B/C_L
RFC ($K=3$)	$4I_B$	$2g_m$	$2g_m r_{out}$	$3I_B/C_L$
RFC (K 为任意值)	$(K+1)I_B$	$0.5(K+1)g_m$	$0.5(K+1)g_m r_{out}$	KI_B/C_L

注: r_{out} 为小信号输出阻抗.

的小信号增益以及 3 倍于 FC 运放的大信号摆率。

2.1.2 实现效果

本设计针对 RFC 运放在大信号路径中的电流变化不对称问题,采用开关电容共模反馈结构(图 9)以实现高环路增益与良好的稳定性。该方案复用调制器的两相时钟,无需额外时钟生成模块。

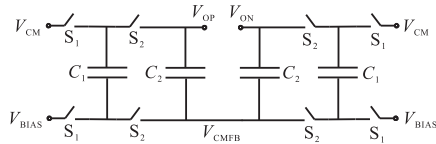


图 9 开关电容共模反馈电路

Fig.9 Switched-capacitor common-mode feedback circuit

在 RFC 运放设计中,电流镜增益系数 K 的选择需在动态特性与系统稳定性间进行折中。从电流利用率角度分析,将摆率 V_{SR} 除以静态电流 I_{static} 表征单位电流对摆率的贡献,即

$$\eta_{SR} = \frac{V_{SR}}{I_{static}} = \frac{K}{K+1} \frac{1}{C_L} \quad (8)$$

式(8)表明 K 值的增加有助于提升电流利用率。然而受共模反馈环路有限调节能力的约束,过大的 K 值将无法保证摆率的对称性,差分信号建立时间受限于较低摆率值。基于以上考虑,本设计选择 $K=7$ 的参数实现 RFC 运放(表 4)。

表 4 不同 K 值下 RFC 仿真参数

Tab.4 RFC simulation parameters with different values of K

电流镜增益 K	低频增益/dB	单位增益带宽/MHz	正摆率/(V/ μ s)	负摆率/(V/ μ s)	静态电流/ μ A
3	66.7	1.49	2.28	-2.35	78
5	69.8	2.28	4.02	-4.06	121
7	72.4	3.00	5.61	-5.65	165
9	74.5	3.88	7.00	-7.10	206

设计两种不同规格的 FC 运放,与上文中的 RFC 运放进行指标对比(见表 5)可知 40 pF 负载条件下, RFC 运放对比相同功耗规格的 FC 运放(FC-1)展现出 2.3 倍的带宽提升与近 3 倍的摆率提升。在 RFC 与 FC-2 高性能对比组中, RFC 运放以 FC-2 运放近 38% 的静态偏置实现了相近的带宽与更高的摆率。

表 5 RFC 与 FC 运放的仿真参数

Tab.5 Simulation parameters of RFC and FC operational amplifiers

运放拓扑	低频增益/dB	静态电流/ μ A	单位增益带宽/MHz	摆率/(V/ μ s)
FC-1	66.2	170	1.31	1.90
FC-2	69.4	434	3.08	4.53
FC-3	72.4	165	3.00	5.63

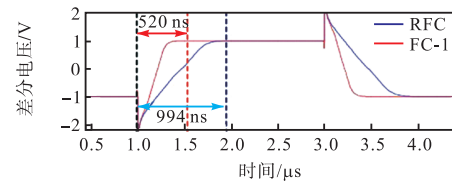
为验证 RFC 运放的性能提升效果,将 FC-2 与

RFC 运放分别配置为单位增益的开关电容积分器,电路结构参考图 5 中次级积分器,采样与积分电容均为 40 pF,输入 (0.9 ± 0.5) V 阶跃信号进行对比,结果如图 10 所示。

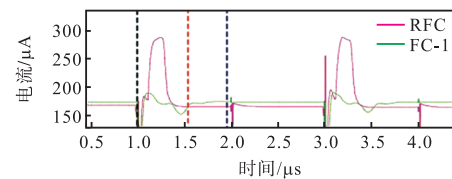
(1) 瞬态输出电压显示: RFC 运放在 520 ns 内即可完成满摆幅信号建立,相较同等静态偏置条件下的 FC 拓扑的 994 ns 建立时间,建立速度提 47%。

(2) 瞬态电源电流显示: RFC 运放在大信号建立阶段,其从电源中汲取的电流 $I_{V_{DD}}$ 会显著上升至 290 μ A 左右,稳态维持阶段则衰减至 165 μ A 附近。FC 运放则缺乏动态调控能力。

实验结果表明, RFC 运放摆率与带宽的提升源于其电流动态调度特性,该特性使得 RFC 运放避免了传统结构因固定偏置造成的功耗冗余,在相同平均功耗下实现更快的信号建立。



(a) RFC 与 FC 运放输出电压建立对比



(b) RFC 与 FC 运放输出瞬态电源电流对比

图 10 RFC 与 FC 运放信号建立瞬态波形

Fig.10 Settling transient waveforms of RFC and FC operational amplifiers

2.2 时序优化策略及其实现效果

图 10 中 RFC 的运放电流曲线与动态偏置技术下的运放电流曲线(图 11(a) 相似,运放在大信号建立阶段消耗的电流 I_{slew} ,显著高于小信号稳定阶段电流 I_{settle} 以及采样相位电流 I_{sample} 。通过增加 ϕ_2 相位的占空比,可从时序设计层面进一步降低运放的偏置电流(图 11(b)),即延长其有效建立时间,从而放松对带宽与摆率的要求,使运放在更小偏置下仍能保持信号建立精度。根据第 1.3 节的分析,选取 $t_{\phi_1} : t_{\phi_2} = 3 : 7$ 为最优时序比例。

为验证该时序优化的效果,将两种功耗规格的 RFC 运放(RFC-1,静态电流 165 μ A,带宽 3.00 MHz,摆率 5.63 V/ μ s; RFC-2,静态电流 117 μ A,带宽 2.23 MHz,摆率 3.94 V/ μ s)分别配置为第 1 级开关电容积分器并施加 (0.9 ± 1.3) V 周期性差分脉冲,信号

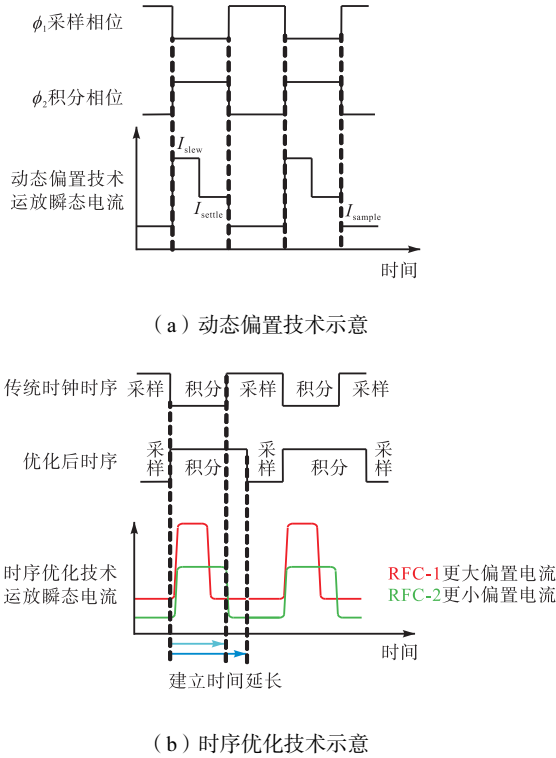


图 11 动态偏置与时序优化技术中运放瞬态电流对比
Fig.11 Comparison of operational amplifier transient currents in dynamic bias and timing optimization techniques

建立完整性对比如下。

(1) 在相位时间比 $t_{\phi_1} : t_{\phi_2} = 5 : 5$ 的时序下, RFC-2 运放摆率受限时间为 190 ns, 占 t_{ϕ_2} 的 76%, 建立误差达 3.12 mV, 难以完成输出信号的建立; 而 RFC-1 运放则能完成精度优于 3% 的建立, 建立误差为 1.85 mV。

(2) 在相位时间比 $t_{\phi_1} : t_{\phi_2} = 3 : 7$ 的时序下, RFC-2 运放建立误差减少至 1.82 mV, 较原时序减少了 42%。

调制器整体仿真中(图 12), 对于两种时序下的调制器输出频谱, 可得出如下情况。

(1) 在相位时间比 $t_{\phi_1} : t_{\phi_2} = 5 : 5$ 的时序下, 使用 RFC-1 运放的调制器, 信噪失真比为 120.7 dB, 有效位数为 19.76 bit; 使用 RFC-2 运放的调制器, 信噪失真比为 106.5 dB, 有效位数为 17.40 bit。因运放 RFC-1 的信号建立速度不足, 调制器噪声底下约 15 dB, 有效位数下降幅度超过 2.00 bit。

(2) 在相位时间比 $t_{\phi_1} : t_{\phi_2} = 3 : 7$ 的时序下, 使用 RFC-1 运放的调制器, 信噪失真比为 129.7 dB, 有效位数为 22.26 bit; 使用 RFC-2 运放的调制器, 信噪失真比为 122.8 dB, 有效位数为 21.11 bit。性能与功耗不同的两种运放, 均能满足信号建立需求, 实现目

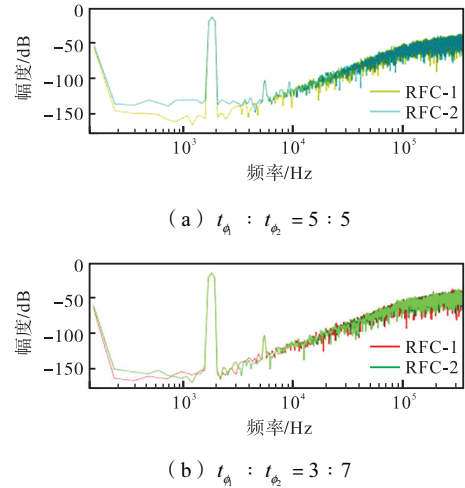


图 12 不同相位时间比的调制器频谱

Fig.12 Modulator spectra under different phase time ratios

标精度。

实验结果表明, 通过增大 ϕ_2 相位时间的方式, 能够有效提升信号建立精度。对于指定精度的信号建立而言, 这一时序优化方案可允许使用更低功耗的运放, 节省约 29% 的静态电流。

3 调制器整体仿真结果

本设计基于 180 nm 工艺、1.8 V 电源电压与 2 MHz 时钟频率, 通过引入 RFC 拓扑结构并优化调制器时序, 实现低功耗设计目标。前仿真结果表明, RFC 结构和调制器时序优化分别实现了 473.6 μ W 和 67.1 μ W 的功耗节省。系统总功耗为 397.2 μ W, 为未优化方案(937.9 μ W)的 42.4% (图 13)。

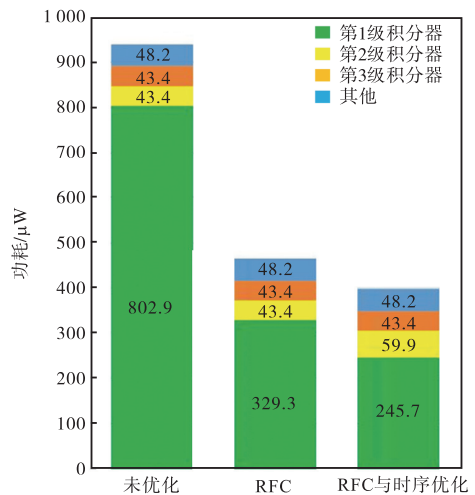


图 13 两种技术对功耗的优化效果

Fig.13 Optimization effects of two techniques on power consumption

对由调制器和数字抽取滤波器组成的 sigma delta

ADC 进行仿真,输入频率 1.831 kHz、摆幅 ± 0.4 V 差分正弦波,其输入、输出瞬态响应如图 14 所示. 数字滤波器基于 Verilog 实现,通带截止频率为 2 kHz, 3 kHz 处的阻带衰减超过 -100 dB. 该滤波器对调制器输出的 2 MHz 比特流进行 64 倍降采样,最终输出频率为 31.25 kHz 的二进制量化信号.

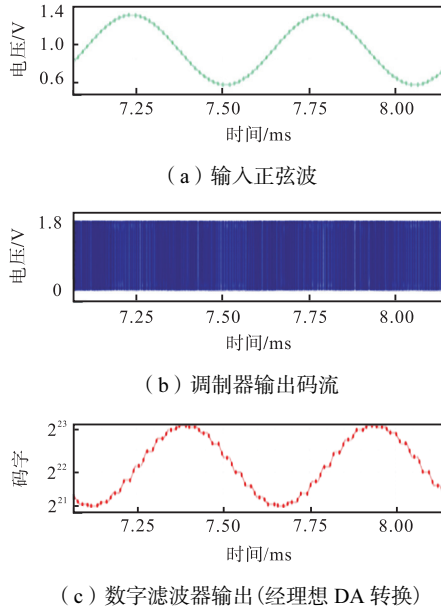


图 14 调制器与数字抽取滤波器输入、输出瞬态响应
Fig.14 Transient response of modulator and digital decimation filter input-output

仿真结果表明(图 15),在调制器信号带宽(0 ~ 2 kHz)内信噪失真比计算值为 123.1 dB,有效位数为 20.16 bit. 由于 CMOS 开关未采用栅压自举结构,采样本身引入了非线性误差,故调制器频谱中位于 5.49 kHz 处的 3 次谐波有着约 -90.0 dB 的幅值. 经数字抽取滤波后,0 ~ 2 kHz 范围内的信号频谱被完整保留,而 2 kHz 以上的带外分量被有效抑制,3 次谐波也被衰减至接近噪声基底. ADC 输出在采样频带(0 ~ 15.625 kHz)内,频谱计算得到信噪失真比为 121.0 dB,有效位数为 19.81 bit.

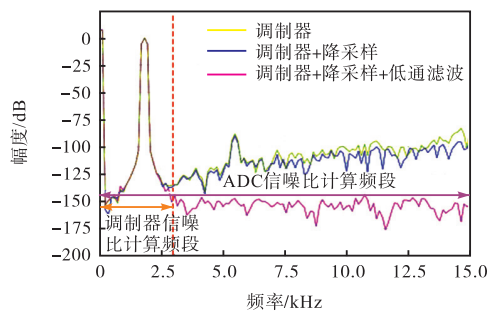


图 15 调制器与数字抽取滤波器输出频谱
Fig.15 Output spectra of modulator and digital decimation filter

为验证系统在电路噪声影响下的性能以及在工艺偏差下的稳定性,结合瞬态噪声仿真与工艺角仿真(见表 6). 5 次不同随机种子的瞬态噪声仿真结果表明,系统平均信噪失真比为 105.4 dB,有效位数为 18.07 bit. 在各器件工艺角中,mos_ss 与 mim_ss 分别代表了 MOS 器件与 MIM 器件的最坏工艺角情况. 其中 mos_ss 代表更低的载流子迁移率(运放带宽与摆率劣化),而 mim_ss 代表 MIM 电容的容值正偏(更大的运放负载). 在 mos_ss + mim_ss 的组合中,运放具有最恶劣的负载条件,此工艺角组合中系统具有最低精度,有效位数为 18.00 bit. 另外,在 ± 0.1 V 电源电压变化与 $[-40^{\circ}\text{C}, 125^{\circ}\text{C}]$ 温区内,系统精度分别为 19.66 bit (1.7 V)、20.02 bit (1.9 V)、20.42 bit (-40°C) 以及 19.23 bit (125°C),表现出对电源与温度变化的鲁棒性.

表 6 调制器随机噪声仿真与工艺角仿真结果

Tab.6 Simulation results of modulator random noise and process corners

随机噪声种子	不同随机噪声仿真的有效位数/bit	工艺角	不同工艺角下仿真的有效位数/bit
1	17.82	tt	20.16
2	18.38	mos_ss	18.58
3	18.04	mos_fnsp	20.05
4	18.09	mos_ff	19.93
5	18.00	mos_snfp	19.89
平均值	18.07	mim_ss	18.51
		mim_ff	19.56
		mos_ss + mim_ss	18.00

基于 SMIC 180 nm 1P6M 工艺完成版图设计如图 16 所示. 为抑制热噪声而配置的 12 pF 第 1 级采样电容与 40 pF 积分电容导致首级积分器占据超 70% 的版图面积,差分信号路径采用对称布局布线策略,以提升差分信号匹配性. 前、后仿真频谱对比如图 17 所示,前仿真信噪失真比为 123.1 dB,有效位数为 20.16 bit,3 次谐波为 -93.5 dB;后仿真信噪失真比

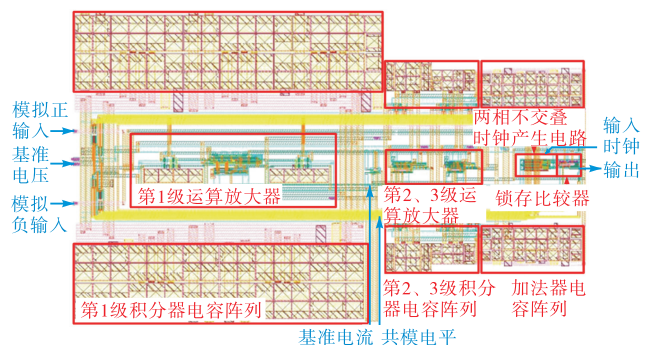


图 16 调制器整体版图
Fig.16 Full layout of modulator

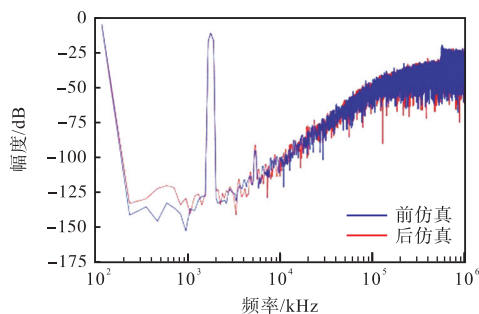


图 17 前、后仿真频谱对比

Fig.17 Comparison between pre- and post-simulation spectra

为 117.3 dB,有效位数为 19.19 bit,3 次谐波为-90.2 dB. 后仿真较前仿真有效位数下降不到 1.00 bit,表明版图设计的可靠性良好.

后仿真功耗分布如图 18 所示,尽管对运放采用了功耗优化策略,其功耗仍占据系统总功耗的较大比例,其中第 1 级积分器功耗占比达 60.0%. 这一结果进一步表明运放功耗优化设计的重要性. 调制器

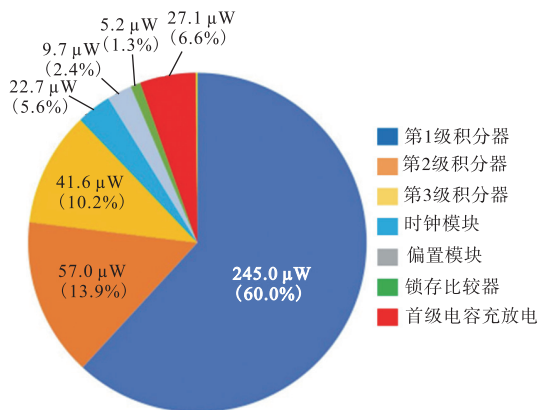


图 18 后仿真功耗分布

Fig.18 Power consumption distribution of post-simulation

后仿真总功耗为 408.3 μW , 计算得到品质因数达 184.2 dB.

表 7^[14-19]汇总了近年来离散时间调制器的相关研究,并列举了关键指标. 在与现有工作的对比中,本设计采用 3 阶单比特架构,避免了高阶架构带来的稳定性风险及高电源电压需求^[14,18],同时也防止低阶架构对超高采样率的依赖^[15],在信号带宽与噪声整形效果之间实现平衡.

本设计第 1 级运放采用电流回收型结构,在电流利用效率方面优于传统的折叠结构^[16]. 虽然文献[16]的系统功耗更低,但其信号带宽仅为本文的 1/8,有效位数相对较小,并且其基于 65 nm 先进制程与 1.2 V 低电源电压,具有工艺优势. 此外,基于反相器的运放结构^[17]虽易于实现极低功耗,但其对工艺参数误差与电荷注入误差的敏感性,增加了高精度系统的设计难度. 文献[17]通过先进架构实现了等效 3 阶 5.00 bit 的噪声整形性能,从而提升了系统精度. 本设计在采用传统离散时间调制器架构以及带有静态功耗运放的前提下,仍实现了较高的精度,且品质因数不亚于采用先进架构或先进工艺的研究工作.

在其他功耗优化技术中,文献[18]采用运放共享策略,4 级积分器共同一个运放,实现了约 30% 的系统功耗降低;文献[19]通过动态偏置技术,在采样相与积分相分别为运放配置不同的偏置电流,达到了约 25% 的总静态电流节省. 二者基于各自架构实现了不同程度的能效优化. 而本文在 RFC 运放结构与非对称积分相/采样相时序策略的协同优化下,实现了约 58% 的系统功耗节省,且综合精度、信号带宽与功耗的品质因数指标优于相关工作,有效验证了本文所提出的功耗优化设计技术的可行性与优势.

表 7 同类调制器性能对比

Tab.7 Performance comparison of similar modulators

文献来源	调制器架构	工艺/nm	电源电压/V	采样电容/pF	运放拓扑	信号带宽/kHz	采样频率/MHz	过采样率	信噪失真比/dB	有效位数/bit	功耗/ μW	版图面积/ mm^2	品质因数/dB
文献[14]*	4 阶单比特	180	3.3	—	RFC	1.00	0.256	128	109.3	17.86	475.0	1.440 0	172.6
文献[15]*	2 阶单比特	65	1.2	4.0	Diff-AMP	1.00	4.000	2 000	109.2	17.85	165.0	—	178.0
文献[16]	3 阶 4 比特	180	3.3	4.0	GE-FC	0.25	0.064	128	108.9	17.80	379.5	1.870 0	167.1
文献[17]	2 阶 Zoom	180	1.8	9.3	INV	3.90	4.000	512	108.7	17.76	227.2	0.340 0	181.0
文献[18]*	4 阶单比特	180	5.0	—	RFC	5.00	2.560	256	104.0	16.96	2 290.0	0.218 0	167.3
文献[19]	3 阶单比特	180	1.8	0.7	DB-INV	25.00	5.000	100	84.0	13.66	67.0	0.093 9	172.8
本文*	3 阶单比特	180	1.8	12.0	RFC	2.00	2.000	500	117.3	19.19	408.3	0.450 0	184.2

注:带*文献中仅给出仿真结果;品质因数一律采用以信噪失真比为精度指标进行计算;功耗、品质因数仅考虑模拟调制器(不包含数字电路);采样电容、运放拓扑均指第 1 级积分器.

4 结 语

本文基于 0.18 μm CMOS 工艺,设计了一款面向物联网传感节点的低功耗高精度 sigma delta 调制

器,采用 3 阶单比特量化架构,以较低的电路复杂度实现了对 2 kHz 带宽信号的高精度量化. 针对传统运放在非积分相的静态功耗浪费问题,本文采用电流回收型运放代替折叠共源共栅运放,提高了电流利用效

率,降低了平均功耗;同时采用一种延长积分相位占比的时序策略,放宽了对运放的带宽与摆率需求,进一步降低调制器静态偏置.后仿真结果表明,调制器以 $408.3\ \mu\text{W}$ 功耗实现了 19.19 bit 的量化精度,品质因数数值达 184.2 dB.

参考文献:

- [1] Ran Q F, Zhang X D, Song C Y, et al. A monolithic optical sensor for IoT devices proximity-detection[C]//2022 2nd International Conference on Electrical Engineering and Control Science. Nanjing, China, 2022: 118-122.
- [2] Chiang C T. A fruit citric acid concentration detector for fruit farm IoT applications[J]. IEEE Sensors Journal, 2023, 23(20): 25340-25345.
- [3] Li Y Y, Li Y J, Li H, et al. An 800 M Ω -input-impedance 95.3 dB-DR Δ - Σ AFE for dry-electrode wearable EEG recording[J]. IEEE Transactions on Bio-medical Circuits and Systems, 2024, 18(5): 1079-1088.
- [4] Sharma B P, Peela M S, Gupta A, et al. A comprehensive survey on data converters for IoT applications: Scope, issues and future directions[J]. IEEE Internet of Things Journal, 2025, 12(12): 18993-19017.
- [5] Naderi M H, Prakash S, Silva-Martinez J. Operational transconductance amplifier with class-B slew-rate boosting for fast high-performance switched-capacitor circuits[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(11): 3769-3779.
- [6] Chae Y, Han G. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator[J]. IEEE Journal of Solid-State Circuits, 2009, 44(2): 458-472.
- [7] Kanemoto D, Ido T, Taniguchi K. A 7.5 mW 101 dB SNR low-power high-performance audio delta-sigma modulator utilizing opamp sharing technique[C]//International SoC Design Conference. Jeju, Republic of Korea, 2011: 66-69.
- [8] Chen H L, Lee Y S, Chiang J S. Low power sigma delta modulator with dynamic biasing for audio applications[C]//50th Midwest Symposium on Circuits and Systems. Montreal, Canada, 2007: 159-162.
- [9] Allen P E, Holberg D R. CMOS 模拟集成电路设计[M]. 2 版. 冯 军, 李智群, 译. 北京: 电子工业出版社, 2011.
Allen P E, Holberg D R. CMOS Analog Integrated Circuit Design[M]. 2nd ed. Feng Jun, Li Zhiqun, trans. Beijing: Publishing House of Electronics Industry, 2011 (in Chinese).
- [10] Hunter B L, Poole D R. Estimating thermal noise in $\Delta\Sigma$ ADCs composed of switched capacitor integrators[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2019, 66(8): 1326-1330.
- [11] Schreier R, Temes G C, Temes G C. Understanding Delta-Sigma Data Converters[M]. Piscataway: IEEE Press, 2017.
- [12] Razavi B. 模拟 CMOS 集成电路设计[M]. 2 版. 陈贵灿, 程 军, 张瑞智, 译. 西安: 西安交通大学出版社, 2018.
Razavi B. Design of Analog CMOS Integrated Circuits[M]. 2nd ed. Chen Guican, Cheng Jun, Zhang Ruizhi, trans. Xi'an: Xi'an Jiaotong University Press, 2018 (in Chinese).
- [13] Assaad R S, Silva-Martinez J. The recycling folded cascode: A general enhancement of the folded cascode amplifier[J]. IEEE Journal of Solid-State Circuits, 2009, 44(9): 2535-2542.
- [14] Mou B R, Zhu W L, Wang Z X, et al. A high-resolution low-power delta-sigma modulator ADC for biosensors[C]//2023 8th International Conference on Intelligent Computing and Signal Processing(ICSP). Xi'an, China, 2023: 850-853.
- [15] Torri F, Vergine T, Malcovati P, et al. Analog techniques for low-power high-performance switched-capacitor sigma-delta modulators[C]//2023 30th IEEE International Conference on Electronics, Circuits and Systems(ICECS). Istanbul, Republic of Türkiye, 2023: 1-4.
- [16] 孙傲然, 陈长欢, 陈 阳, 等. 应用于生物阻抗测量的 24 位三阶四比特单环前馈增量式 Σ - Δ ADC[J]. 集成电路与嵌入式系统, 2025, 25(2): 1-10.
Sun Aoran, Chen Changhuan, Chen Yang, et al. A 24-bit incremental sigma-delta ADC with a 3rd-order, 4-bit single-loop feedforward structure for bioimpedance measurement[J]. Integrated Circuits and Embedded Systems, 2025, 25(2): 1-10 (in Chinese).
- [17] Wu Q X, Li S G, Hong Z L. A 114.5-dB DR, 184.6-dB FoM DR discrete-time self-zoom ADC[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(9): 4076-4080.
- [18] Dong S W, Ning S H, Yuan M H, et al. A low-power sigma-delta modulator based on high-order op-amp sharing technique for speech communication[J]. AEU-International Journal of Electronics and Communications, 2024, 176: 155116.
- [19] Hwang Y H, Wang J, Jeong D K, et al. An area/power-efficient $\Delta\Sigma$ modulator based on dynamic-boost inverter for multichannel sensor applications[J]. IEEE Transactions on Very Large Scale Integration(VLSI) Systems, 2023, 31(9): 1403-1412.

(责任编辑: 孙立华)