[文章编号] 1003－4684(2026)04-0134-05

基于 UVM 的 USB 设备控制器验证平台设计

王 洋，黄楚云
（湖北工业大学理学院，湖北，武汉 430068）

[摘 要] 针对传统硬件描述语言搭建仿真平台验证效率低下，难以满足超大规模芯片验证的问题，提出了一种基于 UVM 方法学搭建的仿真平台。通过带约束的随机测试激励完成了对 USB 设备控制器的功能验证，自动化对比机制可以实时输出验证结果，便于问题的定位与调试。与传统验证相比，该方法可提高验证效率 30%，使得验证结果更全面，更可靠，满足了数字芯片的验证要求。

[关键词] UVM；仿真平台；验证效率
[中图分类号] TN47 [文献标识码] A

随着后摩尔时代的不断发展，芯片制造的先进工艺即将迈入亚纳米极限[1]，芯片流片失败的风险也越来越高。在流片前，高效完备地对芯片内部逻辑进行功能验证，可以及时有效地发现设计代码存在的错误[2]。传统的硬件描述语言所搭建的仿真平台具有局限性，只能对芯片功能进行定向测试，已经无法满足目前大规模芯片设计要求。UVM 验证方法学基于 System Verilog 语言架构，汲取了其他验证方法学的优点，提供了一套标准化的验证仿真平台，是目前芯片功能验证的主流方法[3]。

2018 年，张海荣[4]基于 UVM 验证平台完成了对 USB 3.1 的系统功能验证，该验证平台的可移植性较差，很难集成到其他的 SoC 系统。2019 年，王星岳[5]基于 FPGA 对 USB2.0 OTG 接口进行功能验证，该方法调试速度慢，无法高效地完成功能验证。2022 年，邓佳伟等[6]基于 Xilinx 的 VCU118 的硬件平台，通过软硬件结合的方式对 USB 3.0 的 IP 核协作验证，该方法调试相对困难且很难达到芯片验证的完备性。

USB 高速总线接口具有热插拔、易拓展的特点，在现代电子设备中被广泛应用[8]。随着人们对传输速度和功率的需求不断提升，USB 高速接口不断发展，USB 内部设计结构越来越复杂。传统的测试方法存在功能验证效率低，无法覆盖各个场景以及各种边界条件，验证平台可移植性差，耦合性强等缺点。为了提高芯片功能验证的完备性和效率，本文提出一种 USB 设备控制器功能验证可实现的方法，基于 UVM 验证方法学和第三方 VIP 组件搭建一个用于 USB 3.0 设备控制器高速功能模块验证仿真平台，该验证平台层次机构清晰，各模块之间相互独立，可复用性强，可以极大提高验证效率。

1 测试芯片功能及架构

USB 3.0 内部模块分为高速协议模块和超高速协议模块，待测芯片是 USB 3.0 高速协议功能模块，最高数据传输速率 480 Mbps，可用于计算机与常见的外设设备通信。该芯片架构如图 1 所示，内部模块主要有门铃模块、预取功能模块、事务处理模块和设备初始化模块。

其中，门铃模块主要是对设备控制器内部所有的物理端点的运行状态进行管理，控制器最多可支持 32 个物理端点；预取功能模块是通过预先将数据加入缓存中，减少数据传输的等待时间；缓存模块用于暂时存放设备控制器的数据，设备初始化模块对设备控制器的状态进行管理；事务处理器模块是控制器的核心模块，管理 USB 通信流程和时序，处理 USB 协议栈上的功能。USB 控制器的数据流向主要有两条：一是接收物理收发器发送的数据，经过事务处理器解包处理后放入缓存模块并通知 DMA 控制器写入应用层内存中。二是接收缓存模块中的数据，并且打包输出到 UTMI 接口发送给物理收发器。

[收稿日期] 2024－03－25
[第一作者] 王 洋(1999－)，男，湖北黄冈人，湖北工业大学硕士研究生，研究方向为数字芯片验证。
[通信作者] 黄楚云(1964－)，男，湖南安化人，湖北工业大学教授，研究方向为固体激光技术、激光医疗设备。

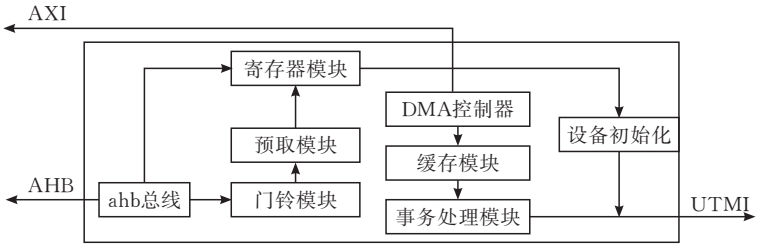

图 1　USB3.0 高速协议模块架构

2　数字芯片验证平台

2.1　UVM 验证环境搭建

该验证平台基于 UVM 验证方法学和 VIP 技术搭建完成,如图 2 所示。VIP 是封装了特定的总线或接口协议的、可重用、可灵活配置的一组验证组件,这些组件是已被验证过的、严格遵循标准协议的行为模型[7-8],使用 VIP 可以提高验证开发效率。usb_agent 组件中的 driver 通过 UVM 组件集成,USB VIP 内部提供一个 USB Driver 组件,该组件可用于模拟 USB 主机或者设备的功能,并且按照 USB 接口时序将激励驱动到 DUT 的 USB 接口上,在编写测试用例时,只需要关注 USB 的功能即可。usb_agent 中的 mon 主要是监测主机发送或者接收道德数据,并且通过 TLM 通信的方式给 Scoreboard。

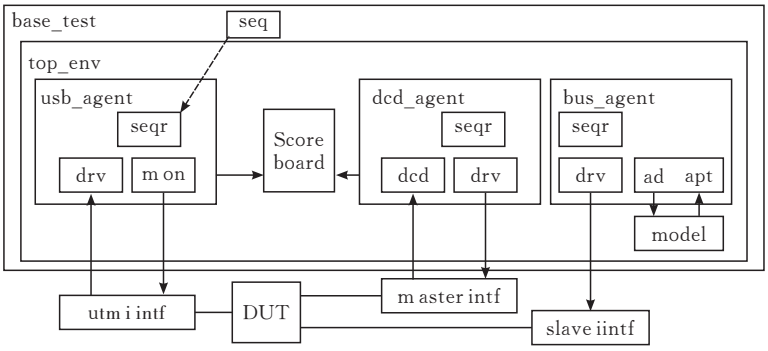

图 2　验证平台架构图

验证平台设计根据 DUT 顶层接口的功能进行架构,主要可以分为四个部分:usb_agent 模块、dcd_agent 模块、bus_agent 模块和 Scoreboard 模块。usb_agent 内部模块集成了 monitor、driver 和 sequencer 组件。其中 driver 和 monitor 分别继承自 USB VIP 提供的内部类,分别为 ausb2_device_class 和 ausb2_callbacks,ausb2_device_class,可以根据仿真环境选择继承自 uvm_driver,模拟 USB 主机或者设备的行为,将 ausb2_transaction 数据按照 UTMI 接口时序驱动到设计的接口。AUSB2_callback 采用回调的方式,内部会检测 UTMI 接口上接收或者发送的数据包并且打包成 ausb2_transaction 数据格式,内部定义了一些 API 接口用于二次开发,monitor 组件与 Scoreboard 组件通过 TLM 的方式进行通信,API 接口被触发时,检测到的数据会被发送给 Scoreboard。

dcd_agent 内部模块主要功能是模拟设备驱动程序的功能,USB 设备驱动程序是 USB 设备与操作系统之间通信的桥梁[9]。dcd_agent 中的 dcd 组件根据设计文档对控制器与操作系统之间行为进行描述,通过 SystemVerilog 语言编写 USB 设备驱动程序,模拟设备控制器与操作系统的通信流程,保证数字仿真过程能够接近最真实的工作流程。USB 设备驱动功能主要有对 USB 设备初始化使其能够被主机识别,响应 USB 设备的中断请求以及开辟一块连续的内存,用于 DMA 控制器通过 AXI 总线向该内存区域搬运数据。

Scoreboard 是一个和计分板组件。该组件中内部编写一个数据比较器,对期望数据和实际数据进行自动比对,确定数据传输是否正确。期望数据来自于 USB VIP 中 monitor 组件传入的数据,实际数据是由 usb_agent 中 driver 将激励驱动到 DUT 的 PIPE 接口输出后的数据,设备控制器通过 DMA 控制器将输出数据搬运到驱动程序中开辟的内存空间,两者数据比较一致,则表明本次数据传输正确。

2.2　寄存器模型设计

寄存器模型是一种中心化管理寄存器配置的模型,核心思想是将所有的寄存器封装到特殊的模型内,然后通过物理映射的方式完成寄存器的访问[10-11]。模型内部可通过前门和后门的方式对寄存器进行访问,极大简化了寄存器的功能验证,使得验证平台的可移植性更强。UVM 的方法构建寄存器

模型 reg model，里面有 uvm_reg_block 和 uvm_reg 方法对设计中真实寄存器进行描述，包括寄存器的基地址，偏移地址，每个字段的大小和读写权限等因素。

bus_agent 中 driver 组件代码主要部分如图 3 所示，driver 组件通过调用 get_next_item 方法从 sequencer 获取 ahb_transaction 数据，然后调用 ahb_read 和 ahb_write 方法将 ahb_transaction 数据按照 AHB 接口时序驱动到 DUT 的接口中，ahb_read 和 ahb_write 通过 task 进行封装，方便对 ahb 的读写时序进行调试。

寄存器模型的使用主要体现在方便对寄存器寄存进行读取和写入。对寄存器进行写操作时，寄存器模型会产生内置 sequence，sequence 里面有一个 uvm_reg_bus_op 的变量，里面包含着写地址和写数据。经过 ahb_adaptor 转换器里面的 reg_bus 方法转换后交给 ahb_sequencer，最终 ahb_driver 将 ahb_transaction 数据驱动到设计接口。

```
virtual task run_phase(uvm_phase phase)
    ahb_transaction ahb_tr;
    forever begin
        seq_item_port.get_next_item（ahb_tr);
        case(ahb_tr.type)
            ahb_transaction::READ：begin
                ahb_read(ahb_tr,ahb_intf)
            end
            ahb_transaction::WRITE: begin
                ahb_write(ahb_tr, ahb_intf);
            end
        endcasse
    end
endtask
```

图 3 driver 组件主代码

2.3 测试用例设计及实现

为了充分验证 USB 控制器功能，需要对 USB 协议进行深入分析，然后提取功能点进行测试用例设计。其中包括枚举过程测试，四种基本传输功能相关功能的测试，以及时钟复位检测，寄存器读写功能检测等。表 1 中记录了部分测试用例名称对应的协议章节以及相关功能测试点描述。

表 1 测试用例说明

测试用例名称	协议章节	测试点描述
usb_bus_enum_test	9.1.2 Bus Enumeration	USB 设备的枚举过程测试
usb_reg_swap	无	寄存器读写功能测试
usb_bus_reset_test	7.1.7.5 Reset Signaling	USB 进行总线复位测试
usb_bulk_transfer_test	5.8 Bulk Transfers	USB 进行批量传输测试
usb_int_transfer_test	5.7 Interrupt transfers	USB 进行中断传输测试
usb_iso_transfer_test	5.6 Ioschrnous transfers	USB 进行同步传输测试
usb_ctrl_transfer_test	5.5 Control transfers	USB 进行控制传输测试

usb_reg_swap 用于对寄存器读写测试，基于上述寄存器模型方法，通过前门的方式进行访问，部分代码如图 4 所示，等待芯片复位完成后，读取 usb_cfg 寄存器复位后的值 reg_value，与设计文档给的默认值进行比较，mask 表示该寄存器的有效位。

```
virtual task run_phase(uvm_phase phase);
        bit[31:0] default_value, reg_value, wr_data, rd_data, mask;
        super.main_phase(phase);
        phase.raise_objection(phase);
        @(posedge tb_top.por_n)
        mask = 32'hff;
        default_value = 32'h0;
        //check the usb cfg register defualt value and wr check
        env.dev_ral.mrb.usb_cfg.read(ral_st, reg_value);
        compare_data(reg_value, defaule_value, mask);
        wr_data = $urandom_range(0, 32'hffff_ffff);
        wr_data = wr_data & mask;
        env.dev_ral.mrb.usb_cfg.write(ral_st, wr_data);
        env.dev_ral.mrb.usb_cfg.read(ral_st, rd_data);
        compare_data(rd_data, wr_data, mask);
        phase.drop_objection(phase);
endtask
```

图 4 usb_cfg 寄存器读写测试

在读写功能验证前，为了确保寄存器无效域都是写 0，将写入数据与寄存器有效位进行操作。然后将该数据写入寄存器，与读取的数据进行比对，比较成功表明该寄存器读写成功。

3 测试结果与分析

3.1 实验波形分析

USB 设备高速握手过程是为了建立主机与设备之间的通信连接，当设备连接到主机后，设备与主机之间需要进行速度协商，如果高速握手成功，设备将会进入高速传输模式，反之则会进入全速传输模式。图 5 为高速握手的波形，分析如下：

1）上电完成后，主机检测到 DP 上拉，表示检测到有全速的外设连接，主机会驱动 USB 总线到 SE0 一段时间。

2）当设备检测到 SE0 后，会发送一段 chirp k 信号，发送完毕后，总线会恢复至 SE0。

3）主机如果支持高速模式会发送连续的 chirp k 和 chirp J 序列，设备检测至少三对 chirp k/j 序列后，断开 DP 上的上拉电阻，从而完成高速握手，进入高速模式。

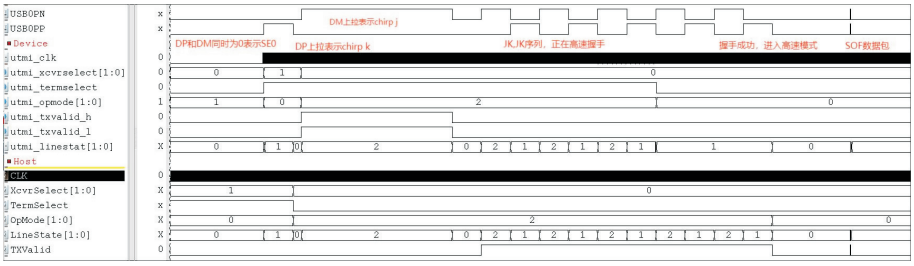

图 5　高速握手过程

3.2　覆盖率分析

覆盖率是衡量设计代码是否被充分验证的一个重要指标,用于评估测试用例对设计规约和功能的覆盖程度。在回归测试开始前,通过 VCS 编译选项中添加 coverage 选项工具收集代码覆盖率,通过 VERDI 工具查看结果,如图 6 所示,u3_controllere_inst 为 USB 控制器高速接口的顶层模块,综合后的代码整体覆盖率为 91.05%,行覆盖率为 94.48%,翻转覆盖率为 90.03%,条件覆盖率为 95.54%,状态机覆盖率为 78.75%,分支覆盖率为 96.47%。其中翻转覆盖率和状态机覆盖率相对较低,翻转覆盖率较低的主要原因是设计代码中寄存器位宽冗余,寄存器实际位宽为 32,但部分寄存器有效位宽为 8 或者 16,导致高位无法被覆盖。状态机覆盖率低是由于有些状态机的调整设计代码无法达到,也属于设计代码冗余。通过分析代码覆盖率能有效地对验证风险进行管理,提高验证功能的可靠性和完备性。

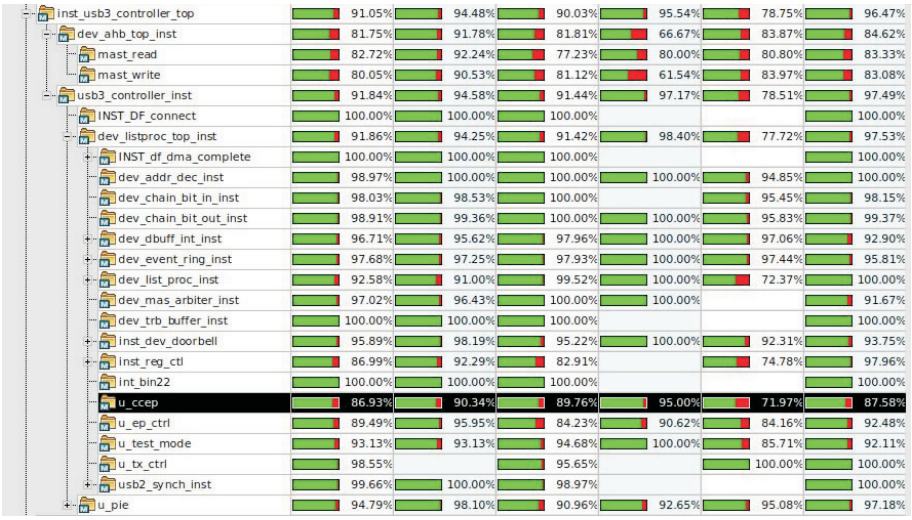

图 6　代码覆盖率

UVM 平台和硬件描述语言 Verilog 验证平台方案的对比结果,由表 2 可知,UVM 验证平台的测试场景相比较更加全面,验证周期更短,验证结果更加可靠,该方法能够更高效完成 USB 设备控制器的功能验证。

表 2　验证平台对比

实验方案	Case 数量/条	验证周期/时	覆盖率/%
Verilog 验证平台	36	72	65.38
UVM 验证平台	258	48	91.05

4　结论

基于 UVM 方法学搭建了 USB 设备控制器仿真平台,实现了对 USB 设备控制器的功能验证。通过可配置化的 UVM 环境和测试用例,可以对不同类型的 USB 控制器进行功能仿真,减小二次开发的工作量,从而提高验证效率。与硬件描述语言搭建平台相比,该方法具有更好的可移植性和可靠性。

[参　考　文　献]

[1] 钱林茂，陈蓉，朱利民,等.原子层制造的研究现状与科学挑战[J].中国科学基金，2024，38 (01)：99-114.

[2] 曹庆年，姚翌，孟开元.数字电路芯片验证方法研究综述[J].工业控制计算机，2024，37(02):53-55.

[3] 商建东,闫法瑞,于哲,等.基于高速安全存储 SoC 芯片的 PCIe 集成验证[J].微电子学与计算机,2025,42(01):84-91.

[4] 张海荣.基于 UVM 的 USB 3.1 系统级验证平台设计[D].西安:西安电子科技大学,2018:62.

[5] 宁振海，赵东艳，唐晓柯,等.MCU 芯片验证中的 USB 模块批量传输验证[J].单片机与嵌入式系统应用，2018，18 (10):4-7.

[6] 邓佳伟，张梅娟，王琪，等.PowperPC 架构下 USB 3.0 的 IP 核软硬件协作验证[J].电子技术应用，2022，48(05)：37-41.
[7] 郑杰良，杜越，赵培.基于 UVM 及 VIP 的 SoC 低速端口 CAN 验证系统设计[J].中国集成电路，2022，31(05)：27-31.
[8] 杜越，吴益然，郑杰良.基于 UVM 和 VIP 的 AXI 总线互连矩阵验证平台设计[J].电子技术与软件工程，2022(02)：111-116.
[9] Kiran A，Thrimurthulu V. Verification of AMBA AHB2APB bridge using universal verification methodology(UMM)[J].International Journal in IT and Engineering，2016，4(12)：1-10.
[10] Francesconi L，Rodriguez J A，JuliÁN P M. VM based testbench architecture for unit verification[C]. Technology and Applications，Piscataway：IEEE，2014：89-94.
[11] 刘森态，庞宇，魏东.基于 UVM 的 Wishbone-SPI 验证平台设计[J].电子技术应用，2022，8 (06)：36-41.

The Design of USB Device Controller Verification Platform Based on UVM

WANG Yang，HUANG Chuyun
(*School of Science，Hubei Univ. of Tech.，Wuhan* 430068，*China*)

Abstract：Aiming at the low verification efficiency of the simulation platform built by traditional hardware description language，which is difficult to meet the problem of ultra large-scale chip verification，a simulation platform built based on UVM methodology is proposed. The functional verification of the USB device controller is completed by random test excitation with constraints，and the automated comparison mechanism can output the verification results in real time，which is convenient for problem location and debugging. Compared with the traditional verification，this method improves the verification efficiency by 30%，makes the verification results more comprehensive and reliable，and meets the verification requirements of digital chips.

Keywords：UVM；simulation platform；verification efficiency

[责任编校：闫 品]

(上接第 126 页)

Performance Enhancement of Quasi-two-dimensional Perovskite Light-emitting Diodes by PEDOT：PSS/MABr Composite Hole Transport Layer

HE Hongshen[1]，AI Yansong[1]，SHEN Peng[1]，ZHOU Yuanming[1,2]
(1 *School of Science，Hubei Univ. of Tech.，Wuhan* 430068，*China*；
2 *Hubei Key Laboratory for High-efficiency Use of Solar Energy and Operation Control of Energy Storage System，Wuhan* 430068，*China*)

Abstract：Perovskite light-emitting diodes (PeLEDs) are widely used in the field of optoelectronics due to their excellent performance. The hole transport layer (HTL) plays a crucial role in the device performance. In this paper，quasi-two-dimensional perovskite light-emitting diodes were prepared by doping MABr into PEDOT：PSS as a composite HTL，and the optoelectronic performance of the devices was investigated. The results show that the maximum brightness and the maximum current efficiency of the devices were significantly improved by MABr doping to 6901 cd/m2 and 6.70 cd/A，respectively. This is mainly attributed to the fact that the PEDOT：PSS/MABr composite HTL as a substrate improves the morphology of the perovskite film，passivates defects in the perovskite film，and suppresses the HTL/ perovskite emissive layer (EML) exciton burst at the HTL/EML interface. In addition，the doping of MABr enhances the hole transport ability and exciton complex efficiency of HTL，which in turn improves the overall performance of the device. The results in this paper provide strong support for the development of perovskite light-emitting diodes.

Keywords：perovskite light-emitting diode；quasi-two-dimensional perovskite；hole transport layer；PEDOT：PSS；MABr

[责任编校：闫 品]