

基于 CMOS 的高精度两步式 TDC 设计

傅海鹏[†], 董晓

(天津大学微电子学院, 天津 300072)

摘要:提出了一种基于 TSMC 0.18 μm CMOS 工艺的适用于全数字锁相环、飞行时间测量等应用的高精度两步式时间数字转换器(TDC). 针对传统 TDC 分辨率与量程相互制约以及由延迟单元不匹配性造成精度低的问题, 提出了采样补偿环形 TDC 结构和反向自补偿链结构, 兼顾分辨率和量程, 大幅度提高结构整体测量精度, 设计了精简的互补开关过渡电路传递两级之间的量化时间余量, 采用专用电压生成电路稳定产生不同的控制电压, 芯片面积仅为 0.75 mm $\times$ 0.64 mm. 测试结果表明:设计的 TDC 使用 TSMC 0.18 μm 工艺可以实现 47 ps 分辨率, 量程为 56 ns, 微分线性度小于 0.34 LSB, 积分线性度小于 0.68 LSB.

关键词:时间数字转换器; 两步式; 高精度; 锁相环; CMOS 工艺

中图分类号:TN492

文献标志码:A

Design of High-precision Two-step TDC Based on CMOS

FU Haipeng[†], DONG Xiao

(School of Microelectronics, Tianjin University, Tianjin 300072, China)

Abstract: A high-precision, two-step time-to-digital converter (TDC) using TSMC's 0.18 μm CMOS technology is developed for applications, such as all-digital phase locked loop and time-of-flight measurements. Aiming at the mutual constraints between the resolution and range of traditional TDC and the low accuracy caused by the mismatch of delay units, we propose a sample-compensated toroidal TDC structure and an inverse self-compensating chain structure, which are combined to take into account both the resolution and the range, while substantially improving the overall measurement accuracy of the structure. Additionally, a streamlined complementary switching transition circuit is designed to bridge the quantization timing gaps between the two stages. A dedicated voltage generation circuit is also implemented to ensure stable production of various control voltages. The chip occupies an area of just 0.75 mm $\times$ 0.64 mm, and test results demonstrate that this TDC achieves a resolution of 47 ps, a range of 56 ns, the differential linearity of less than 0.34 LSB, and the theintegral linearity of less than 0.68 LSB, all within the TSMC 0.18 μm technology.

Key words: time-to-digital converter; two-step; high-precision; phase locked loops; CMOS technology

* 收稿日期:2024-07-24

基金项目:国家自然科学基金资助项目(62074110), National Natural Science Foundation of China(62074110)

作者简介:傅海鹏(1985—), 男, 黑龙江齐齐哈尔人, 天津大学副教授

[†] 通信联系人, E-mail: hpfu@tju.edu.cn

随着半导体制程的进步和无线通信技术的快速发展,对高集成度、低成本、低能耗、高性能的收发机需求日益增加.锁相环(phase locked loop, PLL)作为频率合成的关键组件,在通信系统中尤为重要,特别是在高速通信中,本地振荡信号的质量直接影响系统性能^[1].随着数字电路技术的发展,全数字锁相环(all digital phase locked loop, ADPLL)逐渐兴起,朝着更集成、更数字化和更通用的方向发展.作为ADPLL的重要组成部分,时间数字转换器的性能对整个系统的性能有着重大影响.

时间数字转换器是一种可以对极短时间间隔进行测量的电路,它将输入的时间信号量化为编码后的数字信号.高精度时间数字转换器主要应用于如全数字锁相环相位差量化^[2-4]、飞行时间测量^[5-7]、医学影像处理^[8-9]等众多领域.对于时间数值转换器(time-to-digital converter, TDC)的研究热点主要集中于对分辨率及量程的提升.Dudek等^[10]、Deng等^[11]提出了双链游标型TDC,利用不同延迟时间的延迟链进行量化,其分辨率由延迟差决定.Kim等^[12]在TDC中引用时间放大器结构,对两级间的时间余量进行预放大以提升分辨率.Hu等^[13]提出一种基于压控振荡器的TDC,虽然避免延迟单元的使用,但是分辨率非常有限,难以满足较高分辨率的需求.Jansson等^[14]提出了基于延迟锁相环的TDC,提升了量程,但需要高质量时钟信号作为输入.为同时满足对于TDC的分辨率及量程的需求, Ji等^[15]提出了两步式TDC,但由于两个输入信号的延迟单元的细微不匹配性,会在每一级引入一定的偏移时间误差,且误差随着级数的增加而累积,从而导致错误的采样输出.

对此,本文提出了一种基于TSMC 0.18 μm CMOS工艺的高精度两步式TDC结构,通过引入反向自补偿链来修正传统链式TDC的偏移时间误差,从而显著提升量化精度.该结构采用改进的环形TDC进行粗量化,并采用反向自补偿链进行细量化,通过互补开关过渡电路将粗量化后的余量时间传递给细量化阶段.此外,还包括辅助的电压生成电路和全局逻辑控制模块.TDC的分辨率取决于细量化阶段延迟单元实现的延迟时间,主要影响因素为流片采用的工艺及延迟单元的结构设计.为进一步提升分辨率,本文提出了一种三级匹配延迟单元,与传统反相器延迟单元相比能实现更高的分辨率.测试结果表明,所提出的TDC结构具有较高的分辨率、量程以及精度.

1 传统TDC结构分析

1.1 传统两步式TDC结构

传统两步式TDC结构如图1所示,由两条延迟时间不同的延迟链型TDC及余量传递模块组成.延迟链型TDC主要包括延迟单元、D触发器及输出编码电路;余量传递模块主要包括选择器及时间放大器.两条延迟链对输入时间差分别进行粗量化和细量化,选择器选通提取粗量化的时间余量,余量经过时间放大器放大后,传递至细量化延迟链进行量化.

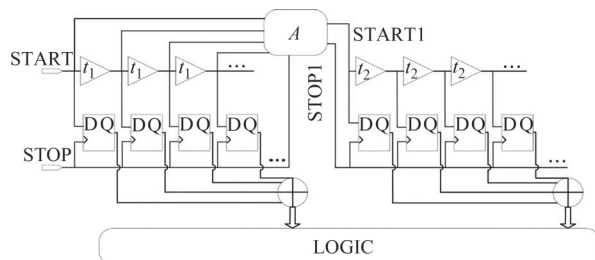


图1 传统两步式TDC结构

Fig.1 Conventional two-step TDC structure

TDC的两个输入信号为START和STOP, START信号在第一级粗量化TDC的延迟单元中传播,每个延迟单元后连接相应D触发器的D端,当START信号上升沿到来时,D端被置为高电平. STOP信号连接D触发器的CLK端,当STOP信号的上升沿到来时,全部D触发器在同一时刻对延迟链采样, START信号经过的D触发器输出高电平,而没有经过的D触发器仍保持输出为低电平,从而输出一组如“11...1100...00”的温度计码. 通过对温度计码的逻辑运算,余量传递电路选通产生相应的粗量化时间余量,通过时间放大器得到第二级细量化TDC的输入START1和STOP1. 两个信号在第二级延迟链中进行相同的运算,从而得到一组细量化温度计码. 最终两组温度计码在经过编码逻辑综合后得出时间差的量化数字码.

设第一级TDC延迟单元的延迟时间为 t_1 ,延迟链的延迟单元个数为 n_1 ,则第一级电路量程 R_1 为:

$$R_1 = n_1 \cdot t_1 \quad (1)$$

设第二级TDC延迟单元的延迟时间为 t_2 ,延迟链的延迟单元个数为 n_2 ,时间放大倍数为 A ,则第二级电路量程 R_2 为:

$$R_2 = n_2 \cdot \frac{t_2}{A} \quad (2)$$

量化结果 Q 为:

$$Q = N_1 \cdot t_1 + N_2 \cdot \frac{t_2}{A} \quad (3)$$

式中: N_1 为第一级 TDC 量化输出; N_2 为第二级量化输出。

由式(3)可见,传统两步式 TDC 的量程取决于两级电路中延迟单元的个数. 固定延迟差的条件下,量程的提升只能通过增加延迟链的长度实现,导致面积和功耗的提升,且延迟单元总的偏移误差会随着数量增加而急剧增加,导致精度大幅降低. 为提高量程的同时克服以上缺陷,可以将传统延迟链型 TDC 连接形成环形结构.

1.2 传统环形 TDC 结构

环形 TDC 结构如图 2 所示,通过一个多路选择器(multiplexer, MUX)来控制选通 START 信号和环路循环信号,延迟链末端加入计数器统计信号循环的圈数. 当电路有输入信号时, MUX 选通 START 信号输入环形延迟链中,并改变选通状态,传递返回的信号使其在延迟链中循环. 当信号经过延迟链末端时触发计数器,以记录信号循环的次数.

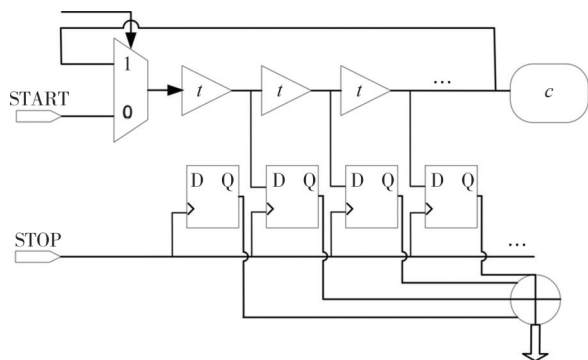


图 2 传统环形 TDC 结构

Fig.2 Conventional ring TDC structure

设环形 TDC 延迟单元的延迟时间为 t , 延迟单元的个数为 n , 计数器结果为 c , 则量程 R 为:

$$R = (c + 1) \cdot n \cdot t \quad (4)$$

在信号循环过程中, MUX 电路带来的延迟时间将不断累积, 从而造成转换精度较低, 甚至输出错误的量化结果. 同时, MUX 对信号质量也有一定影响, 随着循环次数的不断增加, 信号的脉冲宽度会有所伸缩, 影响后续的采样量化过程.

2 新型两步式 TDC 结构设计

2.1 TDC 整体结构设计

针对传统 TDC 固有的局限性, 本文提出一种新型高精度两步式 TDC 结构, 如图 3 所示, 其中 D_{out} 代表量化数字量输出. 该结构的第一级为采样补偿环形 TDC 结构以提高量程, 未能量化的时间差通过余量过渡结构进行传输, 在第二级电路中进行细量化. 全局逻辑控制模块用于产生 TDC 模块复位信号与控制选通. 电压生成电路为压控延迟单元等提供偏置电压. 反向自补偿链结构作为第二级 TDC, 量化时间余量, 实现 TDC 整体的高分辨率及高精度.

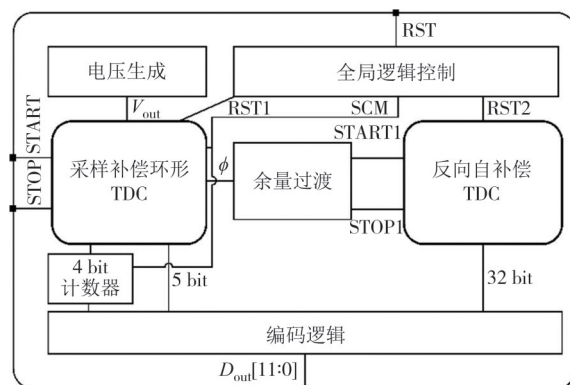


图 3 本文两步式 TDC 结构

Fig.3 The two-step TDC structure of this paper

为了减小传统环形 TDC 中由于 MUX 在循环中累积形成的量化误差, 本文设计了一种改进的采样补偿环形 TDC. 在第一级电路中, 通过缩短延迟链长度并且增加计数器的位数来扩展量程. 压控延迟单元用于实现足够的延迟时间, 并由专用的电压生成电路提供所需的偏置电压. 第一级通过延迟链采样和计数器输出产生粗量化码. 余量过渡结构根据逻辑判断选通互补开关, 将第一级未完全量化的余量传递到第二级. 全局逻辑控制模块根据计数器的状态和其他关键信号生成相应的复位或控制信号. 为减少延迟单元带来的累积量化误差, 第二级电路采用反向自补偿链结构, 通过该结构内部的补偿机制来校正延迟偏差. 为了进一步提高分辨率, 第二级 TDC 利用设计的三级匹配延迟单元进行细量化处理. 采样锁存器阵列的输出经过编码逻辑处理后, 与第一级的量化结果结合, 形成 TDC 对时间差的最终量化数字码.

2.2 采样补偿环形 TDC 电路设计

环形 TDC 的主要目的是提高量程,同时为消除信号选通过程中 MUX 自身引入的量化误差,且避免延迟单元个数过多造成延时失配.本文设计了一种采样补偿环形 TDC 结构,如图 4 所示.

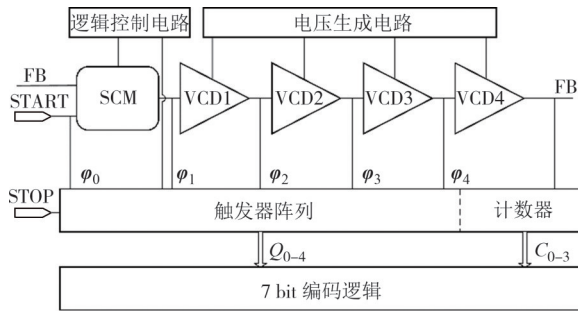


图 4 采样补偿环形 TDC 结构

Fig.4 Sample-compensated ring TDC structure

在第一级环形时间数字转换器的架构中,采用 4 bit 的计数器记录 START 信号循环周数,支持最大 56 ns 的量程,满足较大的测量范围.采用压控延迟器(voltage-controlled delay, VCD)作为延迟单元^[16],如图 5 所示,由尺寸准确匹配的反相器组成,其延迟时间可通过电压生成电路提供的电压动态调节.

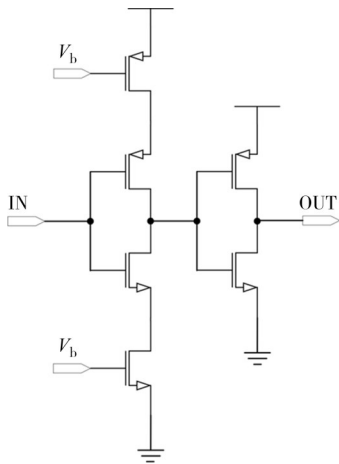


图 5 压控延迟单元

Fig.5 Voltage controlled delay cell

然而, MUX 的引入可能带来延迟误差,影响测量精度.为此,本文设计了采样补偿多路选择器(sampling compensation multiplexer, SCM),通过调整 MUX 内部逻辑电路并在输出级增加缓冲,确保 MUX 与延迟单元数据路径时间一致. SCM 设计使 MUX 同时作为选择器和第一级延迟单元,其输出信号与其他延迟单元同步参与采样,显著提高了时间测量的精确度和稳定性. START 信号和 FB 信号进入 SCM 后,由控制逻辑电路选通,经四级 VCD 延迟后触发计

数器并产生反馈至 SCM 的 FB 信号. STOP 信号作为采样信号,控制触发器阵列对 START 信号向量 φ_n 采样,并与计数器结果组合进入编码逻辑,产生第一级 TDC 数字输出. 第一级 TDC 时序如图 6 所示.

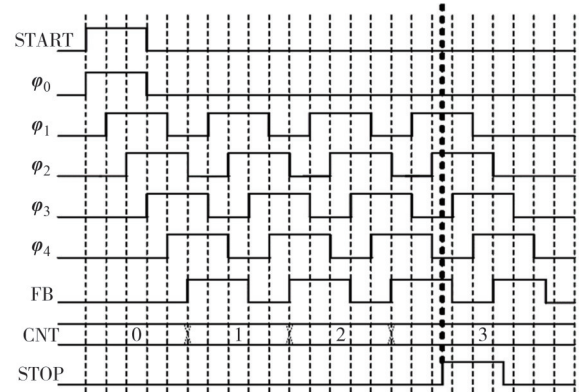


图 6 第一级 TDC 时序

Fig.6 First-stage TDC timing

2.3 余量过渡电路设计

输入时间差在经过第一级环形 TDC 量化后,余量时间小于其分辨率,需要经过过渡电路传输至第二级 TDC 进行细量化. 本文设计了一种精简的余量过渡电路,如图 7 所示,通过组合逻辑运算控制互补开关电路,在有效实现功能的同时减少整体功耗及芯片面积. 第一级 TDC 的 φ_n 信号分别接入 MUX 中,选通信号取决于对应触发器信号 Q_n 及相邻触发器信号 Q_{n-1} 和 Q_{n+1} . 由于存在触发器延时时间, φ_n 信号需要经过适宜的缓冲器延迟接入 MUX,选通信号为 $Q_{n-1} \cdot Q_n \cdot Q'_{n+1}$,输出信号 S_n . S_n 分别接入互补开关电路,它可以第一个到达的 S_n 信号作为最终的 START1 信号,当某一 S_n 信号上升沿到达,导通对应的 NMOS,将输出端电平拉高. 相应的 STOP 信号经过相似的处理得到 STOP1 信号, START1 和 STOP1 作为第二级细量化 TDC 电路的两个输入信号,其时间间隔即为第一级 TDC 未量化的时间差.

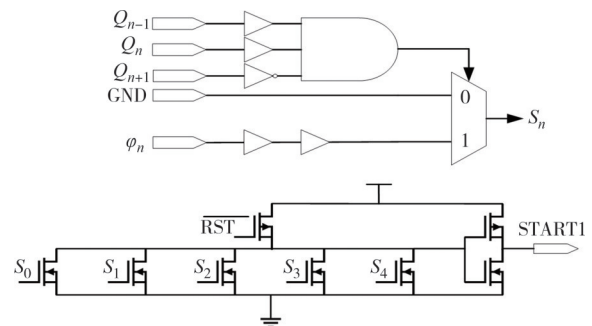


图 7 余量过渡电路结构

Fig.7 Residual transition circuit structure

2.4 反向自补偿 TDC 电路设计

根据 1.1 节分析,传统延迟链型 TDC 的两个输入信号在进入延迟链后,由于每一级延迟单元之间的不匹配性,产生逐渐累加偏移.为了有效应对这种偏移问题,本文在第二级 TDC 架构设计中采用了一种反向

自补偿的 TDC 结构,如图 8 所示.通过设计 START1 信号延迟链与 STOP1 信号延迟链之间的反向错位匹配,系统性地补偿在信号传输过程中累加的偏移量,以确保对时间差的精确量化,并在此基础上进一步优化量化精度,实现更高水平的时间测量准确性.

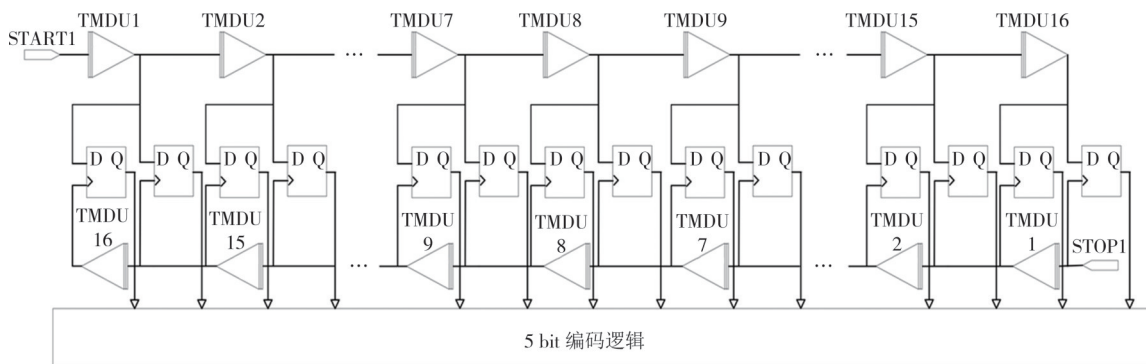


图 8 反向自补偿 TDC 结构

Fig.8 Reverse self-compensating TDC structure

在具体实现上,START1 信号遵循从左至右的传播方向,逐步生成一组具有时间梯度的 START1 信号向量.而 STOP1 信号则采取了一种从右至左的传播方向,通过另一条延迟链产生对应的 STOP1 信号向量.这两条延迟链均由 16 组三级匹配延迟单元 (three-stage matched delay unit, TMDU) 构成,由于反向错位的设计,整体结构包含 32 组采样器,最终得到一组 32 bit 的伪温度码.本文全部采样触发器使用真单相时钟结构,如图 9 所示,避免了传统的基于传输门和反相器的 D 触发器中非交叠时钟的设计,适合于低功耗、高速的仿真设计.

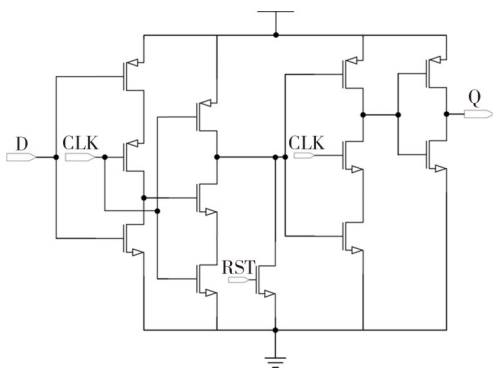


图 9 真单相时钟触发器

Fig.9 True single phase clock trigger

伪温度码随后被送入编码逻辑单元进一步处理,通过编码逻辑的转换,最终得到 5 bit 的细量化结果.通过将 START1 和 STOP1 信号在两条延迟链上进行反向传播,两条路径中因累积偏移等因素引起

的失配误差得以相互抵消,从而实现了对偏移的有效消除.这种自补偿机制不仅简化了外部校准的需求,还显著提高了 TDC 的整体性能和稳定性.

为提高第二级细量化 TDC 的分辨率,本文设计了 TMDU 作为第二级 TDC 的延迟单元.传统延迟链型 TDC 中,反相器是组成延迟链的基本单元,两个串联的反相器组成了一个基本延迟单元模块,其延迟时间主要取决于采用的工艺制程,以及对 MOS 管尺寸的调整.本文设计的三级匹配延迟单元由三级串联的不同尺寸缓冲器构成,第一级为中等尺寸缓冲器,构成延迟链传递信号;第二级为小尺寸缓冲器,降低了第一级输出负载从而减少延迟时间;第三级为大尺寸缓冲器,调整延迟单元的输出信号波形并传送至采样触发器 D 端口.经测试,使用 TSMC 0.18 μm 工艺,采用三级匹配延迟单元的延迟链分辨率可以达到 47 ps,较传统延迟链 55 ps 的分辨率提高约 15%.

图 10 表示了反向自补偿结构 TDC 的编码逻辑, X 轴表示 START1 信号向量, Y 轴表示 STOP1 信号向量,计算两个信号传播后所经过的延迟单元数量之和,若该和的值等于延迟链总数或总数加 1,即可据此确定输出量化码.例如,在 START1 信号为第 8 列、STOP1 信号为第 8 行时采样器由低电平转为高电平,则编码逻辑输出 0.

2.5 全局逻辑控制电路设计

全局逻辑控制电路如图 11 所示,包含三部分,其功能为控制 SCM 选通及产生两级 TDC 的复位信

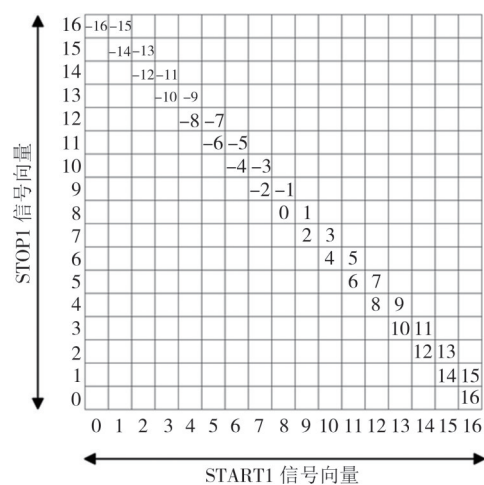


图 10 第二级 TDC 编码逻辑

Fig.10 Second-stage TDC coding logic

号,分段清空 TDC 内部的采样模块,辅助 TDC 完成一次量化后恢复至初始状态. SCM 选通逻辑为当计数器信号 $C_0\sim C_3$ 输出全部为低电平且 φ_0 信号的采样单元输出为低电平时认为 TDC 为初始状态,选通 START 信号,否则在 STOP 信号上升沿到来之前选通反馈的 FB 信号. STOP 信号在延迟后作为第一级 TDC 的自动复位信号 RST1,第二级 TDC 的 5 bit 编码逻辑输出信号 $A_0\sim A_4$ 中,任意一位产生输出时认为第二级 TDC 完成量化,生成第二级 TDC 自动复位信号 RST2. 两级 TDC 也可以分别通过外部复位信号进行复位.

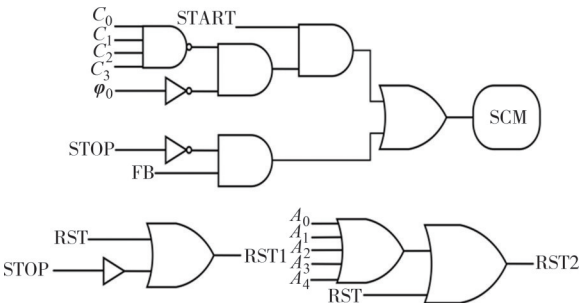


图 11 全局逻辑控制电路

Fig.11 Global logic control circuit

2.6 电压生成电路设计

在第一级环形 TDC 中,每个延迟单元的延迟时间为第二级 TDC 的量程,为了获得足够大的延迟时间,第一级环形 TDC 采用压控缓冲器作为延迟单元,同时在一些组合逻辑路径时间补偿中也采用了压控缓冲器,需要稳定的电压作为输入. 电压生成电路由场效应管、三极管和电阻构成^[17]. 使 MOS 管工作在饱和区,以产生与电源无关的电流,而输出电压由三极管和电阻的压降控制,通过调整器件尺寸可以得

到不同的输出电压,不同偏压的延迟单元产生不同的延迟时间. 电路还可以保证输出电压不受电源电压及温度的影响,从而保证延迟单元的延迟时间稳定.

3 结果与分析

本文设计的新型高精度两步式 TDC 使用 TSMC 0.18 μm CMOS 工艺流片,整体芯片面积为 $0.75\text{ mm}\times 0.64\text{ mm}$,芯片端口由金丝线键合至测试板,如图 12 所示.

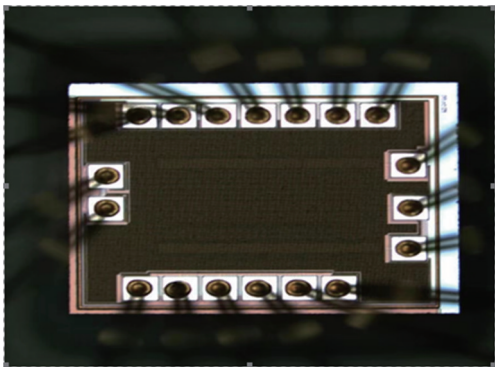


图 12 芯片显微镜照片

Fig.12 Microscope photo of the chip

图 13 为芯片顶层版图. 为了减小版图走线对延迟单元延时的影响,尽可能提高分辨率,设计版图的过程中应使相邻两个延迟单元之间的信号线长度保持一致. 第二级 TDC 采用双延迟线结构来实现精量化,在版图设计中需要考虑正向链和反向链的匹配性,两条延迟链中延迟单元的位置需要对称匹配来保证较高精度.

图 14 为芯片测试系统. 使用 Verilog 硬件描述语言对 FPGA 编程,生成 TDC 芯片所需的 START、STOP 等信号作为测试激励并接收输出反馈信号传递至上

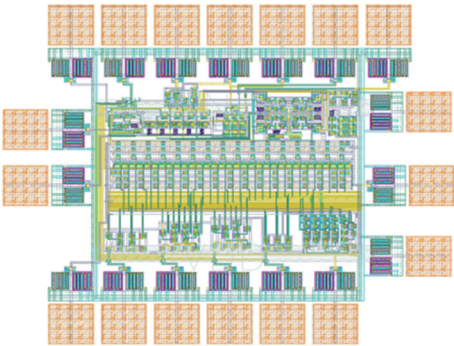


图 13 芯片顶层版图

Fig.13 Chip top-level layout

位机. 本文使用 ZYNQ-7000 系列 FPGA 搭建测试平台, 例化双端口 RAM IP 核至 FPGA 中存储 TDC 输出的数字码. 同时设计 UART 模块, 将 RAM 中的数据读出至 UART 端口, 通过 UART 串口传输协议传输至上位机, 使用串口调试助手软件接收 FPGA 发送的数据, 如图 15 所示. 将测试数据传输至上位机后再进行进一步的计算处理.



图 14 芯片测试系统

Fig.14 System for chip testing

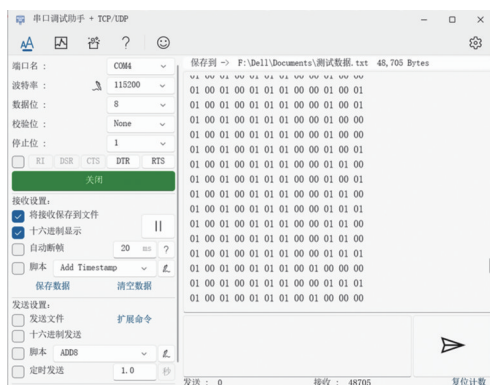


图 15 上位机数据接收

Fig.15 Data reception at the upper computer

全范围输入下 TDC 测试结果如图 16 所示. 根据测试结果, 本文设计的 TDC 实现了 47 ps 的分辨率、56 ns 的量程, 输出 10.2 bit 有效位.

保持 START 信号不变, STOP 信号与 START 信

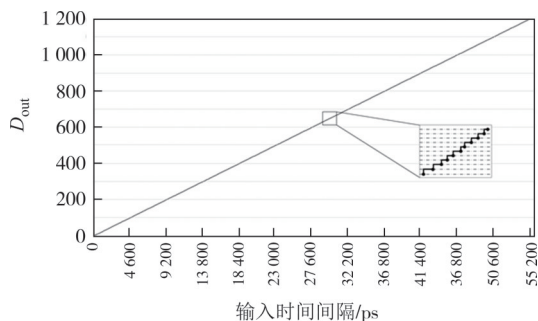
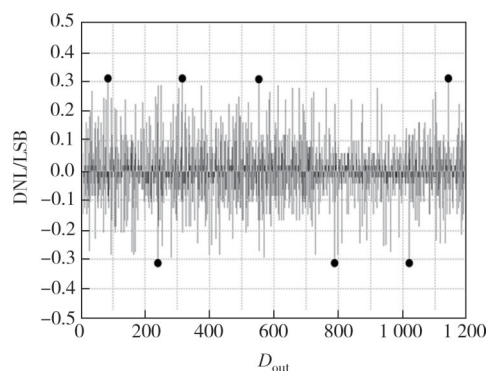


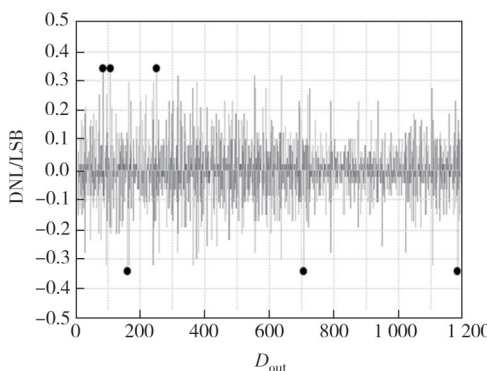
图 16 全范围输入下 TDC 测试结果

Fig.16 TDC test result of full range input

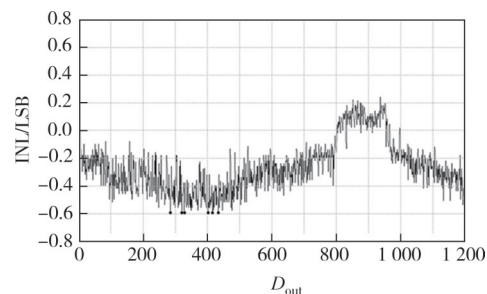
号的延迟差从 0 ps 开始进行测试. 选取输出数字信号的跳变点, 对数据处理后得到 TDC 的微分线性度 (DNL) 和积分线性度 (INL), 后仿与测试结果如图 17 所示. DNL 仿真最大值为 0.32 LSB, INL 仿真最大值为 0.60 LSB. DNL 测试最大值为 0.34 LSB, INL 测试最大值为 0.68 LSB. DNL 和 INL 的测试结果与后仿结



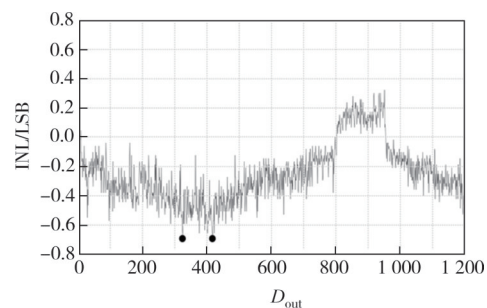
(a) DNL 后仿结果



(b) DNL 测试结果



(c) INL 后仿结果



(d) INL 测试结果

图 17 DNL 和 INL 后仿结果与测试结果

Fig.17 Post-simulation results and test results of DNL and INL

果分别相差约 0.02 LSB 和 0.08 LSB,出现此现象的原因为代工厂提供的晶体管建模并非完全准确,会与实际的有一定的偏差.同时芯片通过测试板进行测试,引入非理想的寄生效应,导致 TDC 精度有所降低.

对比单一缓冲器作为延迟单元,三级匹配延迟单元的瞬态仿真结果如图 18 所示.使用方波信号作为输入,信号经过两种延迟单元会产生不同的延迟时间,仿真结果显示三级匹配延迟单元可以将延迟时间减少约 15%.

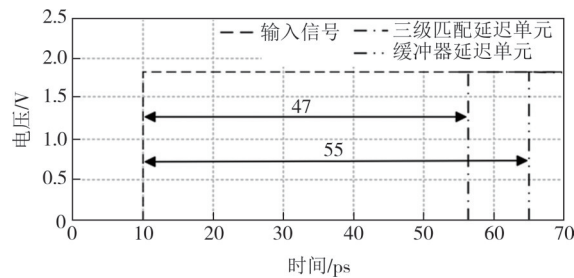


图 18 TMDU 与传统延迟单元仿真结果对比
Fig.18 Comparison of TMDU and traditional delay unit simulation results

余量过渡电路仿真结果如图 19 所示.使用方波信号作为 START 和 STOP 的输入信号,保持 START 信号恒定,STOP 信号相对于 START 信号的延迟从 0 ps 开始,步长设置为 0.5 ps,将 START1 和 STOP1 信号的延迟差作为输出.若在设计中产生由路径延迟不匹配造成的固定延迟差,可以在相反方向增加信号的固定延迟予以抵消.仿真结果表明,余量过渡电路可以精准地将第一级 TDC 未能量化的时间差过渡至第二级 TDC 进行细量化.

TDC 中有多处设计需要恒定偏置电压作为输入,以第一级 TDC 的压控延迟单元为例,电压生成电路的仿真结果如图 20 所示,经过 85 ps 后电路趋于稳定,输出 870 mV 的偏置电压.不同的输出电压可以通过调整器件尺寸来获得.

本文提出的新型 TDC 结构主要创新在于:设计了采样补偿环形 TDC 作为粗量化级,减小了传统结

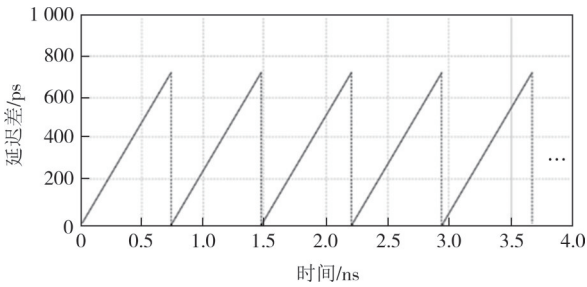


图 19 余量过渡电路仿真结果
Fig.19 Simulation results of residual transition circuit

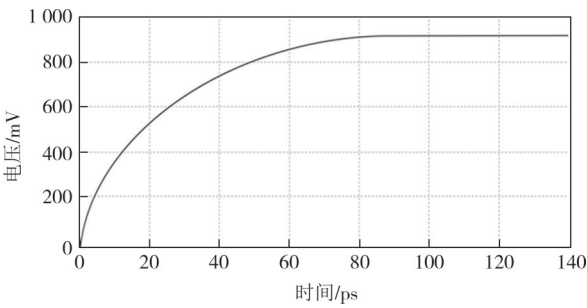


图 20 电压生成电路的仿真结果
Fig.20 Simulation results of voltage generation circuit

构由选择器造成的误差,为整体 TDC 提供大量程;在传统两步式 TDC 结构中加入反向自补偿 TDC 作为细量化级,解决了由延迟单元不匹配造成的偏移误差,同时在整体 TDC 结构中保证了高分辨率;设计了三级匹配延迟单元作为细量化级的延迟单元,根据仿真及测试结果,在达到工艺极限的基础上进一步提高了 TDC 的分辨率.本文设计的 TDC 与其他文献中 TDC 主要参数对比如表 1 所示.通过测试数据对比可知,本文设计的 TDC 在使用较落后节点工艺流片的情况下,对比传统结构仍实现了更高的分辨率.同时,更高的精度体现了本文设计的两级 TDC 在一定程度上弥补了传统结构的缺陷,实现了更好的性能.本文设计的 TDC 用于组成 ADPLL 系统,根据处理较高频率的需求来设定量程,如应用于其他系统可进一步提高量程.同时,本设计无须引入外部参考时钟,芯片面积较小,保证了较低的成本,为传统结构 TDC 存在的问题提供了一种有效的解决思路.

表 1 TDC 主要参数对比

Tab.1 Comparison of the main parameters of TDC

文献	工艺/nm	结构	分辨率/ps	量程/ns	DNL/LSB	INL/LSB	功耗/mW
[18]	110	两步式	51.7	3 400	0.83	1.25	<100
[19]	65	游标	19.5	2 500	1.679	2.751	51.4
[20]	65	振荡器	61	—	0.9	3	5
本文	180	无偏移两步式	47	56	0.34	0.68	16.1

4 结论

本文针对传统 TDC 中分辨率与量程相互制约及存在由延迟单元不匹配性造成偏移时间误差的问题,提出了一种高精度两步式 TDC 结构. 该设计包括采样补偿环形 TDC、精简互补开关过渡电路、反向自补偿链结构 TDC、全局逻辑控制模块及电压生成电路. 基于 TSMC 0.18 μm CMOS 工艺流片的测试结果显示,该 TDC 具有 47 ps 的分辨率、56 ns 的量程, DNL 小于 0.34 LSB, INL 小于 0.68 LSB, 并且拥有较小的芯片面积和功耗. 该结构能够较好地兼顾分辨率和量程,同时弥补了传统结构产生偏移的缺陷.

参考文献

- [1] 姚亚峰, 孙金傲, 霍兴华, 等. 一种结合高精度 TDC 的快速全数字锁相环[J]. 湖南大学学报(自然科学版), 2017, 44(8): 131-136.
YAO Y F, SUN J A, HUO X H, et al. A fast all digital phase-locked loop with high precision TDC [J]. Journal of Hunan University (Natural Sciences), 2017, 44 (8): 131-136. (in Chinese)
- [2] CHEN P, MENG X, YIN J, et al. A 529 μW fractional-N all-digital PLL using TDC gain auto-calibration and an inverse-class-F DCO in 65 nm CMOS [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(1): 51-63.
- [3] KWON K, ABDELATTY O A B, WENTZLOFF D D. PLL fractional spur's impact on FSK spectrum and a synthesizable ADPLL for a bluetooth transmitter [J]. IEEE Journal of Solid-State Circuits, 2023, 58(5): 1271-1284.
- [4] SHEN Z K, JIANG H Y, YANG F, et al. A 24 GHz self-calibrated all-digital FMCW synthesizer with 0.01% RMS frequency error under 3.2 GHz chirp bandwidth and 320 MHz/ μs chirp slope [J]. IEEE Journal of Solid-State Circuits, 2022, 57(7): 2167-2180.
- [5] KAO Y H, CHU T S. A direct-sampling pulsed time-of-flight radar with frequency-defined vernier digital-to-time converter in 65 nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2015, 50(11): 2665-2677.
- [6] ARVANI F, CARUSONE T C. A reconfigurable 5-channel ring-oscillator-based TDC for direct time-of-flight 3D imaging [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(5): 2408-2412.
- [7] LIU M L, LIU B Z, HU J, et al. A 16-channel analog CMOS SiPM with on-chip front-end for D-ToF LiDAR [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(6): 2376-2386.
- [8] SCOTT R, JIANG W, DEEN M J. CMOS time-to-digital converters for biomedical imaging applications [J]. IEEE Reviews in Biomedical Engineering, 2023, 16: 627-652.
- [9] LIN S J, CHEN H C. A TDC-based temperature sensor for biomedical applications [J]. IEEE Sensors Journal, 2022, 22(11): 10396-10403.
- [10] DUDEK P, SZCZEPANSKI S, HATFIELD J V. A high-resolution CMOS time-to-digital converter utilizing a vernier delay line [J]. IEEE Journal of Solid-State Circuits, 2000, 35(2): 240-247.
- [11] DENG W, CHEN Z P, JIA H K, et al. A self-adapted two-point modulation type-II digital PLL for fast chirp rate and wide chirp-bandwidth FMCW signal generation [J]. IEEE Journal of Solid-State Circuits, 2022, 57(4): 1162-1174.
- [12] KIM K, KIM Y, YU W, et al. A 7 bit, 3.75 ps resolution two-step time-to-digital converter in 65 nm CMOS using pulse-train time amplifier [J]. IEEE Journal of Solid-State Circuits, 2013, 48(4): 1009-1017.
- [13] HU J, LI D, WANG X Y, et al. A 40-ps resolution robust continuous running VCRO-based TDC for LiDAR applications [J]. Transactions on Circuits and Systems II: Express Briefs, 2023, 70(2): 426-430.
- [14] JANSSON J P, MANTYNIEMI A, KOSTAMORAARA J. A multi-channel wide range time-to-digital converter with better than 9 ps RMS precision for pulsed time-of-flight laser range finding [C]// IEEE European Solid-State Circuits Conference, September 17-20, 2012, Bordeaux, France: IEEE, 2012: 273-276.
- [15] JI W W, LIU P F, NIU Y Y, et al. A high-resolution, high-linearity, two-step time-to-digital converter for wideband counter-assisted ADPLL in 0.13 μm CMOS [C]// 2012 IEEE 11th International Conference on Solid-State and Integrated Circuit Technology, October 29-November 1, 2012, Xi'an, China: IEEE, 2012: 1055-1057.
- [16] 陈小云. 锁相环中 TDC 及 AFC 的研究与设计 [D]. 南京: 东南大学, 2022.
CHEN X Y. Research and design of TDC and AFC in phase-locked loop [D]. Nanjing: Southeast University, 2022. (in Chinese)
- [17] 赖柏冲. 宽输入低功耗 LDO 设计与技术研究 [D]. 成都: 电子科技大学, 2023.
LAI B C. Design and technology research of wide input range low power consumption LDO [D]. Chengdu: University of Electronic Science and Technology of China, 2023. (in Chinese)
- [18] 赵捷, 赵野, 童纪昀, 等. 一种用于 TOF 激光雷达的多通道时数转换芯片设计 [J]. 半导体光电, 2021, 42(3): 342-347.
ZHAO J, ZHAO Y, TONG J Y, et al. A design of multi-channel time-to-digital converter for TOF lidar [J]. Semiconductor Optoelectronics, 2021, 42(3): 342-347. (in Chinese)
- [19] ZHANG W, MA R, WANG X Y, et al. A high linearity TDC with a united-reference fractional counter for LiDAR [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(2): 564-572.
- [20] RONCHINI XIMENES A, PADMANABHAN P, LEE M J, et al. A modular, direct time-of-flight depth sensor in 45/65-nm 3-D-stacked CMOS technology [J]. IEEE Journal of Solid-State Circuits, 2019, 54(11): 3203-3214.