文章编号:1674-2974(2025)06-0195-08 DOI:10.16339/j.cnki.hdxbzkb.2025189

高速低消耗数字插值滤波器设计

姚亚峰[1],王桐[1],徐洋洋[1†],辛拯宇[2]
[1. 中国地质大学(武汉)机械与电子信息学院,湖北 武汉 430074;
2. 重庆声光电有限公司 模拟集成电路重点实验室,重庆 400060]

摘 要:针对传统数字插值滤波器硬件资源消耗大、工作速度慢等问题,提出一种基于运算资源复用的改进数字插值滤波器的设计方法.该方法在多相数字插值滤波器的基础上,对滤波器架构进行了优化,实现核心运算资源的复用,可以明显降低电路资源消耗和功耗.提出的新型构架滤波器采用FPGA平台进行了原型验证,并与传统插值滤波器、多路并行插值滤波器和多相插值滤波器进行了对比.结果表明,改进滤波器所占用寄存器数量较传统结构减少65%,较多路并行结构减少73%,较多相结构减少28%;最大工作时钟频率较传统结构提升129%,较多路并行结构提升13.8%,功耗也要低于传统结构、多路并行结构,更适合高速、低消耗等应用场景.

关键词:插值;数字滤波器;现场可编程门阵列(FPGA);数模转换器;数字上变频
中图分类号:TN492 **文献标志码**:A

Design of High-speed Low-power Digital Interpolation Filters

YAO Yafeng[1], WANG Tong[1], XU Yangyang[1†], XIN Zhengyu[2]
[1. School of Mechanical Engineering and Electronic Information, China University of Geosciences(Wuhan), Wuhan 430074, China;
2. Analog IC Key Laboratory, Chongqing Acoustic-Optic-Electronic Co., Ltd., Chongqing 400060, China]

Abstract: In response to the issues of high hardware resource consumption and slow processing speed associated with traditional digital interpolation filters, a design methodology based on operand resource reuse is proposed to enhance digital interpolation filter performance. Building upon the foundation of a polyphase digital interpolation filter, this method optimizes the filter architecture to enable the reuse of core computational resources, resulting in a significant reduction in circuit resources and power consumption. A novel architecture filter proposed in this study is prototyped verified on an FPGA platform, and comparative analyses are conducted with traditional interpolation filters, multi-channel parallel interpolation filters, and polyphase interpolation filters. The results indicate that the improved filter requires 65% fewer registers compared to the traditional structure, 73% fewer registers compared to the multi-channel parallel structure, and 28% fewer registers compared to the polyphase structure, respectively. The maximum operating clock frequency is increased by 129% compared to the traditional structure and 13.8% compared to the multi-channel parallel structure. Moreover, power consumption is lower than

* **收稿日期**:2024-04-06
基金项目:模拟集成电路国家重点实验室稳定支持项目(JCKY2019210C058), Stability Support Project of State Key Laboratory of Analog Integrated Circuits (JCKY2019210C058)
作者简介:姚亚峰(1970—),男,湖北黄梅人,中国地质大学(武汉)副教授,博士
† 通信联系人,E-mail: 1356950816@qq.com

that of traditional structure and multi-channel paralle structure, making it more suitable for high-speed and low-power consumption applications.

Key words: interpolation; digital filters; field programmable gate arrays (FPGA); analog to digital converter; digital up-conversion

数字上变频(digital up-conversion , DUC)早已成为高速高精度数模转换器(digital-to-analog converter, DAC)的重要组成部分[1-4], 而高速、低功耗数字插值滤波器是数字上变频的必然要求. 受限于技术水平, 单纯通过高速端口实现高采样率十分困难, 电子系统通过集成数字插值滤波器[5-6]就可以完成对外部输入的低频数字信号的升采样处理[7], 在不提高输入端口速率的同时有效提高数据率, 有效降低了DAC内核的高更新速率对输入端口速率的要求. 早在20世纪80年代, Vaidyanathan 发表大量相关文章, 推动了多速率数字信号处理的快速发展. 随后宗孔德于1996年在《多抽样率信号处理》中对内插滤波进行了详细介绍. 要实现高倍数的插值,就需要高阶数的滤波器, 运算量随之增大,实现该滤波器的难度也就越大. 对于本身速率就较高的信号, 在经过几级的插值操作后, 信号的采样率可能会远大于系统本身的工作时钟频率. 这导致在工程实践中, 要实现插值滤波器愈发困难[8-9]. 使用多路并行滤波结构可降低每一路滤波器工作频率, 有助于滤波器的实现, 但该方法需要消耗大量硬件资源. 采用多相滤波结构有助于在改变数字信号采样率的同时降低实现难度[10], 但对于需要高采样率精度的场景, 该结构并不适用. 针对普通多相滤波采样率精度不够高的问题,研究人员也提出了基于多相滤波器组的信道化处理方法[11-12]. 该方法可以在多个不同带宽的信道中处理被分解的高速率数据, 但不同信道中的数据可能存在串扰, 这也会增加实现高速滤波的难度和成本, 因此在高速滤波时减少滤波电路的成本一直是主要研究方向. 随着多速率信号处理技术的迅速发展, 为满足复杂通信系统分数倍速率转换的需求, 当前研究多聚焦于不同种类多速率滤波器的级联. 例如, Renfors 等[13]提出了一种结合成型滤波器、半带滤波器组和分数插值滤波器的结构, 可实现带宽可变多速率处理. 曾涛等[14]设计了一个由基带成型滤波器和多级半带滤波器组成的滤波系统, 在降低滤波器阶数的同时保证了传输信号波形不受影响. 谢海霞等[15]针对高阶插值滤波器用单个滤波器难以实现的问题, 提出一种由级联积分-组合(cascaded integrator-comb, CIC)抽取滤波器、补偿滤波器、半带(half band, HB) 抽取滤波器和有限冲激响应(finite impulse response, FIR)滤波器组成的级联组设计方案, 该系统能够实现输入数据的 128 倍抽取功能. 滤波器级联组架构适用于当前复杂的通信系统, 但级联组中单个插值滤波器仍采用多路多相结构实现,对单个多速率数字处理滤波器结构进行优化和改进, 可以直接提升滤波器级联组架构的整体性能[16], 并减少资源消耗.

基于以上分析, 本文针对传统插值滤波器工作时钟过高, 硬件资源消耗大的问题, 结合数字变频的插值特性, 以及FIR滤波器系数的特点对多相滤波器的乘法器资源进行复用, 在最大限度保留多路多相结构插值滤波器速度优势的基础上, 达到简化硬件结构, 显著减少硬件资源的消耗的目的. 通过分析和比较, 该设计不仅有效解决了传统插值滤波结构工作时钟频率过高的问题, 而且针对常见的多相插值结构, 节约了近一半的乘法运算资源.

1 传统数字插值滤波器

对于整数倍内插来说, 数据的采样率会在一次插值运算后提高. 将一个采样序列$x(i)$进行N倍内插, 就需要在每两个相邻采样点间插入$N-1$个点(一般为0), 其中i为采样点序号. 得到插值后的序列可表示为:

$$c(i)=\begin{cases} x\left(\dfrac{i}{N}\right), & i=0,\pm N,\pm 2N,\cdots \\ 0, & \text{其他} \end{cases} \tag{1}$$

对插值器输出做Z变换可以得到式(2):

$$C(z)=\sum_{i=-\infty}^{+\infty}c(i)z^{-i}=\sum_{i=-\infty}^{+\infty}x(i)z^{-iN}=X\left(z^{N}\right) \tag{2}$$

将$z=\mathrm{e}^{\mathrm{j}w}$代入式(2), 其中$w$为角频率. 可

得式(3):

$$C(e^{jw}) = X(e^{jwN}) \tag{3}$$

由式(3)可以看出,对原采样序列进行N倍内插之后,原信号的频谱被N倍压缩,此过程相当于在时域上对原序列做拓展,故采样序列时域分辨率明显提高.若信号采样率提升到原采样率的N倍,会导致插值后信号在频域产生N-1个镜像信号.因此要从内插后的信号中恢复出原始信号,须通过一个通带带宽为π/N的低通滤波器.

图1为原始信号经内插后进行带宽为π/N的低通滤波.其中,$C'(e^{jw})$是插值后信号经滤波后恢复得到的原始信号的频谱响应.考虑到有限冲激响应滤波器具有线性相位,而线性相位特性会导致滤波器系数具有对称性,因此多速率数字信号处理中的滤波器常采用FIR结构.

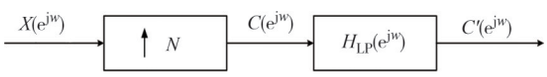


图1　插值滤波器框图

Fig.1　Diagram of the interpolation filter

2　改进的插值滤波器

2.1　多路并行插值滤波

图2为传统3倍插值滤波器,信号经过插值之后采样率变为原来的3倍.

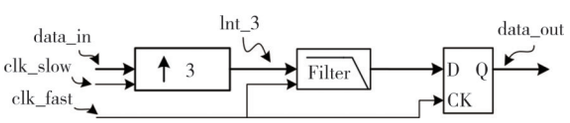


图2　传统3倍插值滤波器

Fig.2　Traditional triple interpolation filter

如图3所示,传统3倍插值滤波器在具体工作过程中,数据输出时钟clk_fast的频率是数据输入时钟clk_slow的3倍,此时滤波器工作在高频时钟clk_fast下.图3所示的3倍插值滤波器中,当时钟频率较低时并不会导致严重的问题.但若clk_slow的频率为1 000 M甚至更高,则时钟clk_fast的频率就要求在3 000 M以上,电路工作频率过高时,很容易出现时序违例,进而导致工作发生错误,且过高的时钟频率也意味着更大的功耗和噪声.

多路并行插值滤波器可以降低滤波器工作时钟频率,有效弥补传统插值滤波结构的缺点.多路并行3倍插值滤波器结构如图4所示,其工作时序如图5所示.同样地,数据输出时钟clk_fast的频率是

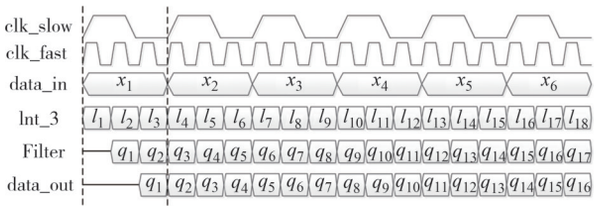


图3　传统3倍插值滤波器工作时序图

Fig.3　Timing diagram of the traditional triple interpolation filter

数据输入时钟clk_slow的3倍,但此时滤波器是工作在低频时钟clk_slow下的.对比图3和图5可以发现,多路并行插值滤波器中,每一路滤波器产生输出的频率都是传统结构的1/3,而最终的输出data_out完全一样.这意味着多路并行结构的工作时钟频率只需为传统结构的1/3,就可以取得一样的滤波效果.

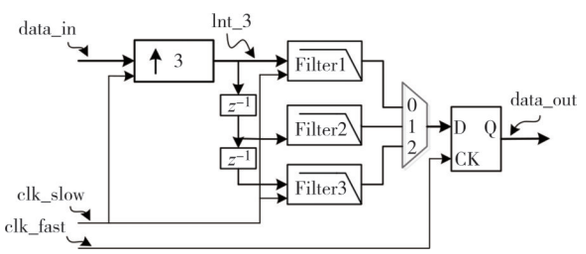


图4　多路并行3倍插值滤波器

Fig.4　Multi-path parallel triple interpolation filter

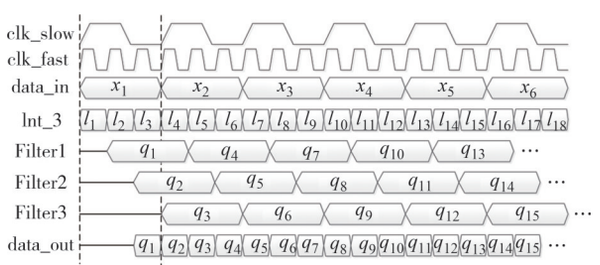


图5　多路并行3倍插值滤波器工作时序图

Fig.5　Timing diagram of the multi-path parallel triple interpolation filter

2.2　滤波器多相分解

滤波器的多相分解过程如下,假定FIR滤波器的冲激响应为$h(n)$,其Z变换见式(4):

$$H(z) = \sum_{n=0}^{S-1} h(n) z^{-n} \tag{4}$$

其中,S为滤波器的系数个数.将式(4)展开,可以得到抽取滤波器的多相结构,见式(5):

$$\begin{aligned} H(z) &= h(0)z^0 + h(1)z^{-1} + \cdots + \\ &h(M)z^{-M} + h(M+1)z^{-(M+1)} = \\ &h(0)z^0 + h(M)z^{-M} + h(2M)z^{-2M} + \cdots + \\ &h[(P-1)M]z^{-(P-1)M} + h(1)z^{-1} + \end{aligned}$$

$$h(M+1)z^{-(M+1)}+h(2M+1)z^{-(2M+1)}+\cdots+$$
$$h[(P-1)M+1]z^{-(P-1)M-1}+$$
$$h(M-1)z^{-(M-1)}+h(2M-1)z^{-(2M-1)}+$$
$$h(3M-1)z^{-(3M-1)}+\cdots+$$
$$h[(P-1)M+M-1]z^{-(P-1)M-(M-1)} \tag{5}$$

特别地,令:

$$E_k(z^M)=\sum_{n=0}^{P-1}h(nM+k)(z^{-nM}) \tag{6}$$

式中:$k=0,1,\cdots,M^{-1}$; $P=\dfrac{S}{M}$.

则$H(z)$的多相分解可以表示为式(7):

$$H(z)=\sum_{k=0}^{M-1}z^{-k}E_k(z^M) \tag{7}$$

式中:P为分相个数;M为每一个相位中非零滤波器系数的个数;$E_k(z^M)$就是分解出来的多相分量.同样地,令$P=S/N$,就得到了插值滤波器的多相结构,见式(8):

$$H(z)=\sum_{k=0}^{N-1}z^{N-1-k}R_k(z^N) \tag{8}$$

$$R_k(z^N)=\sum_{n=0}^{P-1}h(nM+M-1-k)(z^N)^{-n} \tag{9}$$

根据式(8)得到N相插值滤波器的结构如图6所示.

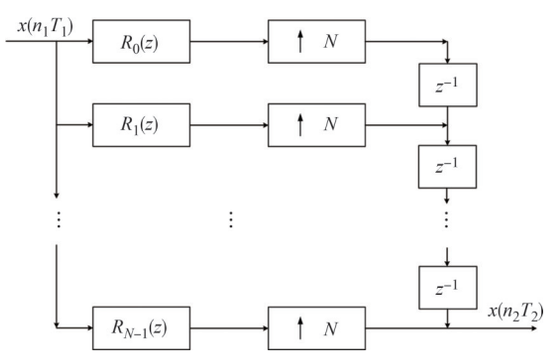


图6 N相插值滤波器结构

Fig.6 Structure of N-phase interpolation filter

多相分解使得运算发生在插值滤波器数据率较低的一端,极大降低了滤波器工作时钟的频率,减小了硬件在时序上的压力.

2.3 改进的数字插值滤波器

由于FIR滤波器的线性相位特性,其系数具有两边对称的特点.以一个3倍FIR插值滤波器为例:$[h_1,h_2,0,h_3,h_4,0,h_5,h_6,0,h_7,h_8,0,h_9,h_{10},h_c,h_{10},h_9,0,h_8,h_7,0,h_6,h_5,0,h_4,h_3,0,h_2,h_1]$.

原始输入数据插值过程如图7所示,插值后数据率变为原来的3倍.

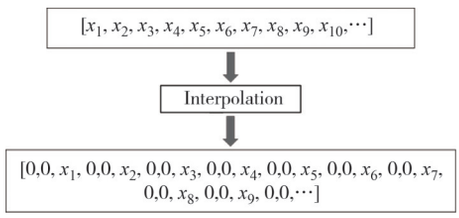


图7 输入数据插值

Fig.7 Interpolation of input data

插值后数据与滤波器系数滑动卷积的过程如图8所示.

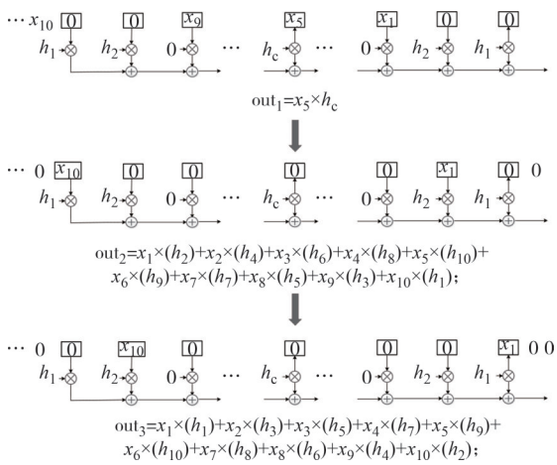


图8 输出的3种类型

Fig.8 Three types of output

当滤波器系数和数据$[0,0,x_1,0,0,x_2,0,0,x_3,0,0,x_4,0,0,x_5,0,0,x_6,0,0,x_7,0,0,x_8,0,0,x_9,0,0]$相乘并累加即得第1类结果$\text{out}_1=x_5\times h_c$.

当滤波器系数和数据$[0,x_1,0,0,x_2,0,0,x_3,0,0,x_4,0,0,x_5,0,0,x_6,0,0,x_7,0,0,x_8,0,0,x_9,0,0,x_{10}]$相乘并累加得到第2类结果$\text{out}_2=x_1\times(h_2)+x_2\times(h_4)+x_3\times(h_6)+x_4\times(h_8)+x_5\times(h_{10})+x_6\times(h_9)+x_7\times(h_7)+x_8\times(h_5)+x_9\times(h_3)+x_{10}\times(h_1)$.

当滤波器系数和数据$[x_1,0,0,x_2,0,0,x_3,0,0,x_4,0,0,x_5,0,0,x_6,0,0,x_7,0,0,x_8,0,0,x_9,0,0,x_{10},0]$相乘并累加得到第3类结果$\text{out}_3=x_1\times(h_1)+x_2\times(h_3)+x_3\times(h_5)+x_4\times(h_7)+x_5\times(h_9)+x_6\times(h_{10})+x_7\times(h_8)+x_8\times(h_6)+x_9\times(h_4)+x_{10}\times(h_2)$.

再当滤波器系数和数据$[0,0,x_2,0,0,x_3,0,0,x_4,0,0,x_5,0,0,x_6,0,0,x_7,0,0,x_8,0,0,x_9,0,0,x_{10},0,0]$相乘并累加便再得到第1类结果$\text{out}_1=x_5\times h_c$.

不难发现该3倍插值滤波器的输出只有3种类型,这就是该滤波器3相分解,其中每一个相位分量拥有该滤波器的部分系数,合起来就是完整的滤波器系数.由于插值的缘故,某一时刻的输出只与其中

一个相位分量有关.第一相输出只与最中间的滤波器系数h_c有关.第二相和第三相输出所涉及的乘数因子是相同的,由于固定系数滤波器中乘数因子以硬件的形式固定在电路中,故对该多路并行插值滤波器中的乘法运算资源进行复用.最终得到改进插值滤波器结构如图9所示.

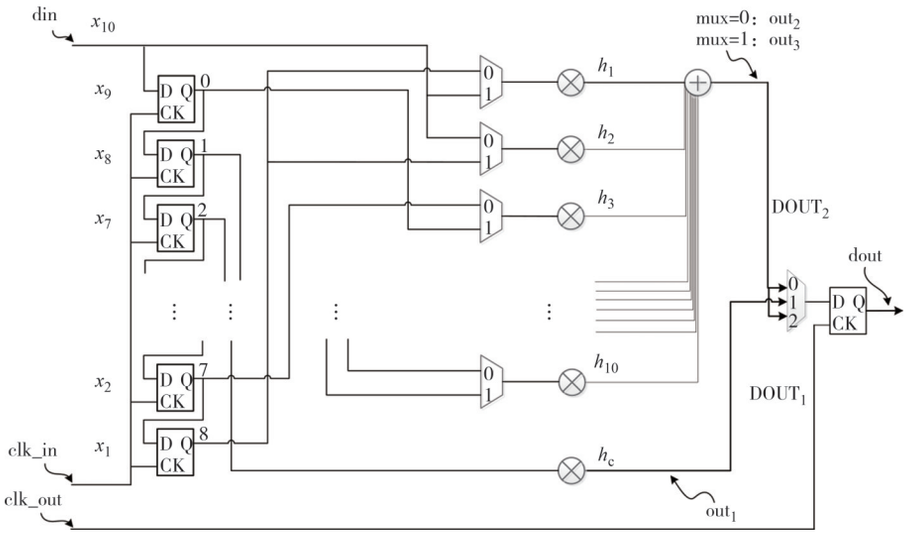


图9　改进插值滤波器结构框图

Fig.9　Diagram of the improved interpolation filter structure

3　仿真及分析

采用Verilog HDL语言分别实现传统插值滤波器、多路并行插值滤波器、多相插值滤波器及改进高速低消耗插值滤波器.选用Questasim仿真环境分别进行仿真,通过Matlab对插值滤波前后的数据进行频谱分析.

改进插值滤波器仿真结果如图10所示,输出时钟clk_out的频率为输入时钟clkin的3倍,输出信号dout的采样率也是输入信号din采样率的3倍.图11为改进结构插值滤波器归一化幅频响应,归一化频率以每个样本点的弧度(rad/sample)表示,单位为π·rad/sample,如归一化频率为0.5,则每经过一个样本,信号的相位变化为0.5π rad.根据信噪比(signal-to-noise ratio, SNR)计算公式$\mathrm{SNR}=10\log_{10}\frac{P_s}{P_n}$求出采样点信噪比并做归一化处理,其中$P_s$为信号功率,$P_n$为噪声功率.然后对改进插值滤波器灌入两种不同频点的信号进行测试,其输入输出数据的归一化SNR见图12~图15.由于该滤波器输出信号信噪比相较输入基本不变且通带内无旁瓣,说明滤波性能达到指标,其带宽变为原来的3倍,产生2个由插值引起的镜像信号,说明完成了3倍插值.

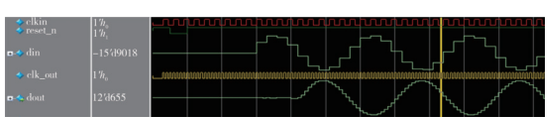


图10　改进插值滤波器仿真结果

Fig.10　Simulation results of the improved interpolation filter

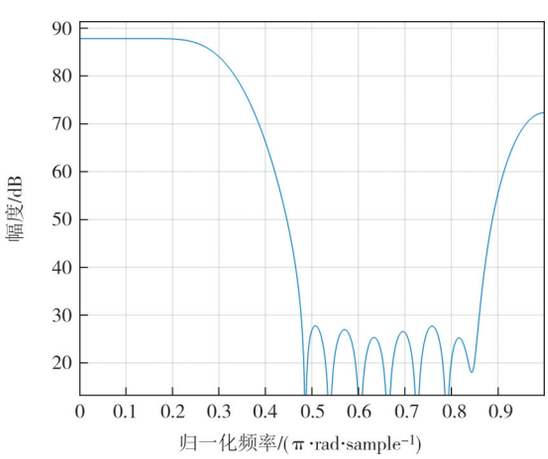


图11　改进结构插值滤波器频谱响应

Fig.11　Frequency response of the improved structure interpolation filter

为控制参照条件,分别用4种不同结构实现一个阶数为28,系数为[36,-19,0,-156,-12,0,479,223,0,-1 215,-993,0,3 569,6 277,8 192,6 277,3 569,0,-993,-1 215,0,223,479,0,-12,-156,0,-19,36]的FIR滤波器.

为了对4种结构插值滤波器的硬件资源消耗情

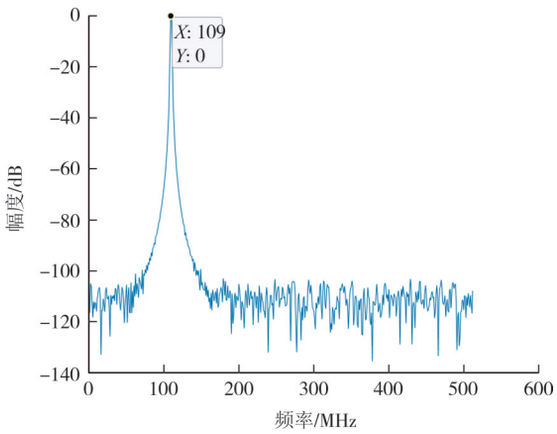


图 12 测试信号 1 输入数据频谱

Fig.12 Frequency spectrum of input data for test signal 1

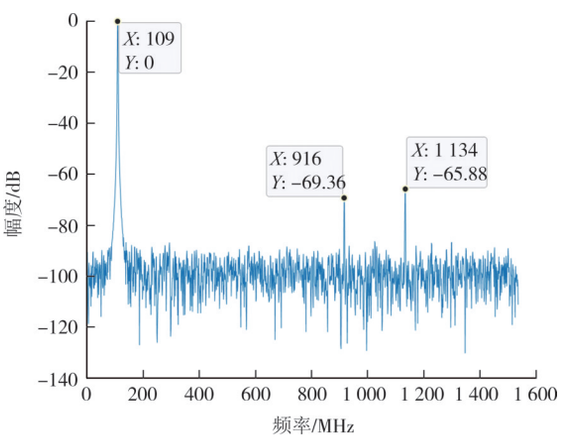


图 13 测试信号 1 输出数据频谱

Fig.13 Frequency spectrum of output data for test signal 1

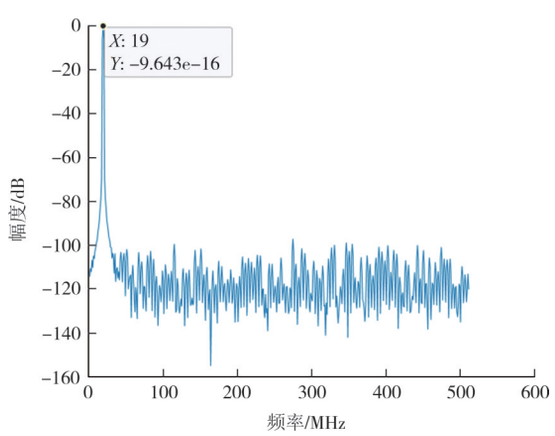


图 14 测试信号 2 输入数据频谱

Fig.14 Frequency spectrum of input data for test signal 2

况、功耗、最大工作频率以及最坏时序路径进行分析. 选用 Altera 公司 Cyclone V SoC 系列的器件 5CSEMA5F31C6 作为 FPGA, 并在 Quartus 软件环境下对 4 种不同结构的插值滤波器进行综合.

表 1 对比了 4 种插值滤波器硬件资源消耗情况,本文提供的改进结构对组合逻辑单元的消耗远

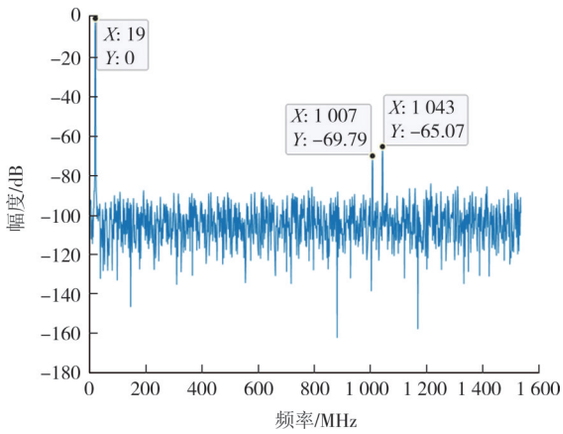


图 15 测试信号 2 输出数据频谱

Fig.15 Frequency spectrum of output data for test signal 2

小于传统结构、多路并行结构及多相结构. 同时改进结构所占用寄存器数量较传统结构减少 315,下降比例为 65%;较多路并行结构减少 441,下降比例为 73%;较多相结构减少 64,下降比例为 28%. 改进结构所占用自适应逻辑模块(adaptive logic module, ALM)的数量也明显低于其他 3 种. 结果表明, 改进结构插值滤波器对于硬件资源的消耗较其他 3 种结构有较大幅度改善.

表 1 资源消耗情况

Tab.1 Resource utilization status

插值滤波器结构类型	组合逻辑消耗数量	寄存器消耗数量	ALM 消耗数量
传统结构	266	482	232
多路并行结构	779	608	472
多相结构	259	231	161
本文的改进结构	41	167	62

表 2 列出了 4 种结构不同时钟频率下的功耗情况. 由于传统结构具有最高的工作时钟频率, 因此高时钟翻转率引起的高开关功耗导致其具有 4 种结构中最高的总功耗. 虽然多路并行结构工作时钟频率不算高,但其巨大的硬件资源消耗, 导致它的功耗也不低. 多相结构在具有低频工作时钟的同时所消耗面积资源也很小,因此具有 4 种结构中最低的功耗. 由于本文的改进结构在多路多相的基础上对运算资源进行复用,导致其部分电路的工作时钟频率高于多相结构,因此其功耗仅略高于多相结构. 50 MHz 运行频率下与传统结构相比减小 7%,与多路并行结构相比减小 4%.

表 3 给出了不同时钟约束频率下 4 种滤波器的

表 2　不同运行频率下的功耗对照表

Tab.2　Power consumption comparison table at different operating frequencies

插值滤波器结构类型	不同运行频率的功耗/mW			
	30 MHz	50 MHz	80 MHz	105 MHz
传统结构	0.441	0.529	0.662	0.791
多路并行结构	0.435	0.511	0.677	0.763
多相结构	0.420	0.473	0.556	0.621
本文的改进结构	0.423	0.490	0.579	0.645

最大工作频率 F_{max} 及最坏时序路径延时 Slack,可知传统结构插值滤波器的最大工作频率明显低于其他3种结构;多路并行结构的 F_{max} 与多相结构和改进结构接近;30 MHz 的时钟约束频率下,改进结构的最大工作频率较传统结构提升了 20.8 MHz,提升比例为 129%; 与多路并行结构相比提升了 4.47 MHz ,比例为 13.8%. 对应地,较高的工作时钟频率导致电路更难满足时钟约束,所以传统结构具有最大的最坏时序路径延时.同时由于改进结构滤波器使用更多的选择器来实现运算资源的复用,改进结构插值滤波器的 Slack 较多相结构略微增大.

表 3　不同时钟约束频率下最大工作频率及最坏时序路径延时

Tab.3　The maximum operating frequency and the worst timing path delay at different clock constraint frequencies

插值滤波器结构类型	不同时钟约束频率下最大工作频率及最坏时序路径延时			
	30 MHz		60 MHz	
	F_{max}/MHz	Slack/ns	F_{max}/MHz	Slack/ns
传统结构	16.08	−3.649	27.88	−6.86
多路并行结构	32.41	−1.263	60.27	−5.01
多相结构	35.72	−1.112	62.93	−4.62
本文的改进结构	36.88	−1.106	61.42	−4.73

综上所述,多路并行结构虽然有效降低了传统结构的高工作时钟频率,但其资源消耗依然庞大.相比之下,多相结构在保持多路并行结构优势的基础上,显著减少了资源消耗.本文提出的改进结构不仅克服了传统结构在高工作频率方面的限制,而且在时钟性能上实现了比多相结构更进一步的提升,同时显著降低了硬件资源的开销.

4　结 论

本文提出了一种基于运算资源复用的改进数字插值滤波器,其在多相结构的基础上对核心运算资源进行复用以避免不必要的硬件资源开销.通过 Questasim 进行仿真后,用 Matlab 对插值滤波器的性能进行分析,并在 Altera 公司提供的型号为 5CSEMA5F31C6 的 FPGA 开发板上完成 4 种结构插值滤波器的电路实现,使用 Quartus 软件分别对其进行综合测试,并对 4 种结构的硬件资源开销、功耗、最大工作频率及最坏时序路径进行分析对比.实验结果表明:改进结构滤波器的最大工作时钟频率高于传统结构、多路并行结构和多相结构,功耗也要低于传统结构、多路并行结构,本文提出的改进插值滤波器保留了多路多相工作时钟频率低这一优点,明显降低了硬件资源的消耗,更加适合高速高性能数据转换器芯片的集成应用.

当前,该结构面临的主要挑战是其最坏时序路径的延时问题.在未来的工作中,我们可以通过以下策略来优化这一问题:首先,对时序约束进行细致的调整;其次,考虑在关键路径中引入寄存器,以降低组合逻辑的延时.这些方法有望有效减少最坏时序路径的延时,从而提升整体性能.

参考文献

[1] GIELEN G G E, HERNANDEZ L, ROMBOUTS P, et al. Time-encoding analog-to-digital converters: Bridging the analog gap to advanced digital CMOS-part 1: Basic principles[J]. IEEE Solid-State Circuits Magazine, 2020, 12(2): 47-55.

[2] CHEN X, CHANDRASEKHAR S, RANDEL S, et al. All-electronic 100-GHz bandwidth digital-to-analog converter generating PAM signals up to 190 GBaud[J]. Journal of Lightwave Technology,2017,35(3):411-417.

[3] 叶茂,楚银英,赵毅强.基于GND采样技术的逐次逼近型模数转换器设计[J].湖南大学学报(自然科学版),2023,50(2):129-137.
YE M, CHU Y Y, ZHAO Y Q. Design of successive approximation ADC based on ground sampling technique [J]. Journal of Hunan University (Natural Sciences), 2023, 50(2): 129-137.(in Chinese)

[4] 洪志良. 模拟集成电路分析与设计[M]. 2版. 北京:科学出版社,2011.
HONG Z L. Analysis and design of analog integrated circuits[M]. 2nd ed. Beijing: Science Press, 2011.(in Chinese)

[5] HAN J W, KIM J H, CHEON S H, et al. A novel image interpolation method using the bilateral filter[C]//2010 Digest of Technical Papers International Conference on Consumer

Electronics (ICCE). January 9-13, 2010, Las Vegas, NV, USA: IEEE, 2010:25-26.

[6] DE LAMARE R C, SAMPAIO-NETO R. Adaptive reduced-rank processing based on joint and iterative interpolation, decimation, and filtering[J]. IEEE Transactions on Signal Processing, 2009, 57(7): 2503-2514.

[7] SU X, YU Z, JIANG Y, et al. A 14-Bit 2.8 GS/s DAC with DTIRZ technique in 65 nm CMOS [J]. IEICE Electronics Express, 2021, 18(6): 20210043.

[8] 楼才义,徐建良,杨小牛. 软件无线电原理与应用[M]. 2版. 北京:电子工业出版社,2014.
LOU C Y, XU J L, YANG X N. Software-defined radio: Principles and practice [M]. 2nd ed. Beijing: Publishing House of Electronics Industry, 2014. (in Chinese)

[9] 庄陵,唐园园. 低灵敏度FIR滤波器优化结构[J]. 华中科技大学学报(自然科学版),2021,49(1):55-62.
ZHUANG L, TANG Y Y. FIR filter optimal structure with low sensitivity [J]. Journal of Huazhong University of Science and Technology (Natural Science Edition), 2021, 49(1): 55-62. (in Chinese)

[10] AWAN M, LE M Y, KOCH P, et al. Hardware architecture of polyphase filter banks performing embedded resampling for software-defined radio front-ends [J]. ZTE Communications, 2012, 10(1): 54-62.

[11] 陈永东,郭天天, 刘桂生, 等. 基于多相滤波器的多测速雷达角跟踪方法研究[J]. 遥测遥控, 2016, 37(3): 44-47.
CHEN Y D, GUO T T, LIU G S, et al. Research on angle tracking method for multi-Doppler radar based on multi-phase filter[J]. Journal of Telemetry, Tracking and Command, 2016, 37(3): 44-47. (in Chinese)

[12] FAN Y X, GU F L, TAN X B, et al. Digital channelization technology for HF communication base on fast filter bank [J]. China Communications, 2018, 15(9): 35-45.

[13] RENFORS M, YLI-KAAKINEN J, HARRIS F J. Analysis and design of efficient and flexible fast-convolution based multirate filter banks[J]. IEEE Transactions on Signal Processing, 2014, 62(15): 3768-3783.

[14] 曾涛, 徐涛, 李栋, 等. 自举滤波器在非线性目标跟踪系统中的应用[J]. 北京理工大学学报, 2004, 24(5): 450-453.
ZENG T, XU T, LI D, et al. Application of bootstrap filter in nonlinear target tracking systems[J]. Journal of Beijing Institute of Technology, 2004, 24(5): 450-453. (in Chinese)

[15] 谢海霞, 孙志雄. 多速率信号处理系统设计与实现[J]. 电子设计工程, 2018, 26(18): 132-135.
XIE H X, SUN Z X. Design and implementation of multirate signal processing system [J]. Electronic Design Engineering, 2018, 26(18): 132-135. (in Chinese)

[16] SHIUNG D, YANG Y Y, YANG C S. Improving FIR filters by using cascade techniques tips & tricks [J]. IEEE Signal Processing Magazine, 2016, 33(3): 108-114.