

文章编号: 1671-7449(2026)02-0248-11

J. Test Measur. Technol., 2026, 40(2): 248-258.

Gen3 SRIO 交换芯片功能测试系统设计

冯雪健, 张 健*, 李建成, 许凯亮

(北京微电子技术研究所, 北京 100076)

摘要: 系统级测试作为功能测试的一种形式, 用于发掘在特定应用场景下芯片潜在的“边际”缺陷。为满足国产第三代串行 RapidIO (Generation3 Serial RapidIO, Gen3 SRIO) 交换芯片 BRXS2448RH 系统级测试需要, 设计了功能测试系统。阐述了功能测试系统各模块具体实现方案, 基于方案完成了测试系统原理图和印制电路板设计。BRXS2448RH 可原位替代瑞萨电子 (Renesas Electronics Corporation) RXS2448 Gen3 SRIO 交换芯片。以 RXS2448 为标准测试对象, 验证了功能测试系统各模块功能。RXS2448 在功能测试系统上可正确启动并稳定运行。分别通过 JTAG 和 I2C 接口可实现对 RXS2448 功能配置和状态查看, SRIO 接口通信速率支持 12.500 0 Gbaud。

关键词: Gen3 SRIO; 交换芯片; BRXS2448RH; RXS2448; 系统级测试

中图分类号: TN06

文献标识码: A

DOI: 10.62756/csjs.1671-7449.2026016

引用格式: 冯雪健, 张健, 李建成, 等. Gen3 SRIO 交换芯片功能测试系统设计[J]. 测试技术学报, 2026, 40(2): 248-258.

FENG Xuejian, ZHANG Jian, LI Jiancheng, et al. Design of functional testing system for Gen3 SRIO switch chip[J]. Journal of Test and Measurement Technology, 2026, 40(2): 248-258.

Design of Functional Testing System for Gen3 SRIO Switch Chip

FENG Xuejian, ZHANG Jian*, LI Jiancheng, XU Kailiang

(Beijing Microelectronics Technology Institute, Beijing 100076, China)

Abstract: Functional testing in the form of a system-level test is used to uncover potential marginal defects under certain application scenarios. In this paper, to meet the requirements of system-level test for the domestic Generation3 serial RapidIO (SRIO) switching chip named BRXS2448RH, the functional testing system is designed. The specific implementation strategies of each module are elaborated for the functional testing system, culminating in the development of its schematic diagram and PCB layout based on the proposed scheme. BRXS2448RH can be used as a drop-in replacement for the Generation3 serial RapidIO switching chip named RXS2448 that is launched by Renesas Electronics Corporation. The validation of each module is conducted with RXS2488 as the standard test subject for the functional testing system. The RXS2448 device demonstrates successful initialization and stable operation within the functional testing system. Functional configuration and status monitoring can be achieved through JTAG and I2C interfaces respectively, and the SRIO interface is capable of maintaining reliable communication at 12.500 0 Gbaud.

Key words: Gen3 SRIO; switching chip; BRXS2448RH; RXS2448; system-level test

【收稿日期】2025-04-16

【作者简介】冯雪健(1992—), 男, 工程师, 硕士, 主要从事集成电路测试技术研究。E-mail: 1157208167@qq.com。

*【通信作者】张 健(1985—), 男, 研究员, 硕士, 主要从事网络交换芯片和高速接口设计技术研究。E-mail: 15011589626@163.com。

0 引言

串行 RapidIO (Serial RapidIO, SRIO) 是国际上专为嵌入式领域开发的标准互连技术, 具有高带宽、高灵活性、低引脚数、低延迟、高可靠、DMA 传输模式、点对点对等通信等特点^[1-3]。基于上述特点, SRIO 作为一种高性能互连技术常被应用于实时信号处理系统和机载航电系统, 以满足高吞吐量数据传输需求^[4-6]。SRIO 网络主要包括终端器件、交换器件和桥接器件三类^[7-10]。高性能系统级芯片 (System on Chip, SoC)、数字信号处理器 (Digital Signal Processor, DSP) 和可编程门阵列 (Field-Programmable Gate Array, FPGA) 可用作 SRIO 终端器件, SRIO 接口在其中以外设或 IP 形式存在。SRIO 终端器件之间互连主要通过 SRIO 交换器件实现。国外 SRIO 交换器件主要有瑞萨电子推出的 Gen2 SRIO 交换芯片 CPS1848、CPS1432 和 Gen3 SRIO 交换芯片 RXS1632、RXS2448。近年来, 国内各厂家也相继推出了 SRIO 交换芯片, 如天津市滨海新区信息技术创新中心于 2018 年研发的 Gen2 SRIO 交换芯片 NRS1800, 以及中国电科网络通信研究院于 2022 年推出的 Gen2 SRIO 交换芯片 JYCSW1848。北京微电子技术研究所 (Beijing Microelectronics Technology Institute, BMTI) 正在研制宇航用抗辐射 Gen3 SRIO 交换芯片 BRXS2448RH。

针对芯片研发和量产的各个环节, 搭建测试平台从多个维度对芯片进行测试验证是保证芯片质量的关键。芯片测试验证方法主要包括设计验证、原型验证^[11]、ATE 测试^[12-13]、系统级测试^[14], 各种测试方法相互补充保障芯片质量。作为功能测试的一种形式, 系统级测试一般作为终测的补充测试, 模拟真实终端用户使用场景, 发掘在特定应用场景下芯片潜在的“边际”缺陷。在半导体领域, “边际”缺陷与先进纳米节点器件制造中光学光刻和工艺变异控制的固有极限密切相关, 具有随机发生、潜在影响器件质量的特点。本文针对国产 Gen3 SRIO 交换芯片 BRXS2448RH 系统级测试需求, 设计了功能测试系统。BRXS2448RH 可原位替代瑞萨电子 Gen3 SRIO 交换芯片 RXS2448。结合实际芯片研发流程, 测试系统需在 BRXS2448RH 流片之前完成设计和验证。测试系统设计完成之后, 本文以 RXS2448 作为标准测试对象, 对测试系统开展了功能和性能验证。

1 功能测试系统方案设计

1.1 BRXS2448RH 基本功能介绍

BRXS2448RH 是一款兼容 RapidIO 3.2 规范的网络交换芯片, 支持多个具有 SRIO 接口器件的互连, 实现 RapidIO 数据包的收发和路由。BRXS2448RH 主要由 SRIO 端口、交换网络、时钟管理、复位管理、电源管理、I2C 接口和 JTAG 接口等部分构成。BRXS2448RH 最多支持 24 个 SRIO 端口, 48 个全双工通道, 端口宽度支持 4x、2x、1x 3 种模式, 单通道支持 1.2500、2.5000、3.1250、5.0000、6.2500、10.3125、12.5000 Gbaud 7 种数据传输速率, 支持 I2C 和 JTAG 2 种管理接口。I2C 接口支持主、从两种模式。通过 I2C 和 JTAG 接口可实现内部寄存器配置和状态查看。

BRXS2448RH 支持多种 PRBS 码型产生和校验, 支持数字设备回环 (Digital Equipment Loopback, DLB)、线路回环 (Line Loopback, LLB)、串行器/解串行器线回环 (SerDes Line Loopback, SLLB) 和串行器/解串行器串行回环 (SerDes Serial Loopback, SSLB) 4 种环回模式。BRXS2448RH 每个 SRIO 端口的发送通道集成一个调试包生成器, 若没有可用的外部终端器件, 调试包生成器提供了一种手动创建 RapidIO 数据包的方式。与此对应, 每个 SRIO 端口的接收通道集成数据包捕获器, 用于捕获 RapidIO 数据包。BRXS2448RH 参考时钟频率支持 100 MHz 和 156.25 MHz。参考时钟速率为 100 MHz 时, 不支持以 10.3125 Gbaud 速率通信。BRXS2448RH 系统框图如图 1 所示。

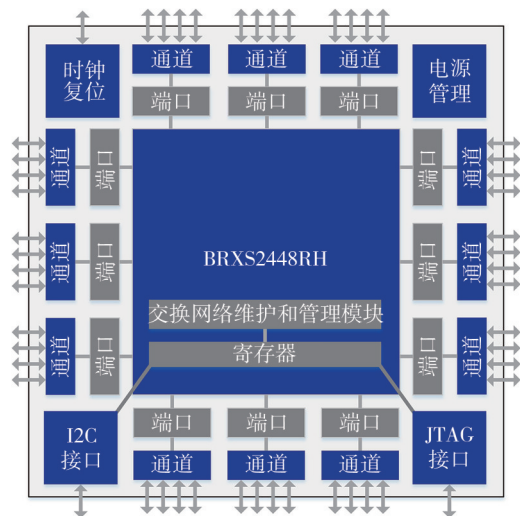


图 1 BRXS2448RH 系统框图

Fig. 1 BRXS2448RH system block diagram

1.2 BRXS2448RH 上电启动过程

BRXS2448RH 上电启动过程如下: 1) 初始配置信息获取; 2) 选择性执行 I2C 启动; 3) 锁相环上电后锁定, 内核逻辑开始运行; 4) SerDes 复位, 各通道启动; 5) SRIO 端口初始化, 若初始化成功, 根据应用需要即可通过 SRIO 端口与链路对端器件进行通信。

1.3 总体方案设计

测试系统命名为第三代串行 RapidIO 测试平台 (Serial RapidIO Gen3 Testing Platform, SRTP3), 下文以 SRTP3 作为测试系统简称进行描述。SRTP3 系统架构框图如图 2 所示。

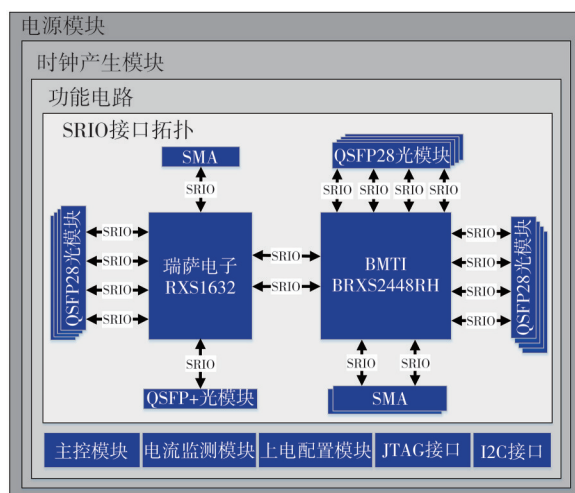


图 2 SRTP3 系统架构框图

Fig. 2 System architecture block diagram of SRTP3

正确完成上电启动过程是 BRXS2448RH 正常工作的前提, 当 BRXS2448RH 正常工作以后才可进一步对其功能和性能进行测试。除了可以进行基本功能测试之外, 测试系统还需满足 SRIO 信号眼图测试、误码率测试和协议一致性测试需求。

测试系统功能模块包括电源模块、时钟产生模块、主控模块、上电配置模块、I2C 接口、JTAG 接口、SRIO 接口、电流监测模块。电源、时钟模块为测试系统提供符合要求的电源和参考时钟。上电配置模块和 I2C 接口用于支持 Gen3 SRIO 交换芯片完成上电启动过程。在 Gen3 SRIO 交换芯片上电启动过程中, 若不执行 I2C 启动过程, 则芯片启动后的状态只由初始配置电平决定。通过 I2C 或 JTAG 接口可在芯片启动后重写初始配置信息, 使芯片按指定工作模式运行。SRIO 接口用于支持 SRIO 信号眼图测试、误码率测试和协议一致性测试。BRXS2448RH

工作时, 电流监测模块用于监测各电源轨工作电流, 评估芯片功耗。主控模块负责控制测试系统其它各模块有序运行。主控模块需具备 GPIO 接口、I2C 接口、ADC 和 UART 接口。其中, GPIO 接口用于处理测试系统中的使能信号和状态信号, I2C 接口用于配置 SRIO 交换芯片和时钟产生模块等使用 I2C 接口的器件, UART 接口用于打印测试系统状态信息以及发送控制指令, ADC 用于采集 BRXS2448RH 工作时消耗的电流信息。由于主控模块在测试系统中主要起到控制作用, 因此, 主控模块使用微控制器为核心即可满足测试需求^[15]。测试系统选择 STM32F207 微控制器为主控模块的核心, 封装形式为 UFBGA176, 最大主频 120 MHz, 具备 136 个切换速率为 60 MHz 的 GPIO 接口, 标称接口电平 3.3 V, 具备多个 I2C 和 UART 接口, 3 个 12 位 ADC 等其它外设资源, 满足测试系统使用需求。

1.4 SRIO 接口模块设计

由于目前 FPGA、DSP 和 SOC 只支持 Gen2 SRIO 端口, 最大通信速率为 6.2500 Gbaud^[16-18], 不能直接用于验证 BRXS2448RH 全部端口以 12.5000 Gbaud 速率运行时的工作状态。为此, 除 BRXS2448RH 之外, SRTP3 再部署一颗 RXS1632, 通过 RXS1632 将终端器件 6.2500 Gbaud 数据包转换为 12.5000 Gbaud 后发送至 BRXS2448RH。RXS1632 最大支持 16 个端口、32 个通道。SRIO 接口拓扑可参见图 2 所示。BRXS2448RH 和 RXS1632 之间选择两个 4x 端口互连。考虑到需要与其它板卡和设备互连, 其余 SRIO 端口分别使用 QSP28、QSP+ 光模块和 SMA 连接器引出。

1.5 上电配置模块设计

上电配置模块需要为 BRXS2448RH 和 RXS1632 分别提供上电配置信号。所有上电配置电平必须在复位信号 RSTn 无效前建立并稳定保持 10 个参考时钟周期。当复位信号 RSTn 无效后, 所有上电配置电平必须继续保持 100 个参考时钟周期, 之后配置电平将不再被读取, 也不会再对芯片的工作状态产生影响。上电配置模块采用拨码开关结合电阻阵列实现。默认状态下, 拨码开关处于断开状态, 初始配置电平经过电阻被上拉或下拉到指定状态。如果需要更改初始配置信息, 将拨码开关闭合即可实现配置电平切换。BRXS2448RH 上电配置信号如表 1 所示。

表 1 BRXS2448RH 上电配置信号

Tab. 1 Power-up configuration signals of BRXS2448RH

配置管脚名称	功能说明
SWAP_RX_S[1: 0]	定义接收通道物理编号和逻辑编号初始对应方式
SWAP_TX_S[1: 0]	定义发送通道物理编号和逻辑编号初始对应方式
RX_POL_S	定义接收通道差分对极性是否对调
TX_POL_S	定义发送通道差分对极性是否对调
RCK_SEL_S	选择参考时钟频率
CCK_SEL_S[1: 0]	选择内核时钟频率
BAUD_SEL_S[3: 0]	为所有端口选择默认波特率和空闲序列: 1.2500、2.5000、3.1250、5.000、6.2500、10.3125、12.5000 Gbaud
TX_MODE_S	为所有 IDLE3 端口选择默认的训练模式: 短距或长距传输
PORT_SEL_S[23: 0]	选择端口配置: 端口编号和支持宽度(4x、2x、1x)
AEQ_CMD_S	控制接收端, 是否可以基于硬件向发送端发送加重调节命令, BRXS2448RH 仅支持软件控制
AEQ_ACK_S	控制发送端, 选择使用软件或硬件响应来自链路对端的发送端均衡参数设置命令
I_MS	选择 I2C 工作模式: 标准 100 kHz 或快速 400 kHz
I_DIS, I_MA	选择启动模式: 1. I_DIS=0, I_MA=0: 使能 I2C 主模式, 从 1 字节寻址 EEPROM 加载配置; 2. I_DIS=0, I_MA=1: 使能 I2C 主模式, 从 2 字节寻址 EEPROM 加载配置; 3. I_DIS=0, I_MA=1: 保留; 4. I_DIS=1, I_MA=1: 使能 I2C 从模式, 使用外部 I2C 主设备配置。

1.6 JTAG 接口电路设计

JTAG 接口电路可支持 RapidFET JTAG 10×N 和 RapidView 两种调试工具。对于 RapidFET JTAG 10×N 调试工具, 选择适配该调试器接口的连接器, 将 Gen3 SRIO 交换芯片的 JTAG 管脚正确接到该连接器上。使用时, 将调试器接口插入连接器, 通过上位机软件对器件进行配置和调试。RapidView 软件需通过 FT4232 桥接芯片访问

BRXS2448RH 和 RXS1632。FT4232 支持一路 USB 输入接口, 四路默认为 UART 模式的输出接口。其中, 第一和第二路输出接口支持 JTAG 协议和 I2C 协议。RapidView 软件运行时会自动配置 FT4232 第一路输出为 JTAG 接口, 因此, SRTP3 选择将 FT4232 第一路输出接口与 Gen3 SRIO 交换芯片 JTAG 接口互连。电脑与 SRTP3 USB 调试接口之间使用 USB 数据线连接即可使用 RapidView 软件进行调试。JTAG 接口电路如图 3 所示。

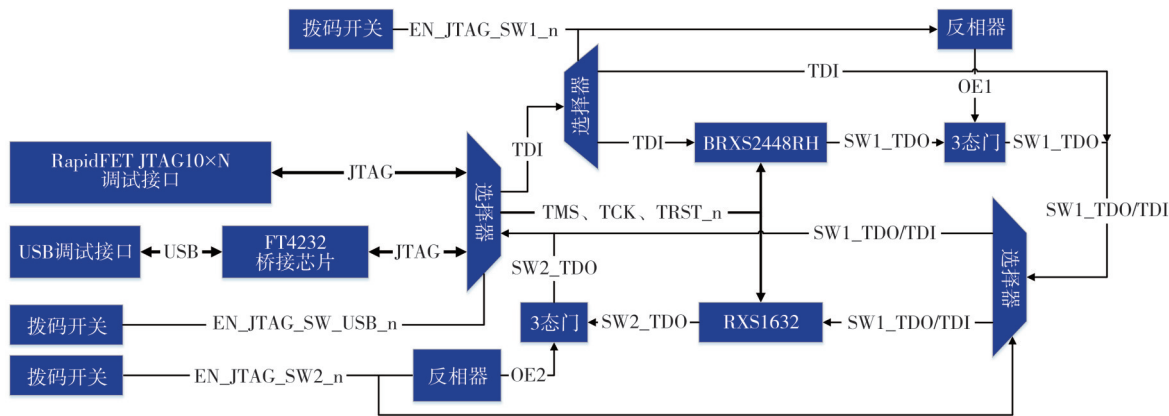


图 3 JTAG 接口电路

Fig. 3 JTAG interface circuit

信号 EN_JTAG_SW_USB_n 选择需要接入到调试链路的 JTAG 调试工具。低电平选择 RapidView, 高电平选择 RapidFET JTAG 10×N。信号 EN_JTAG_SW1_n 选择是否将 BRXS2448RH 接入 JTAG 链路, 低电平选择接入, 高电平选择不接入。信号 EN_JTAG_SW2_n 选择是否将 RXS1632 接入 JTAG 链路, 控制逻辑与 EN_JTAG_SW1_n 一致。当只选择 BRXS2448RH 或 RXS1632 接入 JTAG 链

路时, 三态门用于隔离未接入芯片对 JTAG 链路的影响。信号 OE1 和 OE2 分别为三态门的使能信号, 使能信号为高电平有效。

1.7 I2C 接口电路设计

当 BRXS2448RH 和 RXS1632 作为 I2C 从机时, 设计 3 种 I2C 主机接口方案。1) 用户模式 1: 对 RapidView 功能进行拓展, 将 FT4232 第二路输出作

为I2C主机接口。该方案具备良好的人机交互性,适用于现场功能调试和工作状态查看;2)用户模式2:将BRXS2448RH和RXS1632 I2C管脚引出至连接器,直接接入成熟的I2C调试工具,可保证I2C主机硬件正常的前提下,排除因配置程序引起的问题;3)MCU模式:使用MCU作为I2C主机,在MCU控制下实现BRXS2448RH和RXS1632上电后快速配

置启动。基于UART接口可定义一套指令集,上位机通过UART接口向MCU发送指令,MCU解析指令后通过I2C接口对BRXS2448RH和RXS1632进行指定操作。当BRXS2448RH和RXS1632作为I2C主机时,从EEPROM中主动加载配置信息启动,SRT3选用双字节寻址EEPROM。I2C接口电路如图4所示。

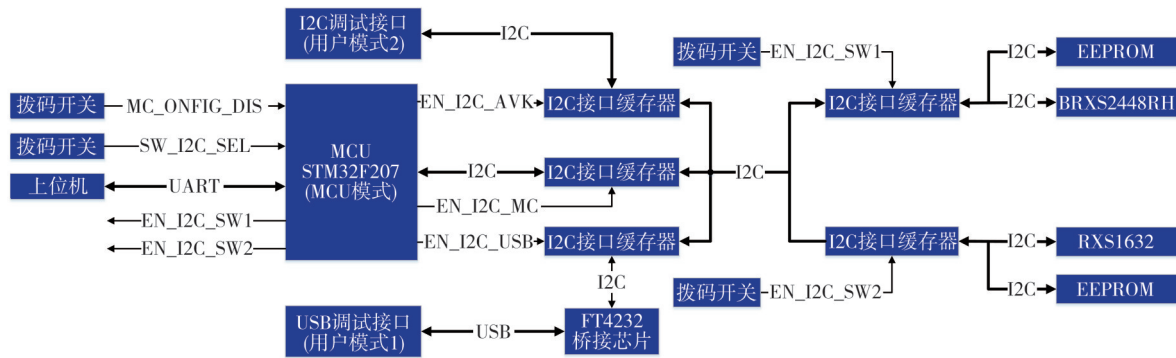


图 4 I2C 接口电路

Fig. 4 I2C interface circuit

MCU 根据控制信号 MC_CONFIG_DIS 和 SW_I2C_SEL 的状态, 将指定的 I2C 主机接口选通。3 种 I2C 主机接口在同一时刻只能有一路处在工作状态。信号 MC_CONFIG_DIS 用于选择 MCU 模式或用户模式, MC_CONFIG_DIS 为 0 时, 选择 MCU 模式; MC_CONFIG_DIS 为 1 时, 选择用户模式。若选择用户模式, 再进一步使用 SW_I2C_SEL 信号在用户模式 1 和用户模式 2 之间进行选择。当 SW_I2C_SEL 为 0 时, 选择用户模式 1; 当 SW_I2C_SEL 为 1 时, 选择用户模式 2。EN_I2C_SW1 和 EN_I2C_SW2 信号为高电平有效, 分别用于打开 BRXS2448RH 和 RXS1632 的 I2C 接口缓存器, 同一时刻只允许其中一个信号为有效状态。

1.8 时钟产生模块设计

测试系统中需要被提供参考时钟的器件包括：BRXS2448RH、RXS1632、MCU 和 FT4232 桥接芯片。BRXS2448RH 和 RXS1632 各需两路

差分参考时钟, 电气规范如表 2 所示, 单位 V_{PP} 表示电压峰峰值, VP 和 VPH 的释义见 1.9 节。选择瑞萨电子 8T49N242-999 时钟生成器为 Gen3 SRIO 交换芯片提供参考时钟。该时钟生成器可输出四路差分时钟信号, 输出时钟频率范围为 8 kHz~1 GHz, 时钟频率和电平规格由 MCU 通过 I2C 总线配置。该时钟生成器配置信息掉电后丢失, 每次上电后需要 MCU 重新配置。时钟生成器参考时钟由 40 MHz 晶振提供。

表 2 参考时钟电气规范

Tab. 2 Reference clock electrical specifications

名称	符号	最小值	最大值
差分摆幅/ V_{PP}	V_{SWING}	0.3	$2*VP$
单端电压/ V	V_{SEND}	-0.3	$VPH+0.3$
共模电压/ V	V_{CM-out}	0	VPH

MCU 参考时钟为 20 MHz, FT4232 桥接芯片参考时钟为 12 MHz, 分别使用外部晶振提供。SRTP3 时钟系统框图如图 5 所示。



图 5 S RTP3 时钟系统框图

Fig. 5 SRTP3 clock system block diagram

1.9 电源模块设计

参考 RXS2448 功耗指标对 SRTP3 电源系统

进行设计, RXS2448 数据手册提供了额定电压和工作电流, 如表 3 所示。

RXS2448 功耗与其 SRIO 端口工作速率有

关,其它条件一定时,功耗随 SRIO 端口工作速率 增大而增大。

表 3 RXS2448 额定电压和工作电流

Tab. 3 Rated voltage and operating current of RXS2448

电源轨类型	符号	额定电压/V	最小典型工作电流@1.25 Gbaud/A	最大工作电流@12.5 Gbaud/A
内核电源	VDD	0.9	5.040	17.000
SerDes 模拟电源	VP	0.9	2.920	7.070
SerDes IO 电源	VPH	1.8	1.760	2.770
PLL 电源	VDDP	1.8	0.007	0.012
PVT 电源	VDDT	1.8	0.001	0.003
IO 电源	VDDQ	1.8	0.000	0.001

表 3 中工作电流是在最大容许工作电压、48 个通道满流量通信的条件下给出。其中,典型工作电流是在典型工艺角和 65 °C 结温条件下给出,最大工作电流是在最差工艺角和 110 °C 结温条件下给出。由表 3 可以看出,RXS2448 所需电源呈现低电压、大电流特点。VDD 和 VP 电源要求最大误差小于 2.5%,VP 最大容许交流噪声为 0.04 V_{pp}。VPH 电源要求最大误差小于 5%,最大容许交流噪声为 3% VPH。设计 SRTP3 电源系统,支持两种供电方案。方案 1: 将外部输入电源经板级稳压模块转换后为负载供电;外部输入电源由商用电源模组通过 ATX24 连接器提供,分别为 SRTP3 提供 5 V 待机电源(+5V_{SB})和 12 V 负载电源。当商用电源模组输入端接通 220 V 交流电后,默认输出 +5V_{SB} 电源。先使用 +5V_{SB} 电源为主控模块供电,MCU 启动后进行必要的初始化工作,然后控制 12 V 负载电源输出。考虑系统额定电流较大,为提高电源效率,选择只使用一级 BUCK 变换器将 12 V 输入电压变换至 0.9、1.8 和 3.3 V 负载电压。BUCK 变换器在 MCU 控制下,按系统所需上电时序为负载供电。BUCK 变换器需具备输出电流大、参考电压低、输出使能控制、输出状态指示和补偿电源和负载之间地平面压降的能力。ADI 公司 LTC3833 BUCK 电源控制器满足要求。合理选择开关频率、开关管、功率电感和输入输出电容规格,确保 BUCK 变换器满足负载芯片用电要求。方案 2: 使用商用直流电源为负载直接供电,且输出电压纹波和噪声满足负载要求。两种电源供电方案应用场景不同,方案 2 相较于方案 1 使用商用直流电源为 BRXS2448RH 供电,可以直观显示出负载电源电流大小,而且商用直流电源定期进行送检计量,提供了一种较为准确、可靠的获取负载电流大小的方法。但是方案 2 没有稳压模块参与负载端电压调节,需要手动调节商用直流电源输出电

压,以补偿供电线缆和 PCB 电源平面至负载的压降。若不需要考查负载电流监测结果的准确性及可信度且要求系统便携时,应选择供电方案 1。

SRTP3 整体电源架构如图 6 所示。由于 0.9 V 电源所需电流较大,分别为 BRXS2448RH 和 RXS1632 使用独立的 BUCK 变换器提供 0.9 V 电源,1.8 V 电源则共用一个 BUCK 变换器提供。光模块接口、8T49N242-999 时钟生成器和 LED 状态指示灯共用一个 BUCK 变换器提供 3.3 V 电源。使用 BUCK 变换器将电源 +5V_{SB} 变换至 3.3 V 为以 MCU 为核心的控制电路供电。USB 线缆插入后提供的 5V 电源使用 LDO 稳压器降压至 3.3 V 为 FT4232 桥接芯片供电。

1.10 电流监测模块设计

图 6 中电流监测模块用于实时监测负载电流,评估负载功耗。图 7 为电流监测模块框图。精密检流电阻被串接在待测电源路径中,当电流通过时,在该电阻两端产生微小的压降,经电流监测器接收放大后输出原始电压信号。原始电压信号与被测电流大小成正比,经过调理电路,将其大小调理到 ADC 的动态范围内。ADC 使用 MCU 内置的 ADC。在 MCU 内部将采集到的电压值转换成相应的电流值后,经 UART 接口发送到上位机显示。

1.11 原理图和 PCB 设计

基于上述方案,进行原理图和 PCB 设计。PCB 使用松下 MEGTRON6 系列超低传输损耗板材,型号为 R-5775(G)。PCB 设计考虑信号完整性和电源完整性,确保 SRIO 接口速率可达 12.500 0 Gbaud。SRTP3 系统实物如图 8 所示。测试时,将待测 Gen3 SRIO 交换芯片放置在测试插座内,通过更换内部压块可分别适配 RXS2448 和 BRXS2448RH。RXS1632 焊接在 PCB 板上,加

装散热器和风扇制冷。当需要进行环回测试时,对于光模块引出的SRIO端口,可使用光模块环回器实现端口环回连接。对于使用SMA连接器引出的SRIO端口,为了提高连接便捷性,通过以下

方式实现接口适配:接收端使用SMA-SMP转接器进行物理接口转换,将SMA接口转换为SMP接口;发送端拧接SMA转SMP线缆实现与接收端互连。

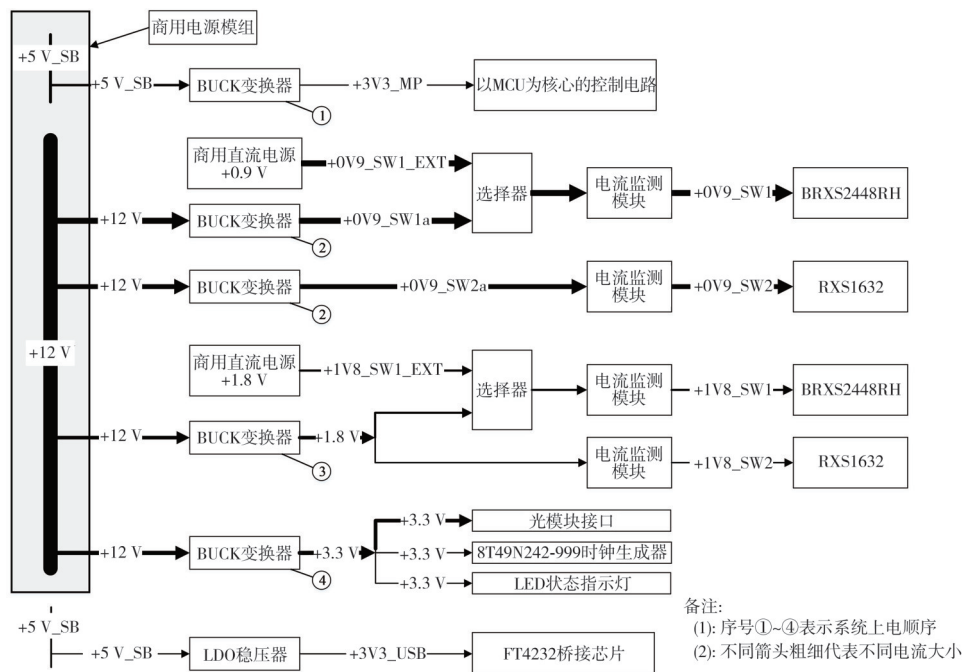


图6 SRTP3整体电源架构

Fig. 6 Overall power structure of SRTP3

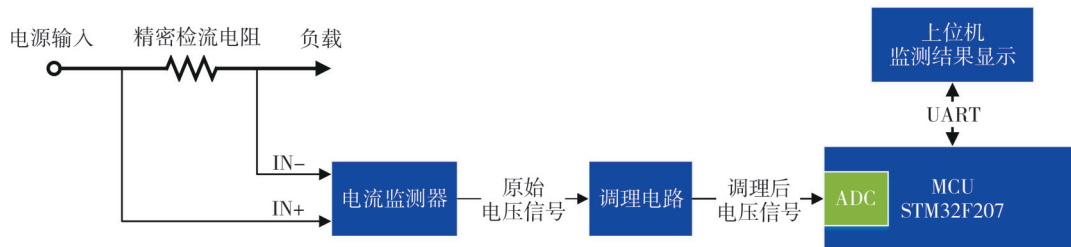


图7 电流监测模块框图

Fig. 7 Block diagram of current monitoring module

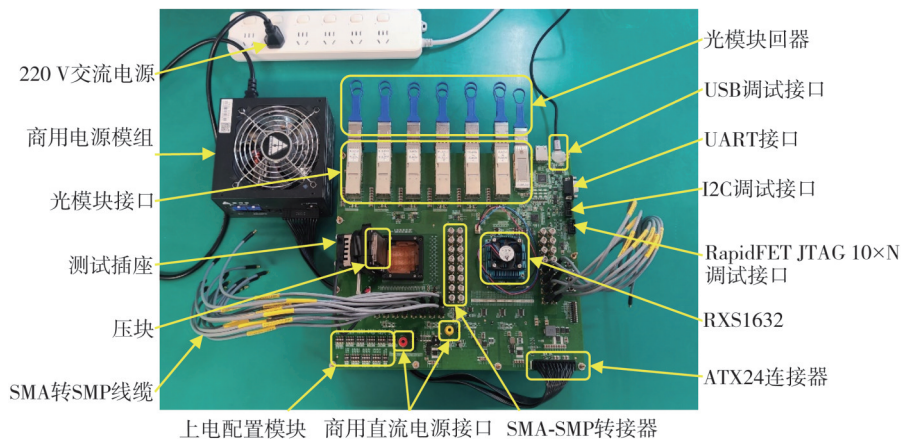


图8 SRTP3系统实物

Fig. 8 SRTP3 system physical implementation

2 测试系统功能和性能验证

首先,对 Gen3 SRIO 交换芯片的参考时钟和电源进行测试,确定是否满足 Gen3 SRIO 交换芯片运行要求;再以 RXS2448 作为标准测试芯片,验证 SRTP3 功能和性能是否满足测试需求。

2.1 参考时钟测试

MCU 通过 I2C 总线配置 8T49N242-999 时钟生成器输出 LVDS 电平 100 MHz 和 156.25 MHz 时钟信号。使用示波器 MSO70804C 测量时钟生成器输出的时钟波形,示波器探头带宽 500 MHz,最大采样率 25 GS/s。100 MHz 和 156.25 MHz 时钟电气参数测试结果如表 4 所示。

表 4 100 MHz 和 156.25 MHz 时钟电气参数测试结果

Tab. 4 Test results of electrical characteristics of clock signal at 100 MHz and 156.25 MHz

名称	符号	100 MHz 时钟	156.25 MHz 时钟
差分摆幅/ V_{pp}	V_{SWING}	0.816	0.840
单端电压/V	V_{SEND}	0.967~1.384	0.975~1.384
共模电压/V	V_{CM-out}	1.175	1.179

表 4 中,100 MHz 时钟差分电平为 0.816 V_{pp} ,单端电压低电平为 0.967 V、高电平为 1.384 V,共

模电压为 1.175 V。156.25 MHz 时钟差分电平为 0.840 V_{pp} ,单端信号电压低电平为 0.975 V,高电平为 1.384 V,共模电压为 1.179 V。满足 BRXS2448RH 和 RXS1632 对参考时钟电平的要求。

2.2 电源测试

使用示波器 DHO804 对 BUCK 变换器输出的 0.9 V 和 1.8 V 电源进行测试。设置示波器通道带宽为 20 MHz,探头衰减模式为 1:1。图 9 给出了 BRXS2448RH 供电电源测试结果。

如图 9(a) 所示,示波器本底噪声最大值为 1.082 2 mV_{pp} ,满足电源噪声测量要求。图 9(b) 为 0.9 V 电源测试结果,电压大小约为 0.904 2 mV,交流噪声最大值为 4.874 0 mV_{pp} ,满足 VDD 和 VP 对电源误差和交流噪声容限要求。1.8 V 电源纹波测试结果如图 9(c) 所示,测量得到 1.8 V 电压最小值为 1.810 4 V,最大值为 1.817 4 V,满足 VPH 电源误差要求。图 9(d) 为 1.8 V 电源交流噪声测试结果,测得交流噪声最大值为 7.122 6 mV_{pp} ,满足 VPH 交流噪声容限要求。测试结果表明:BUCK 变换器输出的电源质量满足 BRXS2448RH 使用要求。同样对 RXS1632 的 0.9 V 供电电源进行了测试,测试结果满足使用要求。



(a) 示波器本底噪声



(b) 0.9 V 电源测试结果



(c) 1.8 V 电源纹波测试结果



(d) 1.8 V 交流噪声测试结果

图 9 BRXS2448RH 供电电源测试结果

Fig. 9 Test results of power supplies for BRXS2448RH

2.3 接口测试

使用拨码开关设置上电配置信号,配置 RXS2448

和 RXS1632 以 4x 模式、I2C 主机,12.5000 Gbaud 速率工作。使用光模块环回器和线缆将芯片引出的发送和接收端口环回连接。RXS2448 和 RXS1632 从各

自EEPROM加载配置信息后启动。RXS1632 EEPROM中的配置信息将Port8和Port10的速率重写为6.2500 Gbaud,并且使能Port4至Port14的输入、输出端口。RXS2448 EEPROM中的配置信息将全部Port的输入、输出端口使能。如图10所示,通过RapidView软件查看RXS2448和RXS1632状态信息,执行命令“co”打印芯片状态信息到终端。其中,Port表示端口号,Width表示端口宽度,Lane(s)表示端口内的通道,Speed表示端口速率,IDLE表示当前端口使用的IDLE序列,O/I En表示输入、输出端口使能状态,Status表示端口处于PORT_OK或PORT_UNINIT状态。6.2500 Gbaud速率对应IDLE2序列,12.5000 Gbaud速率对应IDLE3序列。测试结果表明:通过JTAG接口,RapidView软件成功访问到RXS2448和RXS1632,打印出的状态信息与目标配置一致,测试系统支持12.5000 Gbaud通信速率。读取RXS2448寄存器“RIO_BOOT_CTL”的信息,可以看到“BOOT_OK”字段为1,表明RXS2448作为I2C主机已正确启动。

Welcome to 'RapidView' 10.03.17.0
Type 'help' for a list of commands
lbl-RXS1632>: co

Port	Width	Lane(s)	Speed	IDLE	O/I En	Status
0	4x	00-03	12.5	3	0/0	OK
2	4x	04-07	12.5	3	0/0	OK
4	4x	08-11	12.5	3	1/1	OK
6	4x	12-15	12.5	3	1/1	OK
8	4x	16-19	12.5	3	1/1	OK
10	4x	20-23	6.25	2	1/1	OK
12	4x	24-27	12.5	3	1/1	OK
14	4x	28-31	12.5	3	1/1	OK

lbl-RXS1632>: i l
lbl-RXS2448>: co

Port	Width	Lane(s)	Speed	IDLE	O/I En	Status
0	4x	00-03	12.5	3	1/1	OK
2	4x	04-07	12.5	3	1/1	OK
4	4x	08-11	12.5	3	1/1	OK
6	4x	12-15	12.5	3	1/1	OK
8	4x	16-19	12.5	3	1/1	OK
10	4x	20-23	12.5	3	1/1	OK
12	4x	24-27	12.5	3	1/1	OK
14	4x	28-31	12.5	3	1/1	OK
16	4x	32-35	12.5	3	1/1	OK
18	4x	36-39	12.5	3	1/1	OK
20	4x	40-43	12.5	3	1/1	OK
22	4x	44-47	12.5	3	1/1	OK

lbl-RXS2448>: r 0x0407c0 -v
RIO_BOOT_CTL (000407c0): c0000000
BOOT_CMPLT: 1
BOOT_OK: 1
BOOT_FAIL: 0
lbl-RXS2448>: .

图10 RXS2448和RXS1632状态

Fig. 10 Status of RXS2448 and RXS1632

使用拨码开关配置RXS2448和RXS1632以I2C从机启动,MCU作为I2C主机。本文中MCU只将EEPROM中的固件信息读取并写入到RXS2448和RXS1632的Boot Loader Memory,执行I2C启动过程。通过RapidView软件查看RXS2448和RXS1632已成功启动,“BOOT_CMPLT”字段为1,表明MCU成功将该字段置1。上位机通过UART接口读取RXS2448“RIO_BOOT_CTL”寄存器信息进行对比,结果如图11所示。可以看到最高字节为0x80,即“BOOT_CMPLT”字段为1。测试结果表明:在MCU控制

下,RXS2448和RXS1632作为I2C从机可正确启动,通过UART接口上位机可正确读取到指定器件寄存器信息。

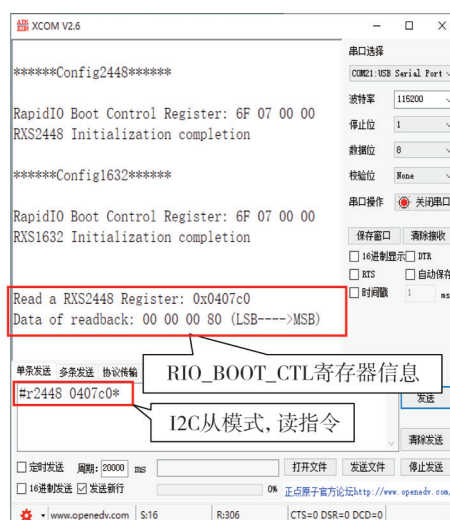


图11 RIO_BOOT_CTL寄存器信息

Fig. 11 Information of RIO_BOOT_CTL register

2.4 电流监测模块测试

使用是德科技(KEYSIGHT)N6705C直流电源为RXS2448直接供电。程控电源1通道提供0.9 V电源,电源模块型号为N6773A,在20 Hz~20 MHz频段内输出电压纹波和噪声分别为20 mV_{pp}和3 mV RMS,电流测量精度为±(0.15%+15 mA)。程控电源2通道提供1.8 V电源,电源模块型号为N6752A,在20 Hz~20 MHz频段内输出电压纹波和噪声分别为4.5 mV_{pp}和0.35 mV RMS,电流测量精度为±(0.1%+4 mA)。RXS1632由BUCK变换器提供电源。使用光模块环回器和线缆将RXS2448的发送和接收端口环回连接,电流监测模块试验系统如图12所示。

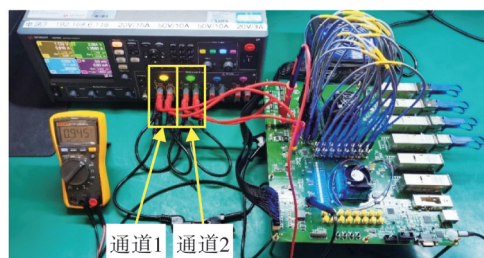


图12 电流监测模块试验系统

Fig. 12 Testing system of current monitoring module

从1.250 0~12.500 0 Gbaud切换SRIO端口通信速率,记录电流监测模块的测量结果,并与程控

电源电流监测结果进行对比, 电流监测结果如表 5 所示。测试结果表明: 随着通信速率的提高, 0.9 V 电源电流和 1.8 V 电源电流均呈现增大趋势, 其中, 0.9 V 电源电流增大程度较大, 与 RXS2448 数据手册中提供的电源电流变化趋势一致。若以 N6705C

直流电源电流监测结果作为准确值, 电流监测模块的 0.9 V 电源电流监测结果最大相对误差为 1.20%, 1.8 V 电源电流监测结果最大相对误差为 0.58%。电流监测模块的测量精度可满足 BRXS2448RH 在系统级测试过程中功耗评估需求。

表 5 电流监测结果
Tab. 5 Current monitoring results

速率/GBaud	0.9 V 电源电流测试结果/A			1.8 V 电源电流测试结果/A		
	直流电源	电流监测模块	差值	直流电源	电流监测模块	差值
1.250 0	4.17	4.22	0.05	1.13	1.13	0
2.500 0	4.65	4.69	0.04	1.24	1.24	0
3.125 0	4.88	4.93	0.05	1.40	1.40	0
5.000 0	5.81	5.83	0.02	1.35	1.35	0
6.250 0	6.32	6.35	0.03	1.56	1.56	0
10.312 5	8.09	8.11	0.02	1.73	1.72	0.01
12.500 0	8.74	8.76	0.02	2.02	2.01	0.01

3 结 论

本文针对国产 Gen3 SRIO 交换芯片 BRXS2448RH 系统级测试需求, 设计了功能测试系统。将瑞萨电子 RXS2448 Gen3 SRIO 交换芯片作为标准测试对象, 对测试系统功能和性能进行了验证。验证结果表明: 测试系统满足 BRXS2448RH 功能测试需求。待 BRXS2448RH 回片并完成前序测试流程之后, 将使用本测试系统开展系统级测试。

利益冲突声明/Conflict of Interests

所有作者声明不存在利益冲突。

All authors declare no relevant conflict of interests.

参考文献

[1] SHIPPEN G. The rapidIO high-speed interconnect: a technical overview[J]. Electronics World & Wireless World, 2007, 113: 18-21.

[2] BAYMANI S, ALEXOPOULOS K, VALAT S. Exploring RapidIO technology within a DAQ system event building network[J]. IEEE Transactions on Nuclear Science, 2017, 64(9): 2598-2605.

[3] 胡涛. 基于 SRIO 的多协议实时交换技术研究[D]. 杭州: 浙江大学, 2022.

[4] 裴卫卫, 裴静静, 李孟华. 基于高速串行总线 SRIO 的雷达信号和数据处理平台[J]. 航空计算技术, 2023, 53(1): 72-76.

PEI Yangwei, PEI Jingjing, LI Menghua. Radar signal and data processing system based on high speed serial bus SRIO[J]. Aeronautical Computing Tech-

nique, 2023, 53(1): 72-76. (in Chinese)

[5] 高业文. 一种机载 RapidIO 系统的国产化设计[J]. 航空计算技术, 2023, 53(3): 107-111.

GAO Yewen. A domestic design method of ariborne RapidIO system[J]. Aeronautical Computing Technique, 2023, 53(3): 107-111. (in Chinese)

[6] 赵二虎, 吴济文, 查晶晶, 等. 基于 ARM+DLP+SRIO 的嵌入式智能计算系统研究[J]. 电子学报, 2021, 49(3): 443-453.

ZHAO Erhu, WU Jiwen, ZHA Jingjing, et al. Embedded AI computing system based on ARM+DLP+SRIO[J]. Acta Electronica Sinica, 2021, 49(3): 443-453. (in Chinese)

[7] 王浩宇, 李雨航, 李龙杰, 等. 基于 NRS1800 的 SRIO 互连技术的研究与设计[J]. 机电产品开发与创新, 2021, 34(6): 28-30.

WANG Haoyu, LI Yuhang, LI Longjie, et al. Research and design of SRIO interconnection technology based on NRS1800[J]. Development & Innovation of Machinery & Electrical Products, 2021, 34(6): 28-30. (in Chinese)

[8] JIA Q, WANG X. Research on high-speed communication technology between DSP and FPGA[C]//2016 7th IEEE Control and System Graduate Research Colloquium (ICSGRC), 2016: 62-66.

[9] 吕鹏, 赵润卓, 王春燕, 等. 基于中标麒麟操作系统的 SRIO 路由设计与实现[J]. 无线电工程, 2021, 51(6): 492-497.

LÜ Peng, ZHAO Runzhuo, WANG Chunyan, et al. Design and implementation of SRIO routing based on NeoKylin system[J]. Radio Engineering, 2021, 51(6): 492-497. (in Chinese)

- [10] 曹朋朋, 田泽, 赵强, 等. SoC 芯片中 SRIO 接口的 FPGA 验证平台设计验证[J]. 计算机技术与发展, 2016, 26(6): 183-185.
- CAO Pengpeng, TIAN Ze, ZHAO Qiang, et al. Design and verification of SRIO in SoC based on FPGA[J]. Computer Technology and Development, 2016, 26(6): 183-185. (in Chinese)
- [11] 何健, 兰立奇, 唐顺晨. Synopsys 的 SRIO controller FPGA 原型验证方法[J]. 单片机与嵌入式系统应用, 2023, 23(8): 24-27.
- HE Jian, LAN Liqi, TANG Shunchen. Prototype verification method for synopsys SRIO controller FPGA[J]. Microcontrollers & Embedded Systems, 2023, 23(8): 24-27. (in Chinese)
- [12] AABERGE D, MOCKLER K, VAN DINH D, et al. Meeting the test challenges of the 1 Gbps parallel RapidIO/spl reg/interface with new automatic test equipment capabilities [C]//23rd IEEE VLSI Test Symposium (VTS'05), 2005: 75-84.
- [13] 李军求, 刘天照, 刘鹏. 基于 ATE 的高速 RapidIO 交换芯片测试方法[J]. 电子产品可靠性与环境试验, 2022, 40(2): 87-92.
- LI Junqiu, LIU Tianzhao, LIU Peng. The test method of high-speed RapidIO switching chip based on ATE[J]. Electronic Product Reliability and Environmental Testing, 2022, 40(2): 87-92. (in Chinese)
- [14] BISWAS S, CORY B. An industrial study of system-level test [J]. IEEE Design & Test of Computers, 2012, 29(1): 19-27.
- [15] 朱新年, 陈曦, 杜忠华, 等. 基于 STM32 的某型主动防护控制系统设计[J]. 测试技术学报, 2020, 34(3): 238-246.
- ZHU Xinnian, CHEN Xi, DU Zhonghua, et al. Design of an active protection control system based on STM32[J]. Journal of Test and Measurement Technology, 2020, 34(3): 238-246. (in Chinese)
- [16] DUAN S, HU J, ZHOU Y, et al. An SRIO bus-based implementation of a high-speed interface for satellite 5G [C]// 2023 4th International Conference on Information Science, Parallel and Distributed Systems (ISPDS), 2023: 8-11.
- [17] FANG L, ZHANG T, YE G, et al. Design of a high-speed infrared image processing platform based on the multi-core DSP and FPGA [C]//2023 2nd International Conference on Artificial Intelligence and Computer Information Technology (AICIT), 2023: 1-4.
- [18] XU Z, WU P, ZHANG P, et al. A kind of integrated high-speed data interaction network based on SRIO used in constellation satellites system [C]//2022 4th International Conference on Frontiers Technology of Information and Computer (ICFTIC), 2022: 532-536.