文章编号:1674-2974(2024)08-0109-08 DOI:10.16339/j.cnki.hdxbzkb.2024283

宽范围负载CL-LDO的设计

唐俊龙[1†],关浩[1],邓欢[2],李振涛[2],邹望辉[1]
(1. 长沙理工大学 物理与电子科学学院,湖南 长沙 410011;
2. 湖南毅梁微电子有限公司,湖南 长沙 410008)

摘 要:针对规模与功耗骤增的集成电路发展趋势,设计了一种可以提供宽范围负载电流的无片外电容型低压差线性稳压器(CL-LDO).为了解决宽范围负载电流与无片外电容等需求所带来的稳定性问题与瞬态特性问题,提出了动态零点补偿的方式与瞬态增强电路结构,既保障了整体电路在全负载范围内保持稳定,又实现了较好的瞬态特性.基于0.11 μm CMOS工艺,完成电路设计、版图设计与仿真,仿真结果表明,在0~500 mA的负载范围内,整体环路增益可以达到68 dB;最小相位裕度为56°;当负载电流在1~500 mA之间发生跳变时(Δt=500 ns),输出过冲和下冲分别为56 mV和141 mV,建立时间分别为2 μs和0.78 μs;PSR为-67.2 dB@1 kHz,负载调整率为0.137 μV/mA.

关键词:低压差线性稳压器;动态零点补偿;瞬态增强;宽范围负载
中图分类号:TN402 **文献标志码**:A

Design of a CL-LDO with Wide Range Load

TANG Junlong[1†],GUAN Hao[1],DENG Huan[2],LI Zhentao[2],ZOU Wanghui[1]
(1. School of Physics and Electronic Science, Changsha University of Science and Technology, Changsha 410011, China;
2. Hunan Guliang Microelectronics Co., Ltd., Changsha 410008, China)

Abstract: Aiming at the development trend of integrated circuits (ICs) with rapid increase in scale and power consumption, a novel capacitor-less low-drop-out linear voltage regulator (CL-LDO) has been designed to provide a wide range of load currents. To solve the issues of stability and transient response caused by the requirements of a wide range of load currents and no off-chip capacitor, a dynamic zero-point compensation method and a transient enhancement circuit structure are proposed, which not only ensures the stability of the whole circuit in the full load range, but also achieves excellent transient characteristics. Based on 0.11 μm CMOS technology, the circuit design, layout design and simulation are completed. The simulation results show that the overall loop gain can reach 68 dB with a minimum phase margin of 56° within the load range of 0 mA to 500 mA, the output overshoot and undershoot are 56 mVand 141 mV, and their settling time is 2 μs and 0.78 μs, respectively, when load current transients range from 1 mA to 500 mA (Δt=500 ns), the power supply rejection (PSR) is -67.2 dB@1 kHz, and the load regulation

* **收稿日期**:2023-10-21
基金项目:柔性电子材料基因工程湖南省重点实验室开放基金(202015)
作者简介:唐俊龙(1973—),男,湖南武冈人,长沙理工大学副教授,博士
† 通信联系人,E-mail: tangjl625@163.com

rate is 0.137 μV/mA.

Key words: low-drop-out linear voltage regulator; dynamic zero-point compensation; transient enhancement; wide range load

稳压器作为电源管理的重要单元,能够有效去除电源电压中的噪声,提供稳定可调的电压,广泛应用于片上系统(system on chip, SOC)[1-3].低压差线性稳压器(low-drop-out regulator, LDO)具有片外元件少,结构简单易于集成等特点[4],可以满足一般SOC设计及高性能模拟、数模混合电路对电源的需求,成为了最受欢迎的电源管理IC之一[5-6].随着人工智能以及电动汽车的蓬勃发展,电路系统的功耗随着IC系统规模的不断增加而增加,LDO系统需要提供更宽范围的负载电流,LDO内部补偿电容逐步取代了放置在片外的补偿大电容[2,5],无片外电容型LDO(capacitor-less LDO, CL-LDO)应运而生.

片外补偿电容的缺失,常造成环路系统中主次极点距离过近,影响环路稳定性,而宽范围负载电流的需求又将输出端极点的移动范围加大,对环路稳定性产生了更大的影响;同时,LDO的瞬态特性也会由于这两点需求而变差.因此,片内补偿方式的实现和宽范围负载电流的需求对LDO的稳定性和瞬态特性均提出了更高的设计要求.

对于无片外电容型LDO的频率补偿与瞬态增强,国内外学者都有很多研究.Leung等人提出了一种将极点分裂技术与瞬态响应电路相结合的新型结构[7],该结构完成了频率补偿电路与瞬态增强结构的结合,但是其带负载范围较小.文献[1]提出了可以有效抑制工艺误差和体效应的新型频率补偿结构,但是在瞬态特性方面存在不足.文献[8-9]提出了将动态偏置的并联反馈应用于缓冲级,大幅度降低缓冲器的输出阻抗并提高了LDO系统带宽,保证了负载电流在0~200 mA内系统稳定的同时,又提高了瞬态特性,但是消耗了较大面积的补偿电容.

针对宽范围负载CL-LDO中存在的稳定性不足和瞬态特性较差等问题,本文提出了动态零点补偿电路与瞬态增强电路.通过对输出电流的采样来调整动态零点的位置,实现了对宽范围负载下CL-LDO系统的稳定性补偿;同时将输出电压的突变耦合到瞬态增强电路中,产生的瞬态大电流将快速改变功率管栅极电压,优化了CL-LDO的瞬态特性.

1 传统LDO结构

传统外部电容补偿型LDO结构如图1所示,主要由基准电压源、误差放大器(error amplifier, EA)、反馈电阻网络、功率管等组成[10-11].当输出信号发生变化时,反馈电压随之变化,变化信号的差值经过误差放大器后,传输到功率管栅极,通过改变输出电流,来抑制输出电压变化.

图1中传统LDO系统中包含两个极点P_1、P_2和一个零点Z_1.其中P_2为主极点,位于LDO输出端,其所在频率随着输出电流的变化而变化;P_1为次极点,位于功率管的栅极处,其保持在中频处;Z_1为输出电容C_L与其等效串联电阻所构成的零点.P_1、P_2和Z_1分别由式(1)~式(3)表示:

$$P_1 = \frac{1}{2\pi r_{o1} C_1} \tag{1}$$

$$P_2 = \frac{1}{2\pi\left(R_L // R_{equ}\right) C_L} \tag{2}$$

$$Z_1 = \frac{1}{2\pi R_{ESR} C_L} \tag{3}$$

式中:r_{o1}为误差放大器的等效输出电阻;R_{equ}为反馈电阻网络和功率管的等效电阻;R_{ESR}为电容C_L的等效串联电阻;C_1为误差放大器与功率管栅极的寄生电容.

传统LDO可以通过外接大电容C_L及其R_{ESR}组成的零点对LDO系统进行补偿,保证环路在全负载范

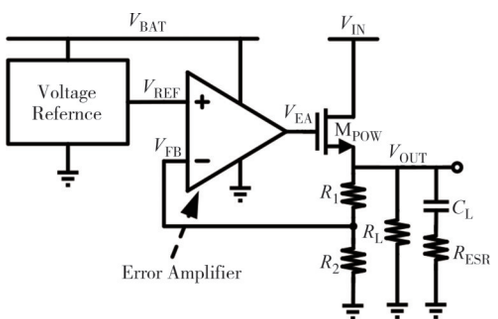


图1 传统LDO的结构框图

Fig.1 Typical structure of a LDO

围内保持稳定,并且C_L还可以帮助LDO实现较好的瞬态性能.但是外部补偿电容既增大面积,又增加了芯片的成本.

2　本文设计的CL-LDO结构与原理分析

2.1　CL-LDO中的动态补偿

针对负载电流的较大变化,本文提出的CL-LDO中所使用的动态零极点补偿电路如图2中阴影所示.相较于传统LDO,该电路在误差放大器与功率管M_{POW}之间添加了源跟随器,提高CL-LDO整体带宽;同时在误差放大器输出端添加一个电容C_Z,既使得误差放大器输出端的主极点稳定于低频处,又与晶体管M_3产生的受控电阻R_Z串联,形成一个可以移动的零点Z_1,Z_1与输出端极点相互抵消,且其位置可以根据输出电流的变化而产生变化,具体如图3所示,并存在式(4):

$$P_{POW} \approx Z_1 \tag{4}$$

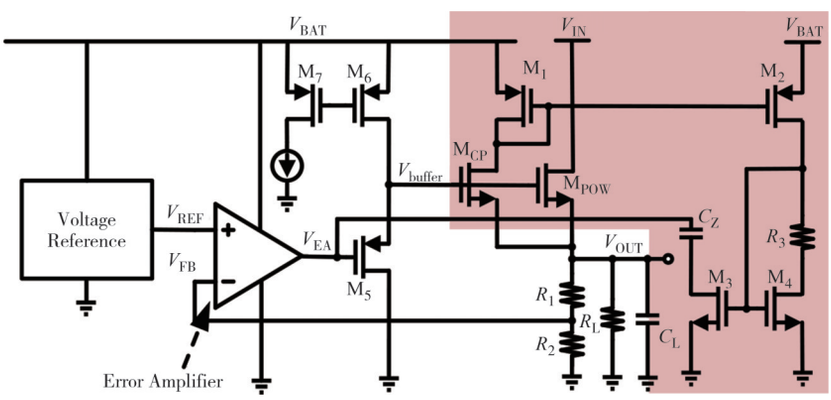


图2　本文设计的CL-LDO中的动态零极点补偿电路

Fig.2　Proposed dynamic zero-pole compensation circuit diagram of the CL-LDO

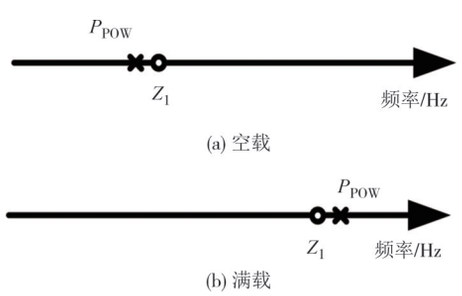


图3　不同输出电流下,动态零点与输出极点的位置关系

Fig.3　The position of the dynamic zero and the output pole under varying output currents

在图2的动态零点补偿电路的实现中,通过晶体管M_{CP}与功率管M_{POW}连接为电流镜结构,两者宽长比如式(5)所示:

$$\left(\frac{W}{L}\right)_{M_{POW}} = k\left(\frac{W}{L}\right)_{M_{CP}} \tag{5}$$

由式(5)可得$I_{OUT}\approx kI_{CP}$,晶体管M_{CP}通过复制LDO输出电流的变化,将M_{CP}的电流通过电流镜复制到晶体管M_2与M_5中.其中流经M_2的电流通过电阻R_3与M_4流到地,且在M_3与M_4栅极产生一个可以跟随输出电流变化的电压$V_{GS,3}=V_{GS,4}$.对于晶体管M_3,其漏极接电容C_Z,由于没有电流通路,M_3将一直处于深线性区,其相当于一个受控电阻,具体如式(6)所示:

$$r_{O,M_3} = R_Z = \frac{1}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_3}\left(\left|V_{GS,M_3}\right| - \left|V_{THN}\right|\right)} = \frac{1}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_3}\left(\left|V_{GS,M_4}\right| - \left|V_{THN}\right|\right)} \tag{6}$$

由于$V_{GS,3}=V_{GS,4}$,且$V_{GS,4}\geqslant V_{DS,4}$,故$M_4$一直处于线性区,可得:

$$I_{OUT} = \mu_n C_{OX}\left(\frac{W}{L}\right)_{M_4}\left[(V_{GS,M_4} - V_{TH})V_{DS} - \frac{1}{2}V_{DS}^2\right] \tag{7}$$

由于R_3的存在,可得:

$$V_{GS,M_4} = V_{DS,M_4} + IR_3 \tag{8}$$

将式(7)代入式(8)中,可得:

$$V_{GS,M_4} = 2\left(\frac{I_{M_4}}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_4}} + V_{TH}\right) - I_{M_4}\cdot R_3 = 2\left(\frac{\frac{1}{k}I_{OUT}}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_4}} + V_{TH}\right) - \frac{1}{k}I_{OUT}\cdot R_3 \tag{9}$$

将式(9)代入式(6),可得:

$$R_Z = \frac{1}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_3}} \cdot \frac{1}{2\left(\frac{\frac{1}{k}I_{OUT}}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_4}} + V_{TH}\right) - \frac{1}{k}I_{OUT} \cdot R_3 - |V_{THN}|} \tag{10}$$

图2中通过在EA与M_{POW}中间添加源跟随器M_5将该处低频极点分裂为两个中高频极点,再通过M_6复制输出电流的变化,将M_5输出端阻值的变化与LDO输出相关联:当输出电流变小(变大)时,LDO输出端的极点与M_{POW}栅极的极点同时向低频(高频)移动,保证了第二、第三极点的位置距离.既保证了电路的稳定性,又减小了静态损耗.

由于CL-LDO需要产生宽范围的负载电流,CL-LDO输出端极点的移动范围也较大.通过R_3使得M_3与M_4的V_{GS}拥有一个更大的变化区间,即R_Z拥有一个更大的变化裕度.通过合理的分配电阻R_3的值,零点Z_1可以更好地与输出极点进行跟踪补偿,促使CL-LDO获得更加良好的稳定性.

2.2 LDO瞬态增强电路

图4中的阴影部分为本文提出的瞬态增强电路的结构,在不影响主环路稳定性的前提下,可以对LDO的下冲电压做出较好的优化.图5为CL-LDO的瞬态增强电路,当负载电流突然变化时,功率管的V_{GS}无法根据输出电流的需求做出快速的变化,因此输出端的电流无法达到所需大小,输出端电容会进行充放电,输出电压会产生一个瞬态的变化.

Δt_1为CL-LDO输出电压下降的时间,如式(11)所示:

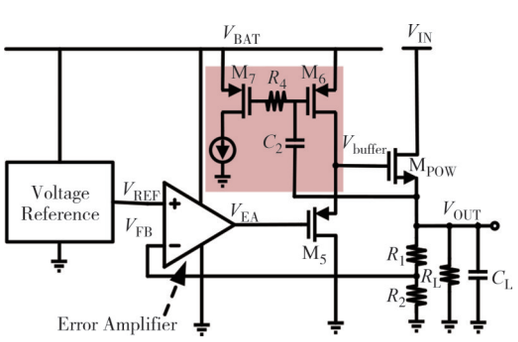


图4 瞬态增强电路

Fig.4 Transient enhanced circuit

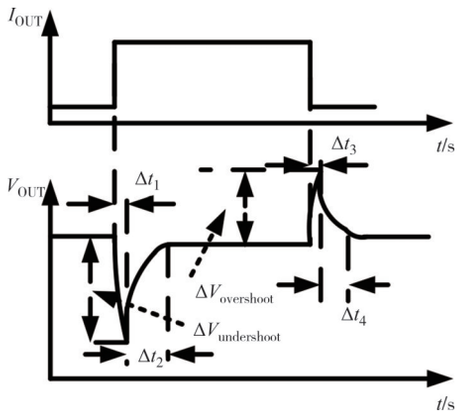


图5 CL-LDO瞬态响应图

Fig.5 CL-LDO transient response diagram

$$\Delta t_1 = \frac{1}{BW_{closed}} + \frac{2\pi C_{G,POW}\Delta V}{I_{SR}} \tag{11}$$

式中:$C_{G,POW}$为功率管栅极到地的寄生电容;I_{SR}为功率管栅极的充电电流.

下冲电压可由式(12)表示:

$$\Delta V_{undershoot} = \frac{\Delta I_{LOAD} C_{G,POW}}{2\pi C_{OUT}} \cdot \Delta t_1 \tag{12}$$

输出电压从过冲最大值恢复到稳定的时间为Δt_2,如式(13)所示:

$$\Delta t_2 = \frac{1}{BW_{closed}} \tag{13}$$

CL-LDO环路的瞬态响应可以通过下冲电压的大小和响应时间来进行衡量.

当输出端电流突增时,CL-LDO输出端会产生一个较大的瞬态下冲电压,下冲电压通过C_2耦合到晶体管M_6的栅极,M_6的V_{GS}产生一个瞬态的突增,产生瞬态的充电电流ΔI_{SR+},如式(14)所示,功率管栅极的充电电流I_{SR}表达式如式(15)所示:

$$\Delta I_{SR+} = \frac{1}{2}\mu_p C_{OX}\left(\frac{W}{L}\right)_{M_{29}} \Delta V_{OUT}^2 \tag{14}$$

$$I_{SR} = I_{M_{29}} + I_{M_6} + \Delta I_{SR+} \tag{15}$$

在晶体管M_6栅极与耦合电容C_2连接处放置一个大电阻R_4,当输出端的下冲电压耦合到M_6栅极处时,R_4可以减小下冲电压对M_7的影响.

2.3 CL-LDO整体电路设计

CL-LDO整体电路如图6所示,折叠共源共栅型结构的误差放大器主要由M_7~M_{18}组成,为CL-LDO系统提供主要的环路增益和大的输出摆幅;同时,共源共栅结构还可以隔绝电源噪声,提供较高的电源抑制比.在误差放大器与功率管M_{POW}之间插入一个

源极跟随器M_5,将误差放大器输出端与功率管栅极处的中低频极点分裂为两个高频极点,提高LDO整体环路的带宽.M_1~M_4、M_{CP}为零极点动态补偿电路,通过M_{CP}复制输出电流的变化过程,在M_3栅极处生成一个根据输出电流动态变化的电压V_{GS},V_{GS}将M_3控制在深线性区,调整动态零点位置.M_{29}为瞬态增强电路的中心,通过捕捉输出电压瞬态变化信号,对M_{POW}栅极电压进行快速的充电,使LDO输出电压快速稳定.M_{POW}为大尺寸功率管,与反馈电阻R_1和R_2共同构成反馈网络.

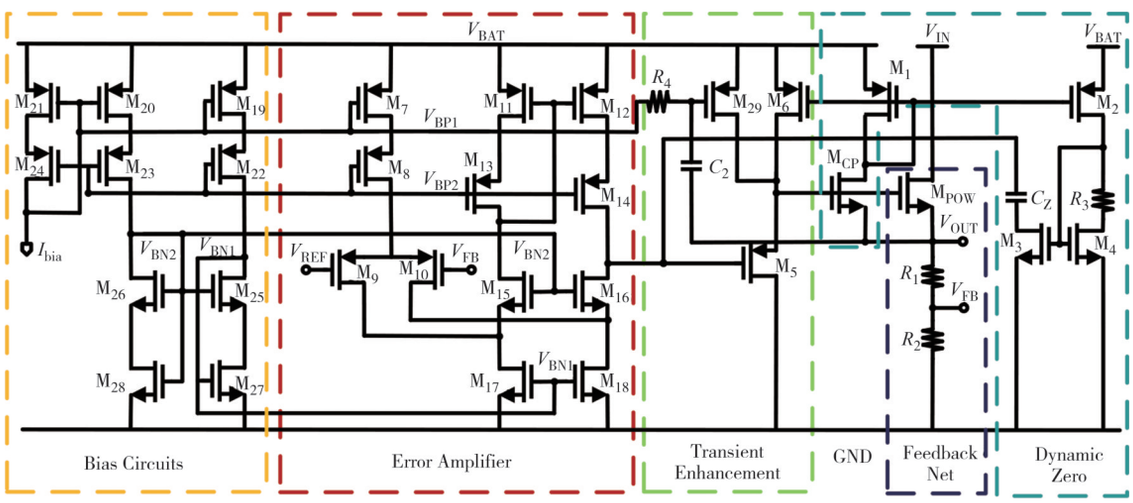


图6　本文设计的CL-LDO整体电路图

Fig.6　Proposed circuit diagram of the CL-LDO

2.4　CL-LDO小信号分析

本文设计的CL-LDO小信号等效模型如图7所示,得到CL-LDO系统中的传递函数由式(16)表示.

$$T_S \approx \frac{T_0\left(1+\frac{S}{Z_1}\right)}{\left(1+\frac{S}{P_1}\right)\left(1+\frac{S}{P_2}\right)\left(1+\frac{S}{P_3}\right)} \tag{16}$$

$$T_0 = Bg_{m1}g_{mp}g_{m2}r_{o1}r_{o2}R_{oeq} \tag{17}$$

$$B = \frac{R_1}{R_1+R_2} \tag{18}$$

式中:g_{m1}、g_{m2}、g_{mp}与r_{o1}、r_{o2}、R_{oeq}分别为EA、BUFFER和M_{POW}的增益与等效输出电阻.

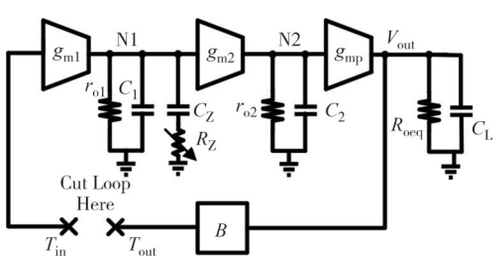


图7　CL-LDO环路小信号图

Fig.7　Small-signal block diagram of the propose CL-LDO

主极点P_1、次极点P_2、P_3和零点Z_1的表达式分别由式(19)~式(22)表示.

$$P_1 = \frac{1}{r_{o1}\left(C_1 // C_Z\right)} \tag{19}$$

$$P_2 = \frac{1}{r_{o2}C_{GG,POW}} \tag{20}$$

$$P_3 = \frac{1}{R_{oeq}C_L} \tag{21}$$

$$Z_1 = \frac{1}{R_Z C_Z} \tag{22}$$

式中:C_1和$C_{GG,POW}$分别为BUFFER输入端和M_{POW}栅极的寄生电容.

$$r_{o1} = \left(g_{m,M_{14}}r_{ds,M_{14}}r_{ds,M_{12}}\right) // \left[g_{m,M_{16}}r_{ds,M_{16}}\left(r_{ds,M_{18}} // r_{ds,M_{10}}\right)\right] \tag{23}$$

$$r_{o2} = r_{o,M_6} // r_{ds,M_6} // r_{ds,M_{29}} \approx r_{o,M_6} \tag{24}$$

$$r_{o,M_6} \approx \frac{1}{g_{m,M_{13}}+g_{mb,M_{13}}} \tag{25}$$

$$R_{oeq} = r_{ds,M_{POW}} // \left(R_1+R_2\right) // R_L \tag{26}$$

$$R_Z = \frac{1}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_3}} \cdot \frac{1}{2\left(\frac{\frac{1}{k}I_{OUT}}{\mu_n C_{OX}\left(\frac{W}{L}\right)_{M_4}}+V_{TH}\right)-\frac{1}{k}I_{OUT}R_3-\left|V_{THN}\right|} \tag{27}$$

由小信号模型分析可得,CL-LDO系统共包含

三个极点和一个零点,其中位于输出端的次极点 P_3 被动态零点 Z_1 所抵消掉,功率管栅极的次极点被推到高频处,CL-LDO 系统在全电流负载范围内都可以保持较好的稳定性.

3 版图设计与结果仿真

基于0.11 μm工艺,采用EDA工具进行稳定性仿真.图8为CL-LDO系统在各个负载情况下的电源抑制(power supply rejection, PSR)特性曲线,CL-LDO在0~500 mA的负载电流范围内PSR为-67.2 dB@1 kHz,拥有良好的噪声抑制能力.

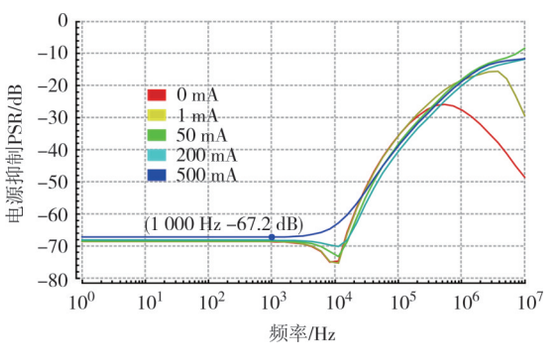


图8 不同负载下电源抑制特性曲线

Fig.8 Power supply rejection characteristics curve under different load conditions

在空载(0 mA负载电流)、轻载(1 mA负载电流)、中载(200 mA负载电流)、重载(500 mA负载电流)下,LDO环路的幅频、相频曲线如图9所示.相位裕度的变化范围为59°~93°.

CL-LDO负载瞬态响应特性曲线如图10所示,LDO负载电流从1 mA跳变到500 mA,Δt 为500 ns.图10(a)中,未添加瞬态增强电路时,过冲和下冲分别为56 mV和199 mV;图10(b)中,添加瞬态增强电路后,其过冲和下冲分别为56 mV和132 mV,其下冲电压减少了33.7%,瞬态特性得到了明显的提升.

如图11所示为本设计对应的CL-LDO版图,其面积为:289 μm×552 μm.

图12~图15为CL-LDO的后仿真特性曲线.图12为CL-LDO系统环路的幅频与相频特性曲线,相位裕度范围为56°~94°,具有良好的稳定性.图13为CL-LDO的电源抑制特性曲线,其低频PSR为-67.2 dB@1 kHz,具有较好的纹波抑制特性.图14为CL-LDO的瞬态响应特性曲线,在500 ns内,负载电流从1 mA跳变到500 mA时的输出过冲和下冲分别为56 mV和141 mV;响应时间分别为2 μs和0.78 μs;CL-LDO仍保持较好的瞬态特性.图15为CL-LDO的负载调整率特性曲线,负载电流从1~500 mA进行扫描,测得CL-LDO

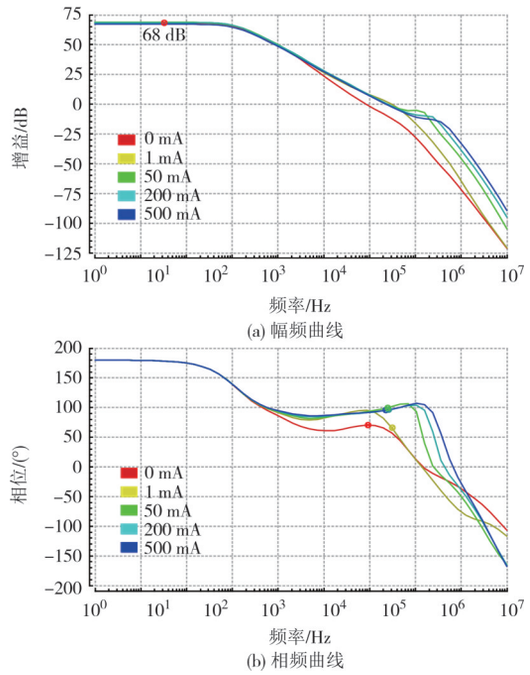


图9 不同负载下环路稳定性仿真

Fig.9 Simulation of loop stability under different loads

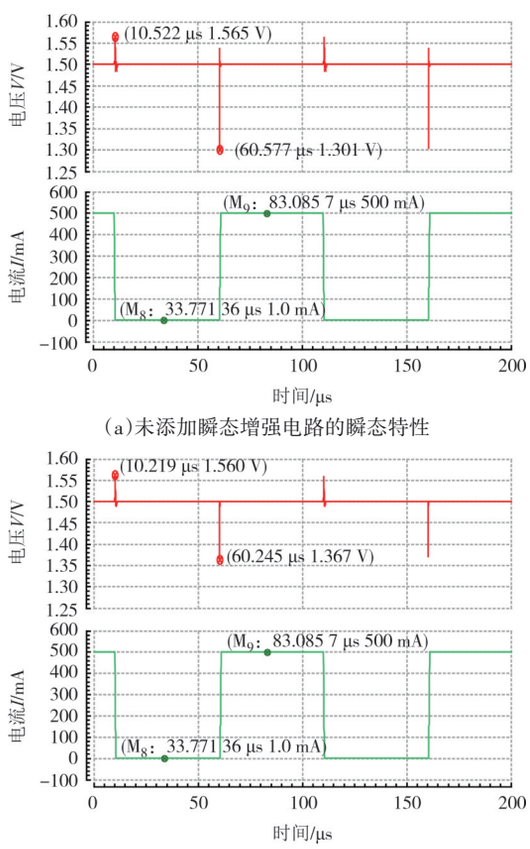


图10 负载瞬态响应特性曲线

Fig.10 Load transient response curves

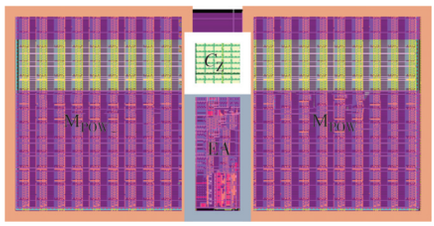


图 11　电路版图

Fig.11　Layout of the proposed circuit

输出电压负载调整率($\Delta V_{out}/\Delta I_{out}$)为0.137 μV/mA.

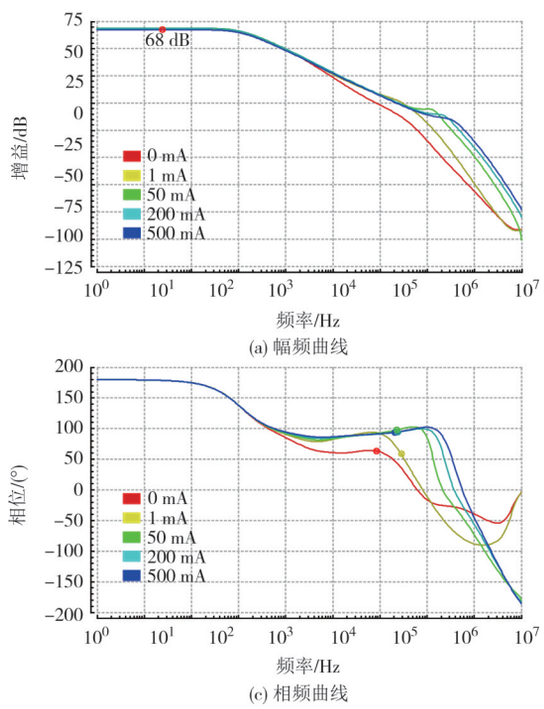


图 12　不同负载下环路稳定性仿真曲线

Fig.12　Simulation curve of loop stability under different loads

表1为本文设计的CL-LDO与文献[4]、文献[6]和文献[10]的性能比较,在0~500 mA的负载电流范围内,本文设计的CL-LDO的PSR为-67.2 dB@1 kHz,负载调整率为0.137 μV/mA,相较于表中的另外三篇文献,本设计具有更宽的带负载范围,以及更好的电源抑制特性和负载调整率.

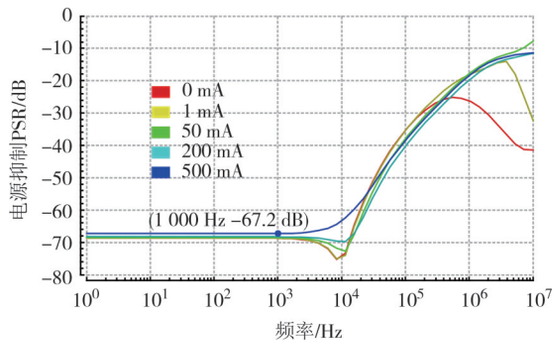


图 13　不同负载下电源抑制特性曲线

Fig.13　Characteristic curve of power suppression under different loads

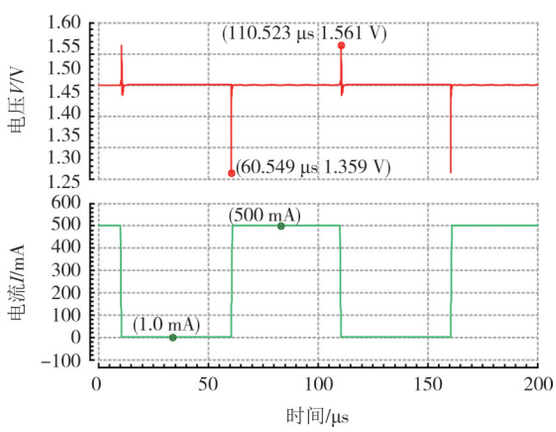


图 14　负载瞬态响应特性曲线

Fig.14　Load transient response curves

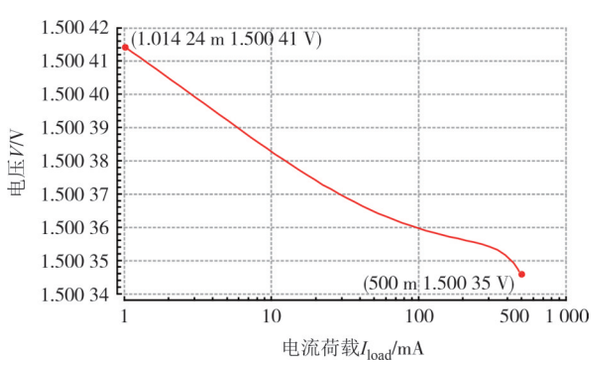


图 15　负载调整率特性曲线

Fig.15　Load regulation characteristic curve

表 1　与其他文献 LDO 的性能对比

Tab.1　Performance comparison with other LDOs in the literatures

参数	本文	文献[4]	文献[6]	文献[10]
工艺/μm	0.11	0.13	0.065	0.13
输出电压/V	1.5	1	0.8	1
负载电流范围/mA	0~500	0~50	0~100	0~300
负载电容/nF	5	0~2	0~0.1	1 000
PSR/dB	−67.2@1 kHz	−43@1 kHz	−33@10 kHz	−50@10 kHz
下冲、过冲电压/mV	141、56	NA	133、230	56、24
负载调整率/[μV·(mA)$^{-1}$]	0.137	9	90	6

4 结 论

本文设计了一个宽范围电流负载的CL-LDO,利用零极点动态补偿和添加电压缓冲器解决了LDO在电流负载范围较大时,难以保持高稳定性的问题,在0~500 mA的负载范围内,其相位裕度为56°~94°,LDO环路具有较高的稳定性;提出的瞬态增强电路,保证了LDO具有较好的瞬态特性,在500 ns内,负载电流从1 mA跳变到500 mA时的输出过冲和下冲分别为56 mV和141 mV;响应时间分别为2 μs和0.78 μs;LDO的负载调整率为0.137 μV/mA,拥有较高的稳定性;本设计的PSR为-67.2 dB@1 kHz,确保了较好的抑制噪声能力,可以很好地作为片上系统的电源管理知识产权使用.

参考文献

[1] 王忆, 何乐年. CMOS低压差线性稳压器[M]. 北京: 科学出版社, 2012: 1-5, 85-91.
WANG Y, HE L N. CMOS low dropout linear regulator[M]. Beijing:Science Press, 2012: 1-5,85-91.(in Chinese)

[2] TAN X L, CHONG S S, CHAN P K, et al. A LDO regulator with weighted current feedback technique for 0.47 nF-10 nF capacitive load[J]. IEEE Journal of Solid-State Circuits, 2014, 49(11): 2658-2672.

[3] 徐叶,张培勇,李豪,等. 一种具有自适应优化电源抑制比的低静态电流无片外电容LDO[J]. 电子学报,2022,50(7):1674-1683.
XU Y, ZHANG P Y, LI H, et al. A low-quiescent-current capacitor-less LDO using an adaptive PSR optimization technique [J]. Acta Electronica Sinica, 2022, 50(7): 1674-1683.(in Chinese)

[4] MANIKANDAN P, BINDU B. A transient enhanced cap-less low-dropout regulator for wide range of load currents and capacitances[J]. Microelectronics Journal, 2021, 115: 105207.

[5] 刘云超, 陈敏, 刘云涛, 等. 低功耗自适应偏置无片外电容低压差稳压器[J]. 湖南大学学报(自然科学版), 2018, 45(10): 93-101.
LIU Y C, CHEN M, LIU Y T, et al. Low-power adaptively biased output-capacitor-free low-dropout regulator[J]. Journal of Hunan University (Natural Sciences), 2018, 45(10): 93-101.(in Chinese)

[6] LI G X, QIAN H M, GUO J P, et al. Dual active-feedback frequency compensation for output-capacitorless LDO with transient and stability enhancement in 65-nm CMOS[J]. IEEE Transactions on Power Electronics, 2020, 35(1): 415-429.

[7] LEUNG K N, NG Y S. A CMOS low-dropout regulator with a momentarily current-boosting voltage buffer [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2010, 57(9): 2312-2319.

[8] AL-SHYOUKH M, LEE H, PEREZ R. A transient-enhanced low-quiescent current low-dropout regulator with buffer impedance attenuation[J]. IEEE Journal of Solid-State Circuits, 2007, 42(8): 1732-1742.

[9] PARK C J, ONABAJO M, SILVA-MARTINEZ J. External capacitor-less low drop-out regulator with 25 dB superior power supply rejection in the 0.4-4 MHz range[J]. IEEE Journal of Solid-State Circuits, 2014, 49(2): 486-501.

[10] DUONG Q H, NGUYEN H H, KONG J W, et al. Multiple-loop design technique for high-performance low-dropout regulator[J]. IEEE Journal of Solid-State Circuits, 2017, 52(10): 2533-2549.

[11] 佟星元,李茂,董嗣万. 一种快速响应无片外电容低压差线性稳压器[J]. 电子与信息学报,2019,41(11):2592-2598.
TONG X Y, LI M, DONG S W. A capacitor-less low dropout regulator with fast response [J]. Journal of Electronics & Information Technology, 2019, 41(11): 2592-2598.(in Chinese)